

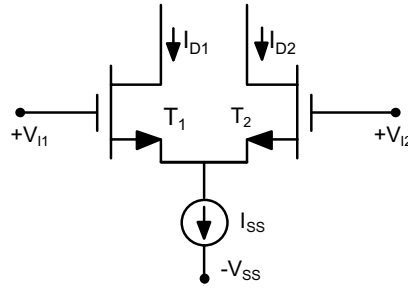
kazancı elde edilmektedir. Başka bir deyişle, analog kuvvetlendirme açısından bakıldığında, her iki tranzistorun doymada bulunduğu bölge önem kazanmaktadır. Eşdeğer devre yardımıyla devrenin gerilim kazancı hesaplanırsa

$$K_V = -\frac{g_{m1}}{g_{mb}} = -\frac{1}{\lambda_b} \frac{g_{m1}}{g_{m2}} \quad (2.44)$$

$$K_V = -\frac{g_{m1}}{g_{mb}} = -\frac{1}{\lambda_b} \sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (2.45)$$

bulunur. Diğer bir deyişle, kazanç iki elemanın eğimleri oranının $1/\lambda_b$ ye bölünmesiyle hesaplanmaktadır. λ_b nin 0.1 mertebesinde olduğu düşünülecek olursa, bu yapının kanal oluşturmali yapıya kıyasla daha yüksek kazanç sağlayacağı açıktır.

MOS emetör bağlamalı kuvvetlendiriciler



Şekil-2.19. Kaynak bağlamalı kuvvetlendirici.

Bipolar tranzistorlu yapılarda olduğu kadar MOS tekniğinde de önemli bir yapıtaşısı olan emetör yahut kaynak bağlamalı kat Şekil-2.19'da gösterilmiştir. Bu devredeki tranzistorlara ilişkin akım-gerilim bağıntıları, tranzistorların çıkış dirençlerinin ve gövde etkisinin ihmal edilmesi halinde

$$I_{D1} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_1 [V_{GS1} - V_T]^2$$

$$I_{D2} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_2 [V_{GS2} - V_T]^2$$

şeklinde yazılabilir. Öte yandan giriş fark gerilimi de

$$\Delta V_I = V_{I1} - V_{I2} = V_{GS1} - V_{GS2}$$

olur. Bu bağıntıların biraraya getirilmesiyle, devreye ilişkin çıkış fark akımı hesaplanırsa

$$\Delta I_D = \frac{1}{2} \mu \cdot C_{OX} \left[\frac{W}{L} \right] \cdot \Delta V_I \sqrt{\frac{2I_{SS}}{\mu \cdot C_{OX} \left[\frac{W}{2 \cdot L} \right]} - (\Delta V_I)^2} \quad (2.46)$$

bulunur. Bu bağıntı her iki tranzistorun da doymada kaldıkları varsayılarak elde edilmiştir. Fark edilebileceği gibi, elde edilen bağıntı

$$\Delta V_I \leq \sqrt{\frac{2I_{SS}}{\mu \cdot C_{OX} \left[\frac{W}{L} \right]}} \quad (2.47)$$

şartı altında geçerli olmaktadır. Eğer

$$\Delta V_I \geq \sqrt{\frac{2I_{SS}}{\mu \cdot C_{OX} \left[\frac{W}{L} \right]}} \quad (2.48)$$

ise, tranzistorlardan birinin iletkenliği diğerine göre çok yüksektir, bu nedenle bütün akım iletkenliği yüksek olan tranzistordan geçer; diğer bir deyişle, $\Delta I_D = I_{SS}$ olur.

Bipolar emetör bağlamalı kuvvetlendirici yapısındakine benzer biçimde, kaynak bağlamalı çift de, giriş geriliminin belirli bir değeri aşması halinde, sınırlayıcı etkisi gösterir. Ancak, bipolar emetör bağlamalı kuvvetlendirici yapısından farklı olarak, kaynak bağlamalı yapıda bu sınırlama kutuplama akımına ve elemanın boyutlarına bağlıdır. Bu açıdan bakıldığında, yapı, bipolar tranzistorlarda emetöre seri direnç bağlanarak giriş gerilimi değişim aralığının istenen değere getirilmesine benzer bir davranış gösterir. Çıkarılan bağıntılardan, bir tranzistorun kesime sürülebilmesi için gerekli olan fark giriş geriliminin, denge konumunda çalışan tranzistorlara ilişkin $V_{GS} - V_T$ değerinin $(2)^{0.5}$ katı olması gerekeceği bulunabilir.

Kutuplama akımını arttırarak, kanal boyunu arttırarak ve kanal genişliğini azaltarak, her iki elemanın da aktif oldukları bölgenin sınırları

geniştirilebilir. İşlemsel kuvvetlendirici giriş katlarında $V_{GS}-V_T$ birkaç yüz milivolt mertebesinde tutulur. Böyle bir yapının farklı kutuplama durumları için elde edilecek geçiş karakteristikleri Şekil-2.20'de görülmektedir.

Analog uygulamalar için önem taşıyan diğer bir büyüklük de kaynak bağlamalı katın eğimidir. Bu eğim

$$G_m = \left(\frac{d\Delta I_D}{d\Delta V_I} \right)_{\Delta V_I=0} \quad (2.49)$$

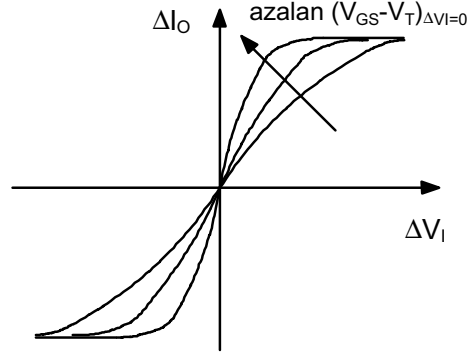
şeklinde tanımlanmaktadır. ΔI_D için verilmiş olan (2.46) bağıntısından türev alınırsa

$$\begin{aligned} \frac{d\Delta I_D}{d\Delta V_I} &= \frac{1}{2} \mu \cdot C_{ox} \left[\frac{W}{L} \right] \cdot \sqrt{\frac{2I_{SS}}{\mu \cdot C_{ox} \left[\frac{W}{2 \cdot L} \right]} - (\Delta V_I)^2} \\ &- \frac{1}{2} \mu \cdot C_{ox} \left[\frac{W}{L} \right] \cdot \frac{(\Delta V_I)^2}{\sqrt{\frac{2I_{SS}}{\mu \cdot C_{ox} \left[\frac{W}{2 \cdot L} \right]} - (\Delta V_I)^2}} \end{aligned} \quad (2.50)$$

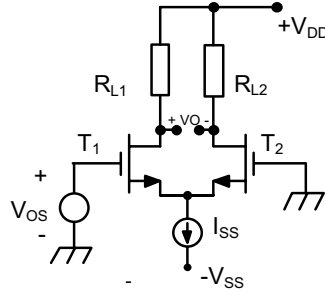
bulunur. $\Delta V_I=0$ olması, yani sükunet şartı altında eğim bağıntısı

$$G_m = g_{m1} = g_{m2} = \sqrt{I_{SS} \mu \cdot C_{ox} \left[\frac{W}{L} \right]} \quad (2.51)$$

şeklini alır. Diğer bir deyişle, kaynak bağlamalı çiftin eğimi, bipolar yapılardaki gibi, her bir tranzistorun sükunetteki eğimine eşittir. Ancak, bipolar yapılarda eğim sadece kutuplama akımına bağlıdır ve eleman boyutlarından bağımsızdır. MOS fark kuvvetlendiricilerinde ise eğim hem kutuplama akımına hem de elemanın boyutlarına bağlı olmaktadır.



Şekil-2.20. MOS fark kuvvetlendiricisinin geçiş karakteristiği.



Şekil-2.21. MOS fark kuvvetlendiricisinde dengesizlik.

Kaynak bağlamalı çiftin incelenmesi gereken diğer bir özelliği de giriş dengesizlik gerilimidir. İncelemede basitlik sağlamak amacıyla devrede yük olarak R_L dirençlerinin kullanıldığı varsayalım (Şekil-2.21). Giriş dengesizlik gerilimine neden olan başlıca etkenlerin yük dirençlerinin, tranzistorların W/L oranlarının ve eşik gerilimlerinin değerleri arasındaki dengesizlikler olduğu kabul edilirse, dengesizlik gerilimi

$$V_{OS} = V_{GS1} - V_{GS2}$$

$$V_{OS} = V_{T1} + \sqrt{\frac{2 \cdot I_{D1}}{\mu \cdot C_{OX} (W/L)_1}} - V_{T2} - \sqrt{\frac{2 \cdot I_{D2}}{\mu \cdot C_{OX} (W/L)_2}} \quad (2.52)$$

biçiminde ifade edilebilir. Daha önce de yapıldığı gibi, fark ve ortalama büyüklükler tanımlanırsa

$$\Delta I_D = I_{D1} - I_{D2}$$

$$I_D = \frac{I_{D1} + I_{D2}}{2}$$

$$\Delta \left(\frac{W}{L} \right) = \left(\frac{W}{L} \right)_1 - \left(\frac{W}{L} \right)_2$$

$$\left(\frac{W}{L} \right) = \frac{\left(\frac{W}{L} \right)_1 + \left(\frac{W}{L} \right)_2}{2}$$

$$\Delta V_T = V_{T1} - V_{T2}$$

$$V_T = \frac{V_{T1} + V_{T2}}{2} \quad (2.53)$$

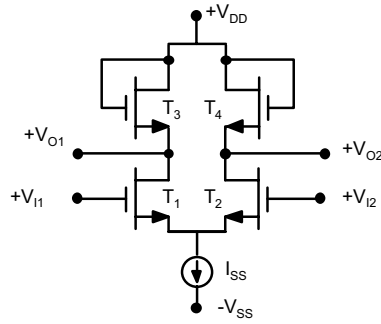
elde edilir. V_{OS} giriş dengesizlik gerilimi, tanım olarak, eleman toleransları nedeniyle ortaya çıkacak fark çıkış gerilimini tam olarak sıfır yapan giriş gerilimidir ve $I_{D1} \cdot R_{L1} = I_{D2} \cdot R_{L2}$ şartını gerektirmektedir. Bu şart ve yukarıda tanımlanan büyüklükler V_{OS} için elde edilen bağıntıya götürülür ve yüksek dereceden terimler ihmal edilirse, giriş dengesizlik gerilimi

$$V_{OS} = \Delta V_T + \frac{V_{GS} - V_T}{2} \left[\left(\frac{-\Delta R_L}{R_L} \right) - \left(\frac{\Delta(W/L)}{(W/L)} \right) \right] \quad (2.54)$$

bağıntısıyla verilebilir. Bu bağıntıda ΔR_L , ΔV_T , $\Delta(W/L)$ iki eleman arasındaki fark bileşenlerini, R_L , V_T ve (W/L) de ortalama değerleri gösterirler. Bağıntıdan fark edilebileceği gibi, yük elemanları arasındaki bir dengesizlik veya W/L oranlarındaki bir dengesizlik gerilimi doğrudan doğruya $V_{GS} - V_T$ ile çarpılmaktadır. $V_{GS} - V_T$ büyüklüğü tipik olarak birkaç yüz milivolt mertebesinde olur. Bipolar emetör bağlamalı çiftlerde aynı dengesizlik terimleri kT/q ile, yani çok daha küçük değerli bir çarpanla çarpılır. Bu nedenle, MOS kaynak bağlamalı çift bipolar emetör bağlamalı çifte göre, aynı orandaki geometrik dengesizlikler için daha yüksek bir giriş dengesizliği gösterir.

Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi

Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi Şekil-2.22'de verilmiştir.



Şekil-2.22. Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi.

Küçük işaret eşdeğer devresinden yararlanılırsa, devrenin fark gerilim kazancı

$$K_d = -\alpha_{b3} \frac{g_{m1}}{g_{m3}} \quad (2.55)$$

ortak işaret kazancı

$$K_C = -\frac{\alpha_{b1} \alpha_{b3}}{2 \cdot R_S \cdot g_{m3}} \quad (2.56)$$

ortak işareti zayıflatma oranı da

$$CMMR = \frac{K_d}{K_C} = \frac{2g_{m1} \cdot R_S}{\alpha_{b1}} \quad (2.57)$$

olur. Fark işaret kazancını veren (2.55) bağıntısında g_{m1} ve g_{m3} büyüklükleri (W/L) oranları cinsinden yerlerine konursa

$$K_d = -\alpha_{b3} \frac{g_{m1}}{g_{m3}} = -\alpha_{b3} \sqrt{\frac{(W/L)_1}{(W/L)_3}} \quad (2.58)$$