

8. ANALOG MOS TMDEVRE YAPILARI

8.1. Analog Tmdevrelerde MOS Teknolojisinin Yeri

MOS teknolojisi, son zamanlara kadar daha ok dijital sistemlerde kullanılmıřtır. Bunun bařlıca nedeni, sz konusu teknolojinin geniř apta tmleřtirme iin (LSI) son derece uygun olmasıdır. 1970'lerin ortalarına kadar MOS teknolojisi genelde bellek ve lojik fonksiyonlar iin kullanılmıř, belirli bir sistem iindeki gerekli analog fonksiyonlar ise iřlemsel kuvvetlendiriciler gibi bipolar tmdevreler kullanılarak gerekleřtirilmiřtir. Gnmzde ise, MOS teknolojisinin analog tmdevrelerde kullanılması gittike yaygınlařmaktadır. Bunun nedeni, gn getike analog ve dijital sistemlerin iie girmesidir. Dijital sistemlerde MOS teknolojisi yaygın olarak kullanıldıėından, analog sistemler iin de aynı teknolojinin kullanılabilir olması, ekonomik aıdan byk yararlar saėlamaktadır. oėunlukla, iřaretin analogdan dijitale evrilmesi yahut bunun ter-sinin gerekleřtirilmesi iin gerekli olan presizyonlu kuvvetlendirme, szme, rnekleme ve tutma, gerilim karřılařtırma, presizyonlu ikili kod aėırlıklı gerilim ve akım retme vb. analog fonksiyonların gerekleřtirilmesine gereksinme duyulmaktadır. Alt sistemlerin ayrı ayrı bipolar analog ve MOS dijital blmlere ayrılması ise, birok durumda kılıflama maliyeti, baskılı devre zerinde kaplanan yer gibi nedenlerle, istenen bir zellik olmamaktadır. Bunun yanısıra, MOS teknolojisi ile bipolar tranzistørlara gre %30-%50 oranında daha az kirmık alanı kullanılmaktadır.

Bipolar teknolojisi ile karřılařtırıldıėında, MOS teknolojisinin analog fonksiyonların gerekleřtirilmesi aısından yararlı yanları olduėu kadar yetmez kalan zellikleri bulunduėu sylenebilir. MOS teknolojisinin bipolar tranzistørlara gre nemli sayılabilecek sakıncaları řyle zetlenebilir:

1. Aynı kolektr akımı iin bipolar tranzistorların g_m geiř iletkenlięi MOS tranzistorlara gre kıyaslanamayacak kadar yksektir.
2. Geiř iletkenlięinden ileri gelen bu sakıncayı gidermek zere, kazanç katlarında byk deęerli direnler kullanılabilir. Ancak, MOS teknolojisi ile byk deęerli direnler elde etmek olduka gctr. Bu direnleri elde etmek iin kullanılan kırmık alanı da o kadar fazla olmaya bařlar ki, bunların kullanılması pratik olmaktan ıkar. Bu yzden MOS'larla alıřırken byk kazanç deęerleri elde etmek zere aktif elemanlardan yararlanma zorunluluęu bulunmaktadır.
3. MOS tranzistorların frekans cevabı bipolar tranzistorlarınkine gre daha ktdr.
4. İmalat sırasında meydana gelen eřleřtirme sorunu yznden, iřlemsel kuvvetlendiricilerin giriř dengesizlik gerilimi daha fazladır.
5. $1/f$ grlts daha yksek olmaktadır.

Btn bu sakıncalara raęmen, gnmzde MOS teknolojisi analog devrelerde gittike yaygınlařmaktadır. Bunun nedeni, analog ve dijital sistemlerin gn getike iie girmesidir. Dijital sistemlerde MOS teknolojisinin kullanılması, analog sistemlerde de aynı teknolojinin kullanılabilir olması, ekonomik aıdan byk yararlar saęlamaktadır. Bunun yanısıra, yksek giriř direnci, ekilen akımın dřk olması gibi nedenlerden tr, MOS yapılar yarar saęlamaktadır.

8.2. Temel Baęıntılar

Analog tmdevrelerin analizinde kullanılacak temel baęıntılara kısaca deęinmekte yarar vardır. MOS tranzistorun elektriksel zellikleri ařaęıdaki baęıntılarla verilmektedir.

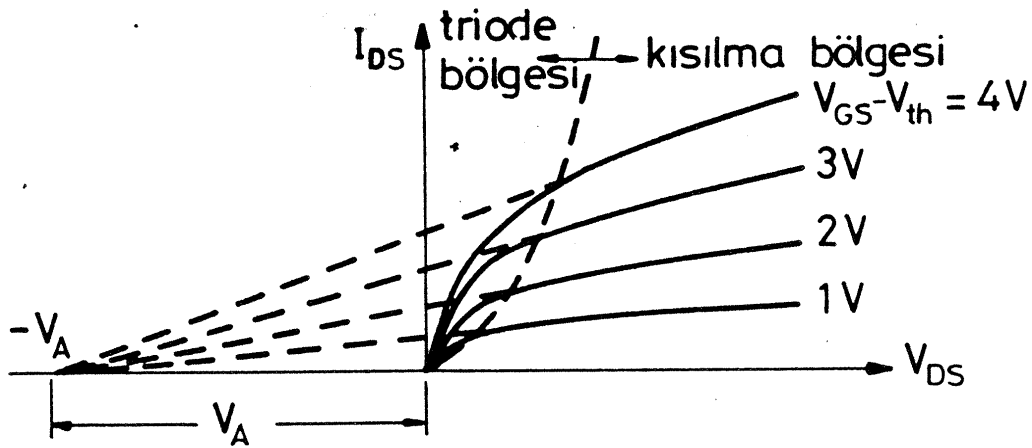
Doymasız blgede $V_{GS} - V_T \geq V_{DS}$ iin

$$I_D = \frac{W}{L} \mu C_{ox} \left[(V_{GS} - V_T) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot \left(1 + \frac{V_{DS}}{V_A} \right) \quad (8.2.1)$$

Doymalı blgede $V_{GS} - V_T \leq V_{DS}$ iin

$$I_D = \frac{1}{2} \frac{W}{L} \mu C_{ox} [V_{GS} - V_T]^2 \left(1 + \frac{V_{DS}}{V_A} \right) \quad (8.2.2)$$

Bu baęıntılarda V_A byklę, BJT deki Early gerilimi biiminde tanımlanan bir byklktr. Bu parametrenin geometrik tanımı Őekil - 8.1'de grlmektedir.



Őekil 8.1. V_A parametresinin geometrik tanımı.

Kanal boyunun V_{DS} gerilimiyle deęiŐmesini modelleyen V_A byklę Early gerilimi olarak isimlendirilir. Literatrde kanal boyu modlasyonu iin $\lambda = 1/V_A$ Őeklinde tanımlanan ve kanal boyu modlasyon parametresi olarak isimlendirilen bir byklk de modelleme amacıyla kullanılmaktadır.

Gvde - Etkisi

MOS tranzistorlarda etkili olan dięer bir zellik de gvde etkisidir. Bir NMOS da kaynak ile savak arasındaki n tipi kanal ile p tipi katkılı gvde bir pn jonksiyonu gibi dşnlebilir. kaynak - gvde ve savak - gvde jonksiyonlarından hiębirinin iletim ynnde kutuplanmaması ięin, gvde ucu en dşk potansiyele baęlanmalıdır. Dolayısıyla, kanal ve gvde arasındaki jonksiyon tıkama ynnde kutuplanmıř olur. Tıkama ynnde kutuplanmıř bir jonksiyonun iki yanında oluřan fakirleřmiř blge artan tıkama yn gerilimiyle geniřler. Buna gre, sabit geęit gerilimi altında akan I_D akımı, gvde potansiyelinin deęiřtirilmesiyle kontrol edilebilir. Bu olay, JFET lerde savak akımının geęit gerilimiyle kontrol edilmesine benzemekle birlikte, MOS tranzistorlar ięin istenmeyen bir durumdur. Zira, gvde etkisi I_D akımını azaltacak ynde etki etmektedir. Akımdaki bu azalmayı dengelemek zere, geęit gerilimini arttırmak gerekir. Bu aęıdan bakıldıęında, gvde etkisinin V_T eřik gerilimini arttırdıęı sylenebilir. Eřik gerilimindeki bu artma, V_{SB} kaynak - gvde gerilimi ve C de deęeri 0.5 ile 2 arasında deęiřen, gvde katkılama oraęına baęlı bir sabit olmak zere

$$\Delta V_T = C (V_{SB})^{1/2} \quad (8.2.3)$$

baęıntısı ile verilmektedir.

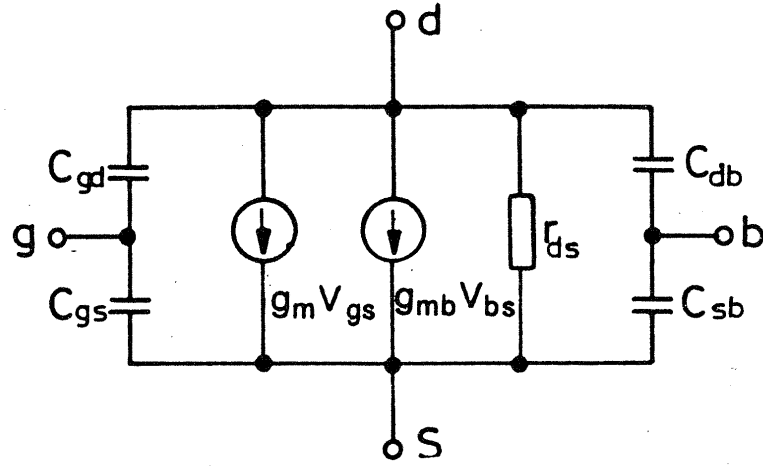
Gvde Etkisinin MOS Tranzistorunun Eşik Gerilimine Etkisi

$$V_T = V_{T0} + \gamma \left(\left(|-V_{BS} + 2\phi_F| \right)^{1/2} - \left(|2 \cdot \phi_F| \right)^{1/2} \right) \quad (8.2.4)$$

bağıntısıyla verilir. Bu bağıntıda γ büyüklüğü gövde etkisi faktörü, V_{T0} büyüklüğü $V_{SB}=0$ ikenki eşik gerilimi, ϕ_F de Fermi potansiyelidir.

MOS Küçük İşaret Modeli

MOS tranzistorun küçük işaret modeli Şekil-8.2'de görlmektedir. Analog uygulamalarda MOS tranzistorlar hemen hemen sadece doyma bölgesinde kullanıldıklarından, verilen model doyma bölgesi için geçerlidir. Modeldeki g_m geçiş iletkenliği (8.2.2) bağıntısından türev alınarak bulunabilir. Böylece



Şekil 8.2. Küçük işaret modeli.

$$g_m = \mu \cdot C_{ox} \frac{W}{L} (V_{GS} - V_T) \quad (8.2.5.)$$

yahut

$$g_m = \left(2 \cdot \mu C_{ox} \frac{W}{L} I_D \right)^{1/2} \quad (8.2.6)$$

$$g_m = \frac{I_D}{V_{GS} - V_T} \quad (8.2.7)$$

olur. Bu baęıntılardan yararlanılarak MOS bipolar tranzistorlar karşılařtırılabilir. Bipolar tranzistorlarda kolektr akımı belli olduktan sonra eęim

$$g_m = \frac{I_C}{V_T} \quad (8.2.8)$$

baęıntısıyla mutlak olarak belirlenmiř olur. MOS tranzistorlarda ise eęim I_D doyma blgesi akımı dıřında tranzistorun geometrisine, yani (W/L) oranına da baęlı olmaktadır.

g_{mb} iletkenlięi gvde etkisini gsteren bir byklktr ve gvde etkisi V_{BS} gerilimi ile arttıęından, $\partial I_D / \partial V_{BS}$ Őeklinde ifade edilir. Bu trev alındıęında

$$\lambda_b = \frac{\gamma}{2(|-V_{BS} + 2 \cdot \phi_F|)^{1/2}} \quad (8.2.9)$$

olmak zere

$$g_{mb} = \lambda_b \cdot g_m \quad (8.2.10)$$

baęıntısı elde edilir.

Devre hesaplarında λ_b katsayısından ok

$$\alpha_b = \frac{1}{1 + \lambda_b} \quad (8.2.11)$$

baęıntısıyla tanımlanan gvde etkisi faktr kullanılmaktadır. Baęıntının ıkartılıřına daha sonra deęinilecektir.

r_{ds} (yahut r_o) ıkıř direnci kanal boyu modlasyonundan ileri gelmekte ve

$$r_{ds} = \left. \frac{\partial V_{DS}}{\partial I_D} \right|_{V_{GS}=V_{GS1}} = \frac{V_A}{I_D} = \frac{1}{\lambda \cdot I_D} \quad (8.2.12)$$

bağıntısıyla verilmektedir. r_{ds} direncinin değeri megaohmlardan birkaç kiloohm mertebesine kadar değişebilir.

C_{gs} geçitten kaynağa ve kanalın kısılmamış kısmına ilişkin kapasitedir. Bu kapasitenin değeri birim yüzey kapasitesi C_{ox} ile geçit oksidi ile kaynak ve kanal arasında kalan alanın çarpıma eşittir.

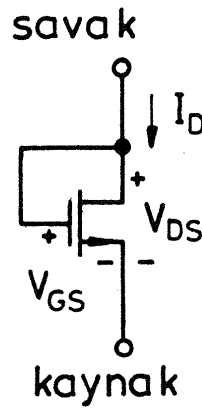
C_{gd} büyüklüğü, geçit ile savak arasında kalan bölgeden ileri gelen kapasitedir. Diğer kapasiteler için de benzer düşünceler ileri sürülebilir. En önemli kapasite, Miller etkisi nedeniyle C_{gd} kapasitesi olmaktadır.

8.3. Temel Yapıtaşları

Bu bölümde, temel NMOS yapı blokları olan akım kaynakları, gerilim referansları, temel kazanç katları genel özellikleri açısından ele alınacaktır.

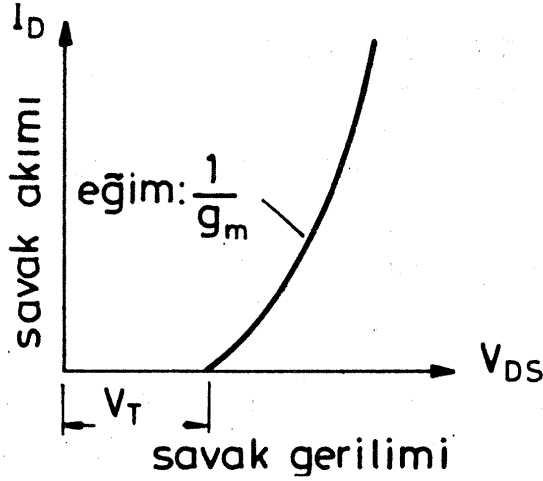
8.3.1. Diyot bağlı NMOS tranzistor

Bipolar tranzistorlardaki diyot bağlamaya benzer bir yapı MOS tranzistorlarda kullanılmaktadır. Yapı Şekil-8.3'de görülmektedir. Bu yapıda $V_{GS}=V_{DS}$ yapılmıştır.



Şekil 8.3. Diyot bağlı NMOS tranzistor.

Tranzistor iletimdeyken daima doymadadır. $V_{GS}=V_T$ olunca iletim bařlar. Yapının akım-gerilim karakteristiđi Őekil-8.4'de verilmiřtir.



Őekil 8.4. Diyot bađlı MOS tranzistor karakteristiđi.

Tranzistor doymada alıřtıđından, akım-gerilim bađıntısı

$$I_D = \frac{\beta}{2} [V_{DS} - V_T]^2 \quad (8.3.1)$$

Őeklinededir. Yapının dinamik direnci

$$r_o = \frac{1}{g_m} = \frac{1}{\left[\mu \cdot C_{ox} \cdot \frac{W}{L} \right] [V_{GS} - V_T]} \quad (8.3.2)$$

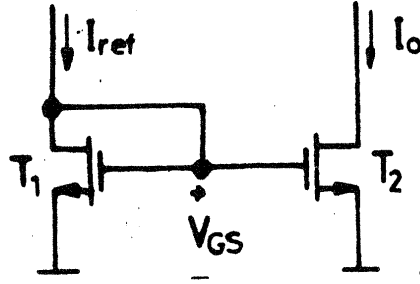
bađıntısıyla hesaplanabilir. Grleceđi gibi, dinamik diren (W/L) ile ters orantılıdır. Yapının geniř bir uygulama alanı bulunmaktadır.

8.3.2. NMOS Akım Aynaları

Basit akım aynası, Wilson akım aynası gibi bipolar tekniđinden bilinen yapılar MOS tekniđine de uygulanabilmektedir.

Basit Akım Aynası

Basit akım aynası devresi Őekil-8.5'de verilmiřtir. Tranzistorların aynı prosesle oluřturuldukları ve geometri dıřında eř



Şekil 8.5. Basit akım aynası.

özellik gösterdikleri gözönüne alınacak olursa, iki koldaki akımların oranı

$$\frac{I_o}{I_{ref}} = \frac{(W/L)_2}{(W/L)_1} \quad (8.3.3)$$

şeklindedir ve tam olarak 1 yapılabilir. Bipolar tranzistorlu düzenlerde bu oran, tranzistorlar eş olsa bile, baz akımları nedeniyle

$$\frac{I_o}{I_{ref}} = \frac{1}{1 + \frac{2}{\beta}} < 1 \quad (8.3.4)$$

şeklindedir. Akım aynasının çıkış direnci ise

$$r_o = \frac{V_A}{I_D} = \frac{1}{\lambda \cdot I_D} \quad (8.3.5)$$

bağıntısıyla tanımlanır.

Wilson Akım Kaynağı

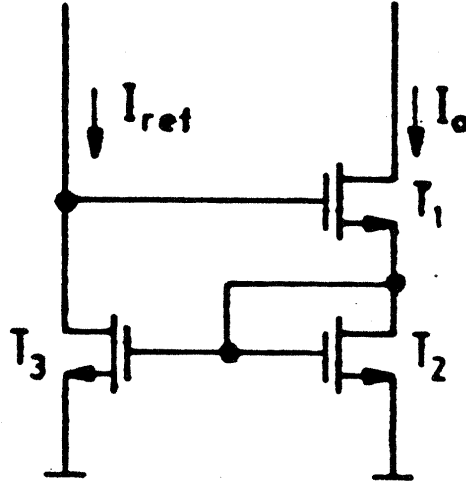
NMOs tranzistorlarla gerçekleştirilen Wilson akım kaynağı devresi Şekil-8.6'da görülmektedir. Bu yapıda tranzistorların tümüyle eş olmaları halinde

$$I_o = I_{ref} \quad (8.3.6)$$

olur. T₃ tranzistoru üzerinden sağlanan geribesleme devrenin çıkış direncini yükseltmektedir. Küçük işaret eşdeğer devresi kullanılarak R_o çıkış direnci hesaplanırsa

$$R_o = r_{o1} \cdot g_{m3} \cdot r_{o3} \quad (8.3.7)$$

bağıntısı elde edilir. r_{o1} T_1 tranzistorunun, r_{o3} de T_3 tranzistorunun çıkış direnci, g_{m3} büyüklüğü ise T_3 ün eğimi olmaktadır. $g_{m3} \cdot r_{o3}$ çarpanı 50-100 mertebesindedir.



Şekil 8.6. Wilson akım kaynağı.

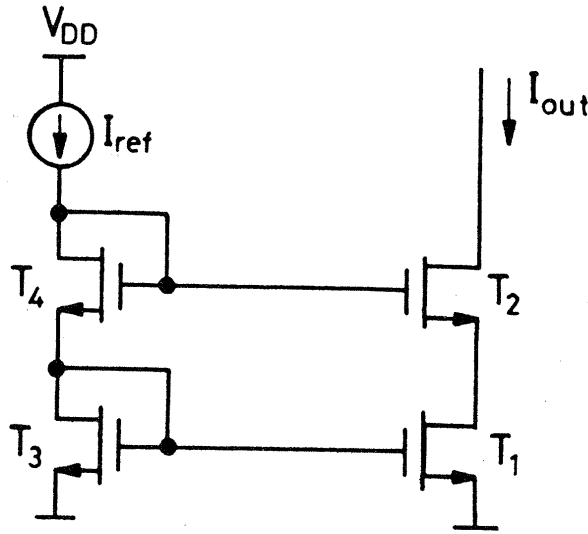
Kaskod Akım Aynası

Yüksek çıkış dirençli akım kaynaklarına sıkça gereksinme duyulur. Bunun temel nedenlerinden biri, aktif yüklü kuvvetlendiricilerde yüksek değerli gerilim kazancı elde edilmesi yönündeki istektir. Bu amaçla, bipolar tekniğindeki benzer şekilde kaskod akım kaynağı gerçekleştirilir. Yapı Şekil-8.7'de verilmiştir. Bu yapıda T_2 tranzistoru T_1 tranzistorunu çıkış ucundaki gerilim değişimlerinden yalıtılmaktadır. Küçük işaret eşdeğer devresi kullanılarak çıkış direnci hesaplanırsa

$$R_o = r_{o2} \cdot (1 + g_{m2} \cdot r_{o1}) \quad (8.3.8)$$

elde edilir. Diğer bir deyişle, tranzistorun çıkış direnci $1 + g_{m2} \cdot r_{o1}$ çarpanı ile çarpılarak çıkışa yansımaktadır.

MOS teknięinde istenilen deęerdeki yksek empedans, ok sayıda kaskod katın st ste yerleřtirilmesi ile elde edilebilir. Her bir kaskod ıkıř direncini $1+g_m.r_o$ kadar ykseltmektedir. Bipolar teknięinde ise, baz akımlarının etkisi nedeniyle, bu mmkn deęildir.



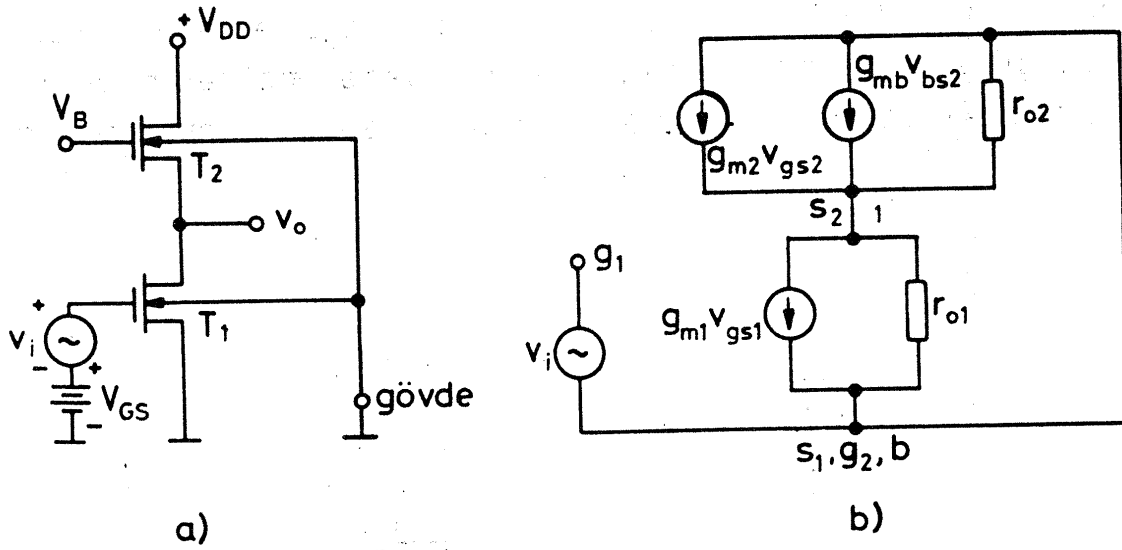
řekil 8.7. Kaskod akım aynası.

8.3.3. Kuvvetlendirici Yapıları

Bu blmde, NMOS ve CMOS aktif ykl kuvvetlendirici yapıları ele alınacaktır. İlk bařta, sadece kanal oluřturmalı NMOS yapılar incelenecek, daha sonra kanal oluřturmalı ve kanal ayarlamalı tranzistorların birlikte kullanıldıkları yapılara yer verilecek, en sonda ise CMOS yapılara deęinilecektir.

Aktif Ykl Savak ıkıřlı Kuvvetlendirici Yapısı

Aktif ykl savak ıkıřlı bir kuvvetlendirici devresi řekil-8.8'de gsterilmiřtir. Yine, yapının eřdeęer devresi řekil zerinde yer almaktadır. Devrenin gerilim kazancı eřdeęer devre yardımıyla hesaplanırsa



Şekil 8.8. Savak çıkışlı kuvvetlendirici.

$$K_v = - \frac{g_{m1}}{g_{m2} (1 + \lambda_b)} \quad (8.3.9)$$

ve daha önce gvde etkisi için verilen tanımlar kullanılırsa

$$K_v = - \alpha_{b2} \frac{g_{m1}}{g_{m2}} \quad (8.3.10)$$

bulunur. α_b gvde etkisi faktr daima 1 den kçktr ve kazancı azaltan bir faktr olarak kendini gsterir. Gvde etkisinin ihmal edilmesi, yani $\alpha_b=1$ olması durumunda, devrenin gerilim kazancı

$$K_v = - \left(\frac{(W/L)_1}{(W/L)_2} \right)^{1/2} \quad (8.3.11)$$

olur. Bu bağıntıdan hareketle, MOS tranzistorlu kuvvetlendiricilerde kazancın neden dşk deęerli olduęu izlenebilir. (W/L) oranlarını istenildięi kadar byk tutmak pratikte olanak dıřıdır. Bu oranın byk tutulmaya alıřılması halinde parazitik kapasiteler sorun olmaya bařlarlar. Bunun yanısıra, kazancı 10 defa arttırmak zere, (W/L) oranlarının 100 defa deęiřtirilmesi gerekeceęi de aıktır. Btn bunların yanısıra, gvde etkisi nedeniyle de kazancın biraz daha dřk ıkacaęı dikkate alınmak zorundadır.

Aktif Yüklü Kaynak Çıkışlı Kuvvetlendirici

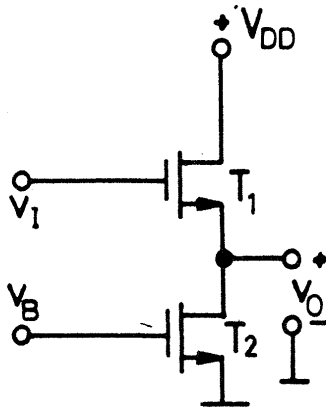
Bipolar tekniğine benzer biçimde, NMOS tranzistörler kullanılarak emetör (kaynak) çıkışlı kuvvetlendiriciler gerçekleştirilmek mümkündür. Bu şekilde gerçekleştirilmiş bir kuvvetlendirici yapısı ve buna ilişkin eşdeğer devre Şekil-8.9'da görülmektedir. Eşdeğer devreden hareket edilirse, kuvvetlendiricinin gerilim kazancı

$$K_v = \frac{g_m}{g_m/\alpha_b + 1/r_{o1} + 1/r_{o2}} \quad (8.3.12)$$

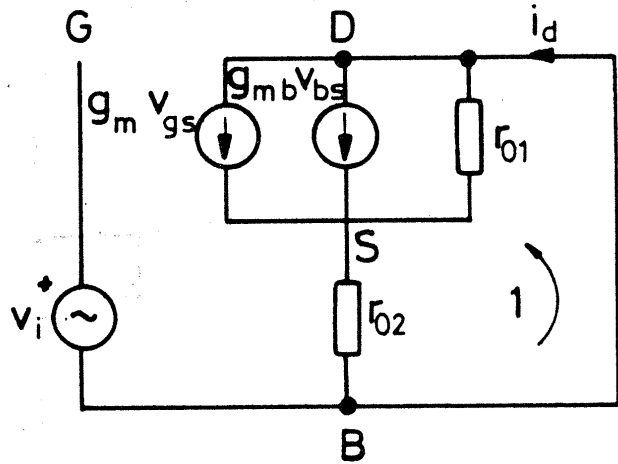
ve çıkış direnci de

$$r_o = \frac{1}{g_{m1}} \quad (8.3.13)$$

bulunur.



(a)



(b)

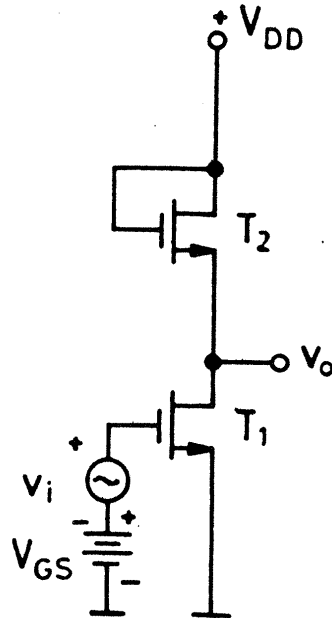
Şekil 8.9. Kaynak çıkışlı kuvvetlendirici.

Diyot Baęlı Kanal Oluřturmalı NMOS un Yk Olarak Kullanılması

Savak ıkıřlı kuvvetlendirici yapısının zel bir hali olan bu yapı, ilk bařta, kanal ayarlamalı yk ve eřlenik elemanın bulunmadıęı zamanlarda, MOS dijital devrelerde kullanılmıřtır. Yapı Őekil-8.10'da verilmiřtir. Giriř geriliminin bir eřik geriliminden daha az olması durumunda T_1 kesime gider ve devreden akım akmaz. Giriř geriliminin eřik gerilimini ařması halinde ise her iki tranzistor doymaya girer ve devre kuvvetlendirici olarak alıřır. Genel savak ıkıřlı kuvvetlendirici yapısında olduęu gibi, bu yapıda da gerilim kazancı, gvde etkisinin ihmal edilmesi durumunda

$$K_v = - \frac{g_{m1}}{g_{m2}} = - \left(\frac{(W/L)_1}{(W/L)_2} \right)^{1/2} \quad (8.3.14)$$

řeklinde dir. Pratik eleman geometrileri iin bu baęıntı, maksimum gerilim kazancını 10-20 deęerleri arasında sınırlar. Bununla beraber, bu tr eviriciler geniř bandlı, dřk kazançlı ve lineerlięi yksek devre oluřturmak aısından yarar saęlarlar.



Őekil 8.10. Diyot baęlı kanal oluřturmalı yk kullanılması.

Eşdeğer devre yardımıyla devrenin sıfır ve kutupları araştırılırsa

$$s_z = \frac{g_{m1}}{C_{gd1}} \quad (8.3.15)$$

$$s_{p1} = - \frac{G_s}{C_{in}} \quad (8.3.16)$$

$$s_{p2} = - \frac{G_{Leq}}{(C_{Leq} + C_{gd1})} \quad (8.3.17)$$

şeklinde sağ yarıdüzlemde bir sıfır ve sol yarı düzlemde iki kutup bulunur. Bu bağıntılarda

$$G_{Leq} = \frac{1}{r_{o1}} + \frac{1}{r_{o2}} + g_{m2} + |g_{mb2}| \quad (8.3.18)$$

$$C_{Leq} = C_{db1} + C_{gs2} + C_{sb2} + C_L \quad (8.3.19)$$

$$C_{in} = C_{gs1} + C_{gd1} \left(1 + \frac{g_{m1}}{G_{Leq}} \right) \quad (8.3.20)$$

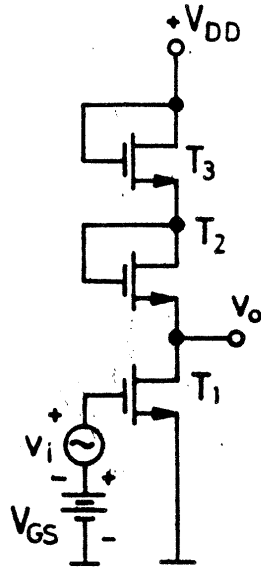
şeklinde dir. C_L yük kapasitesi, $G_s = 1/R_s$ ise sürücü kaynak iç direncini göstermektedir.

Genelde, C_{gd1} küçük değerlidir. $s_z \gg |s_{p1}|$ olduğundan ve C_{Leq} eşdeğer yük kapasitesi küçük olduğundan, $|s_{p2}| \gg |s_{p1}|$ şeklindedir. Bu nedenle s_{p1} baskın kutupdur. Frekans eğrisinin 3 dB düşme noktası

$$\omega_{3dB} = |s_{p1}| = \frac{G_s}{C_{in}} \quad (8.3.21)$$

olur. Yüksek değerli alçak frekans kazancı elde edilebilmesi için $(W/L)_2$ oranı küçük olmalıdır. W genişliğinin minimum değeri prosesin geometrik rezolüsyonu ile sınırlı olduğundan T_2 nin kanal boyunun uzun tutulması gerekir. Bu ise, C_{gs2} ve C_{Leq} kapasitelerinin artmasına, dolayısıyla $|s_{p2}|$ nin düşmesine ve frekans eğrisinin bu

kutup tarafından yararlı blgede daha fazla etkilenmesine neden olur. Bu etki, pozitif gerilim dalgalanmasının biraz azalmasına razı olunarak iki yahut daha fazla paralı yk tranzistoru kullanılarak giderilebilir. Byle bir devre Őekil-8.11'de gsterilmiŐtir. Belirli bir g_{m1} eĐimi iin devrenin yk tek bir yk elemanına gre yarı geit alanına gereksinme gstermekte, bylece etkin yk kapasitesi C_{Leq} azalmaktadır. Buna karŐılık, iki diyot seri baĐlanarak yk oluŐturulduĐundan, alak frekanslardaki kazanç nceki devreyle aynı olur.



Őekil 8.11. Paralı ykl kuvvetlendirici.

Kaskod Devre

Aktif ykl kuvvetlendiricilerde yk tranzistorları kendilerini sren kata nemli bir kapasitif yk oluŐturabilirler. C_{gs} ve C_{gd} kapasiteleri sorun yaratmaya baŐlarlar, zellikle C_{gd} kapasitesi Miller etkisi nedeniyle sorun ıkarır. Bu problem kaskod devre yardımıyla zlebilir. Kaskod devre Őekil-8.12'de verilmiŐtir. Devrenin gerilim kazancı eŐdeĐer devre yardımıyla hesaplanırsa

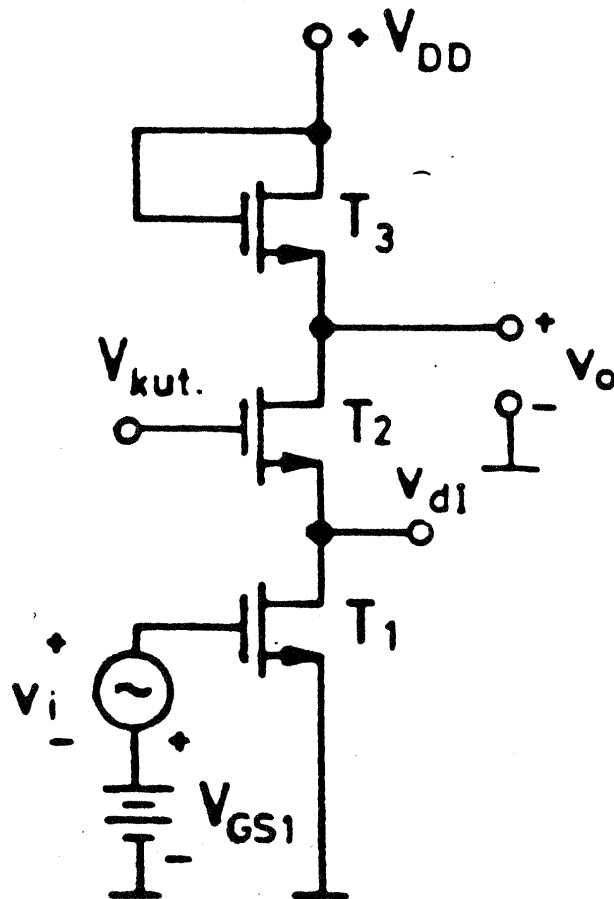
$$K_v = - \alpha_{b3} \frac{g_{m1}}{g_{m3}} \quad (8.3.22)$$

bulunur. Miller etkisi nedeniyle C_{gd1} kapasitesi v_{d1}/v_i ile arpılarak giriŒe yansır. Bu etkiyi minimum dzeyde tutabilmek zere, $(W/L)_1=(W/L)_2$ seilerek $v_{d1}/v_i = 1$ olması saėlanır. Kaskod devrede

C_{in} giriŒ kapasitesi

$$C_{in} = C_{gs1} + 2.C_{gd1} \quad (8.3.23)$$

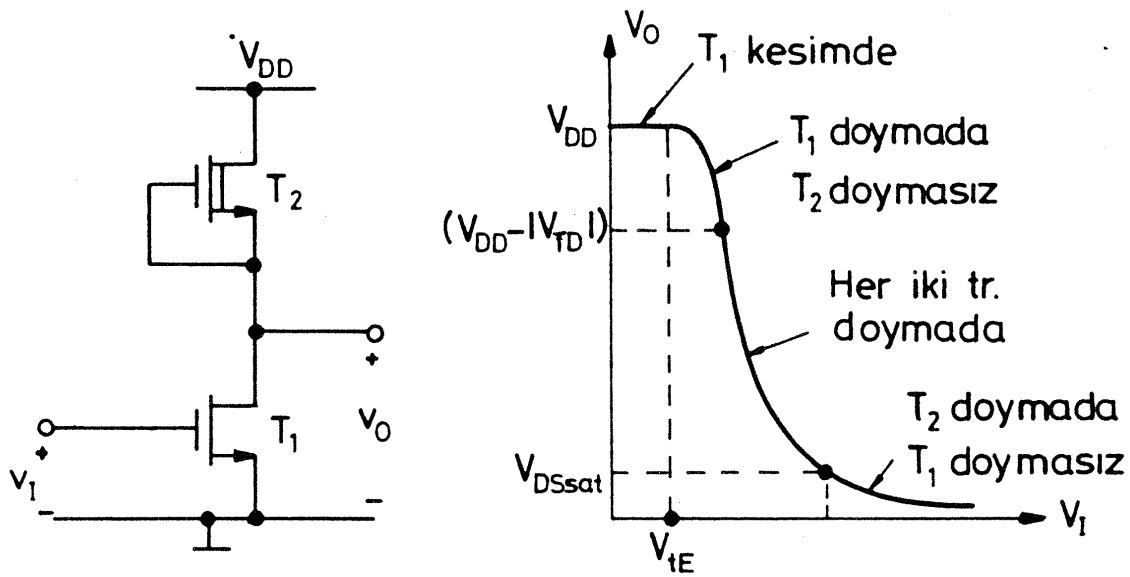
olur. (8.3.20) baėıntısıyla karŒılaŒtırılırsa, giriŒ kapasitesinin kleceėi kolayca grlebilir.



Œekil 8.12. Kaskod devre.

Kanal Ayarlamalı NMOS Ykl Kuvvetlendiriciler

NMOS teknolojisinde karřılařılan en byk sorun, yeterli derecede yksek kazanların elde edilememesidir. Bu sorunun zlmesi iin bařvurulan bir yol, kanal ayarlamalı NMOS tranzistorların yk tranzistoru olarak kullanılmasıdır. Modern NMOS prosesinin getirdiđi kanal ayarlamalı NMOS tranzistorlar bu sorunun zmn sađlamaktadır.



řekil 8.13. Kanal ayarlamalı ykl kuvvetlendirici.

Kanal ayarlamalı ykl kuvvetlendirici devresi řekil-8.13'de gsterilmiřtir.

Eřdeđer devre yardımıyla devrenin gerilim kazancı hesaplanırsa

$$K_v = - \left(\frac{(W/L)_1}{(W/L)_2} \right)^{1/2} \cdot \frac{1}{\lambda_b} \quad (8.3.24)$$

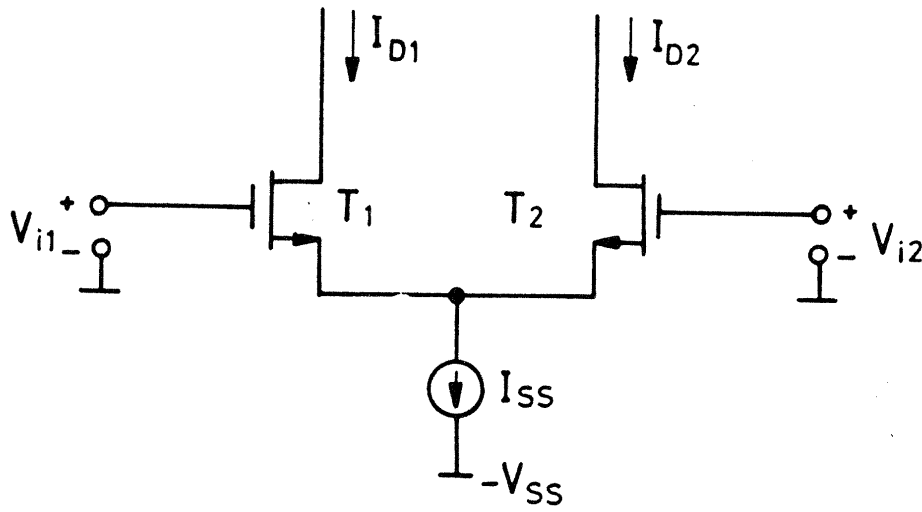
bulunur. Diđer bir deyiřle, kazan iki elemanın eđimleri oranının λ_b ye blnmesiyle hesaplanmaktadır. λ_b nin 0.1 mertebesinde olduđu dřnlecek olursa, bu yapının kanal oluřturmalı yapıya kıyasla daha yksek kazan sađlayacađı aıktır.

MOS Emetr Baęlamalı Kuvvetlendiriciler

Bipolar tranzistorlu yapılarda olduęu kadar MOS teknięinde de nemli bir yapıtaşı olan emetr yahut kaynak baęlamalı kat Şekil-8.14'de gsterilmiştirtir. Bu devreye ilişkin ıkıř fark akımı

$$\Delta I_D = I_{D1} - I_{D2} \quad (8.3.25)$$

řeklinindedir. Eleman baęıntıları yardımıyla



Şekil 8.14. Kaynak baęlamalı kuvvetlendirici.

$$\Delta I_D = \mu_n \frac{C_{ox} \cdot W}{2 \cdot L} \Delta V_i \left(\frac{I_{SS}}{\mu_n \frac{C_{ox} \cdot W}{2 \cdot L}} - (\Delta V_i)^2 \right)^{1/2} \quad (8.3.26)$$

baęıntısı elde edilir. Bu baęıntı her iki tranzistorun da doymada kaldıkları varsayılarak elde edilmiştir. Fark edilebileceęi gibi, elde edilen baęıntı

$$\Delta V_i \leq \left(\frac{2 \cdot I_{SS}}{\mu_n \frac{C_{ox} \cdot W}{2 \cdot L}} \right)^{1/2} \quad (8.3.27)$$

řartı altında geęerli olmaktadır. Bu sınırın dıřında ise, tranzistorlardan birinin iletkenlięi dięerine gre ok yksektir, bu nedenle btn akım iletkenlięi yksek olan tranzistordan geęer.

Analog uygulamalar iin nem tařıyan bir byklk de kaynak baęlamalı katın eęimidir. Bu eęim

$$G_m = \left(\frac{d \Delta I_D}{d \Delta V_i} \right)_{\Delta V_i = 0} = g_{m1} = g_{m2} \quad (8.3.28)$$

řeklinde tanımlanmaktadır.

Emetr baęlamalı kuvvetlendirici yapısındaki benzer biimde, kaynak baęlamalı ift de giriř geriliminin belirli bir deęeri ařması durumunda sınırlayıcı etkisi gsterir. BJT emetr baęlamalı kuvvetlendirici yapısından farklı olarak, kaynak baęlamalı yapıda bu sınırlama kutuplama akımına ve elemanın boyutlarına baęlıdır. Bu aıdan bakıldıęında, yapı, BJT tranzistorda emetre seri diren baęlanarak giriř gerilimi aralıęının istenen deęere getirilmesine benzer bir davranıř gsterir. Kutuplama akımını arttırarak, kanal boyunu arttırarak ve kanal geniřlięini azaltarak, her iki elemanın da aktif oldukları blgenin sınırları geniřletilebilir.

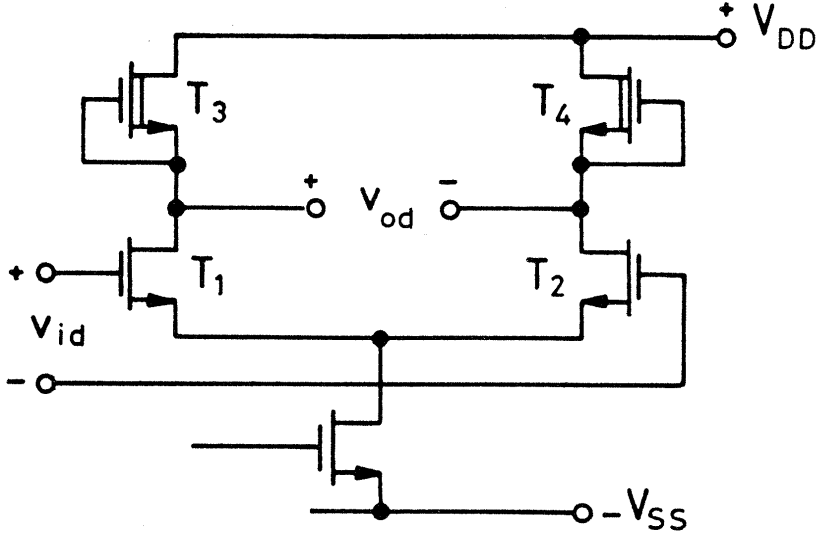
Kaynak baęlamalı iftin dięer bir zellięi de giriř dengesizlik gerilimidir. Devrede yk olarak R_L direnlerinin kullanıldıęı varsayımı altında, giriř dengesizlik gerilimi

$$V_{OS} = \Delta V_T + \frac{V_{GS} - V_T}{2} \left[\left(\frac{-\Delta R_L}{R_L} \right) - \left(\frac{\Delta (W/L)}{W/L} \right) \right] \quad (8.3.29)$$

baęıntısıyla verilir. Bu baęıntıda ΔR_L , ΔV_T , $\Delta (W/L)$ iki eleman arasındaki fark bileřenlerini, R_L , V_T ve (W/L) de ortalama deęerleri gsterirler. Baęıntıdan fark edilebileceęi gibi, yk elemanları arasındaki bir dengesizlik veya W/L oranlarındaki bir dengesizlik gerilimi doęrudan doęruya $V_{GS} - V_T$ ile arpılmaktadır. Bipolar emetr baęlamalı iftlerde aynı dengesizlik terimleri kT/q ile, yani ok daha kk deęerli bir arpanla arpılır. Bu nedenle, MOS

$$CMRR = \frac{2 \cdot g_{m1} \cdot R_S}{\alpha_{b1}} \quad (8.3.32)$$

olur. Daha önce tek katlı doymalı kanal oluşturmaları yüklü kuvvetlendirici için elde edilen sonuçlarla karşılaştırılırsa, bu bağıntının önceki bağıntı ile aynı olduğu kolayca fark edilebilir.



Şekil 8.16. Kanal ayarlamalı yüklü fark kuvvetlendiricisi.

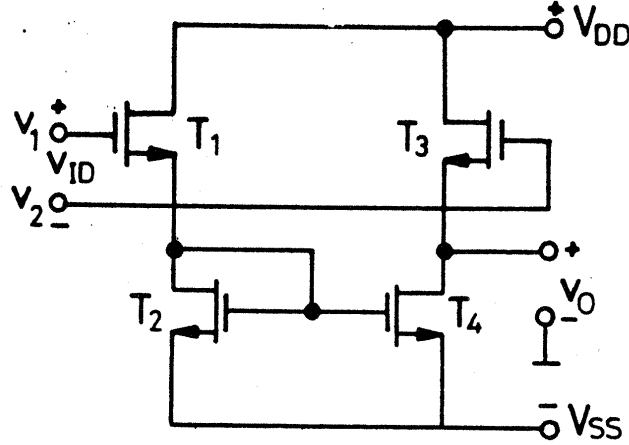
Kanal Ayarlamalı Yüklü Fark Kuvvetlendiricisi

Fark kuvvetlendiricisi gerçekleştirilirken, yük olarak kanal ayarlamalı tranzistörlerden yararlanmak da mümkündür. Böyle bir yapı Şekil-8.16'da görülmektedir. Devrenin simetrik olması, T_1 - T_2 ve T_3 - T_4 ün eş geometriye sahip olmaları şartı altında, K_d fark işaret kazancı

$$K_d = - \frac{1}{\lambda_b} \left(\frac{(W/L)_1}{(W/L)_2} \right)^{1/2} \quad (8.3.33)$$

olur. Tek katlı aktif yüklü kuvvetlendiricilerde olduğu gibi, bu yapıda da aktif yük olarak kanal ayarlamalı tranzistör kullanılması, kanal

oluşturmalı doymalı yüklü kuvvetlendiriciye göre kazancın $1/\lambda_b$ kadar daha yükselmesi sonucunu getirmektedir.



Şekil 8.17. Tek uca dönüştürücü.

Diferensiyelden Tek Ucu Dönüştürücü

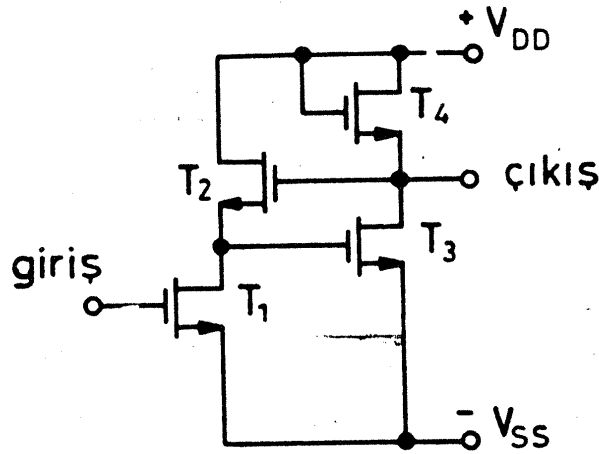
Bir çok durumda fark kuvvetlendiricisinin iki çıkış ucu arasındaki simetrik gerilimin tek uca dönüştürülmesi istenir. Bunun için kullanılan devre Şekil-8.17'de verilmiştir. Bu devrenin fark işareti fazla bir kayba uğratmadan tek uca çevirmesi gerekir. Yapı, aynı zamanda bir doğru gerilim öteleme işlevini de yerine getirir. Devrenin gerilim kazancı

$$K_v = \frac{g_{m1} \cdot g_{m4}}{g_{m3} \cdot (g_{m1} + g_{m2})} \quad (8.3.34)$$

şeklindedir. Elemanların tümünün aynı geometriye sahip olmaları halinde kazanç $1/2$ olur. Yüksek kazanç elde etmek üzere g_{m4} ün ve bunun için de T_4 ün boyutlarını arttırmak gerekir.

NMOS ıkıř Katları

NMOS tekniğinde, eřlenik tranzistor bulunmaması nedeniyle, ıkıř katı tasarımı olduka sınırlanmıřtır. Elemanın alıřması iin gerekli olan byk deęerli geit-kaynak gerilimi ıkıř gerilimi dalgalanmasını sınırlamakta, bunun yanısıra, g_m eęiminin dřk deęerli olması dřk empedanslı ıkıř elde edilmesini sınırlamaktadır. NMOS tasarımında en basit ıkıř katı yapısı, daha nce ele alınmıř olan kaynak ıkıřlı kuvvetlendiricidir. Bunun iki temel yetmezlięi bulunur. Birincisi, ıkıř direncinin $1/g_m$ olmasıdır. Bu byklk sadece byk sknet akımlarında ve byk W/L oranlarında bydęnden, dřk deęerli ıkıř direnci elde edilmesi zordur. İkinci yetmezlik, bipolar emetr ıkıřlı katlarda da olduęu gibi, ieriye doęru akım akıtma yeteneęinin sınırlı olmasıdır. Bu nedenle, yksek deęerli kapasitif yklerin srlmesi sırasında sorun ıkabilir.



řekil 8.18. NMOS ıkıř katı.

Yukarıda deęinilen sakıncaları gidermek zere deęiřik dzenler geliřtirilmiřtir. Negatif geribeslemeli bir ıkıř katı yapısı řekil-8.18'de verilmiřtir. Devrenin gerilim kazancı

$$K_v = \frac{g_{m1}}{g_{m2}} \frac{g_{m3}/g_{m4}}{1 + g_{m3}/g_{m4}} \quad (8.3.35)$$

ıkıř direnci de

$$r_o = \frac{1}{g_{m4}} \frac{1}{1 + g_{m3}/g_{m4}} \quad (8.3.36)$$

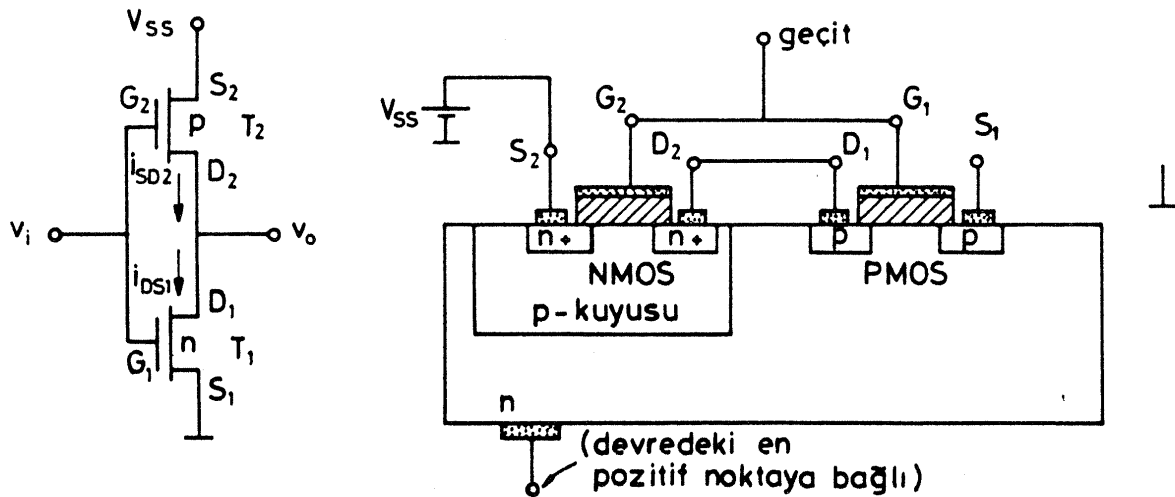
şeklindedir. Sistemin geometrisini tayin ederken tatmin edici bir kazanç, maksimum çıkış salınımı, güç tüketimi ve harcanan kırmık yüzeyi gibi faktörlerin tümünün dikkate alınması gerekir.

CMOS Kuvvetlendirici Yapıları

Günümüzde yaygın olarak kullanılan analog MOS tmdevre tekniđi CMOS (eşlenik MOS) teknolojisidir. Bu teknolojiye eşlenik tranzistor bulunmakta, dolayısıyla, bipolar devrelerde olduđu gibi, CMOS tekniđinde de gerilim öteleyici katlara gerek bulunmamaktadır. Hem eşlenik tranzistorun bulunmasının sağladığı yararlar, hem de yüksek kazanç sağlamaları nedeniyle, CMOS devreler birçok uygulama alanında NMOS devrelere tercih edilmektedir.

CMOS Evirici

En basit şekliyle bir CMOS evirici Şekil-8.19'da görlmektedir. Bu yapı, dijital devre tekniđinden bilinen evirici yapısından başka bir şey deđildir. Devreyi oluşturan tranzistorların yapı kesiti de yine



Şekil 8.19. CMOS evirici ve yapı kesiti.

ekilde grlmektedir. Bir n kanallı tranzistor ile bir p kanallı tranzistor seri olarak savak ularından birbirlerine baėlanmılardır. V_i giri gerilimi her iki tranzistorun geit ularına birlikte uygulanır. Dijital devrelerinkinden farklı olarak yapı gei blgesinde, her iki tranzistor da doymada olacak ekilde alıtırılır. Bu blgede gei eėrisinin eėimi ok yksektir ve bu nedenle yksek kazanç deėerleri elde edilebilir.

Kk iaret edeėer devresi kullanılarak eviricinin kazancı hesaplanırsa

$$K_v = -(g_{m1} + g_{m2}) (r_{o1} // r_{o2}) \quad (8.3.37)$$

bulunur. Bu baėıntıda yeralan r_{o1} ve r_{o2} byklkleri T_1 ve T_2 tranzistorlarının kanal boyu modlasyonundan ileri gelen ıkı direnleridir. CMOS yapının zelliėi nedeniyle gvde etkisi etkili olmaz.

Edeėer devre yardımıyla sıfır ve kutuplar hesaplanırsa

$$s_z = \frac{g_{m1} + g_{m2}}{C_{gd1} + C_{gd2}} \quad (8.3.38)$$

$$s_{p1} = -\frac{G_s}{C_{in}} \quad (8.3.39)$$

$$s_{p2} = -\frac{G_{Leq}}{C_{gd1} + C_{gd2} + C_{Leq}} \quad (8.3.40)$$

bulunur. Bu baėıntılarda

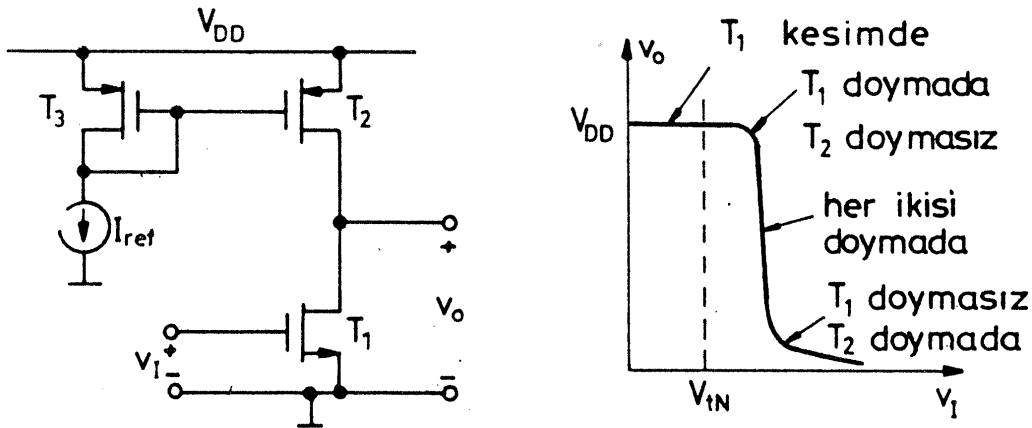
$$G_{Leq} = g_{o1} + g_{o2} \quad (8.3.41)$$

$$C_{Leq} = C_{db1} + C_{db2} + C_L \quad (8.3.42)$$

$$C_{in} = C_{gs1} + C_{gs2} + \left(1 + \frac{g_{m1} + g_{m2}}{G_{Leq}}\right) (C_{gd1} + C_{gd2}) \quad (8.3.43)$$

eklindedir. Miller etkisi nedeniyle s_{p1} baskın kutup olur.

CMOS tekniğinde ok sık kullanılan bir yapı da, bipolar tranzistorlu aktif ykl kuvvetlendirici yapılarına benzeyen p kanallı akım kaynađı ykl devredir. Bu devre Őekil-8.20'de geiŐ eđrisi ile birlikte gsterilmiŐtir. Devre kanal ayarlamalı ykl eviriciye gre stnlk gsterir. Hemen hemen negatif besleme geriliminden pozitif besleme gerilimine kadar tm ıkıŐ gerilimi dalgalanma blgesi iin her iki tranzistor da doymada olur. Dolayısıyla CMOS evirici NMOS eviriciye gre daha iyi bir ıkıŐ dalgalanma aralıđı gsterir. Bunun yanısıra, kutuplama akımlarının ve eleman boyutlarının her iki eleman iin uygun olarak seilmeleri halinde, yapı her iki kaynađın birkaç yz mV yakınına ulaŐılana kadar byk gerilim kazancı sađlar. EŐdeđer devre yardımıyla gerilim kazancı hesaplanırsa



Őekil 8.20. Akım kaynađı ykl kuvvetlendirici.

$$K_v = - \frac{g_{m1}}{g_{o1} + g_{o2}} \quad (8.3.44)$$

bulunur. Bu bađıntıda g_{o1} ve g_{o2} byklkleri n kanallı ve p kanallı tranzistorların ıkıŐ direnleridir.

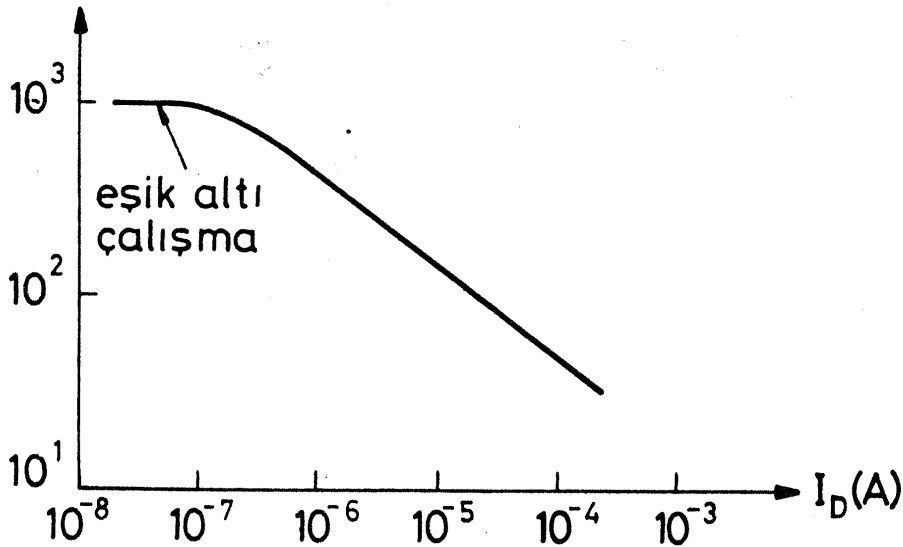
Elde edilen baęıntı, CMOS eviricinin gerilim kazancının birinci derecede eęimin eviriciyi oluřturan tranzistorların ıkıř iletkenlikleri toplamına oranıyla belirlendięini gstermektedir. MOS ve bipolar teknolojileri arasındaki temel fark, aktif ykl kuvvetlendiricinin aık devre gerilim kazancı g_m/g_o nun MOS tranzistorlar iin bipolar tranzistorlara gre ok daha dřk olmasıdır. Tipik olarak aynı geometri ve akım deęerleri iin bu oran 10 ile 40 arasındadır. Bu kazanç faktr CMOS kuvvetlendirici tasarımında nemli olduęundan, aık devre kazancını sınırlayan faktrleri daha ayrıntılı incelemekte yarar vardır. Eęim ve ıkıř direnleri fiziksel byklkler cinsinden yazılırsa

$$K_v = - \frac{1}{\sqrt{I_D}} \frac{V_{A1} V_{A2}}{V_{A1} + V_{A2}} \left(2 \cdot \mu \cdot C_{ox} \left(\frac{W}{L} \right)_1 \right)^{1/2} \quad (8.3.45)$$

bulunur. Buna gre

1. Kazan $1/\sqrt{I_D}$ ile orantılıdır.
2. Dřk akımda yksek kazanç elde edilir.

aık devre
gerilim kazancı



řekil 8.21. Kazancın akıma baęımlılıęı.

Buna gre, $I_D \Rightarrow 0$ durumunda $K_v \Rightarrow \infty$ olur. Gerekte ise byle deęildir. ıkartılan baęintı kuvvetli evirtim doyma blgesi iin geerlidir. $I_D \Rightarrow 0$ durumunda zayıf evirtim blgesine girilir. Bu blgede $g_m - I_D$ ve $r_o - I_D$ iliřkileri bipolar tranzistordaki gibidir, dolayısıyla K_v gerilim kazancı akımdan baęımsız olur. Kazancın akıma baęlılıęı Őekil-8.21'de verilmiřtir. Verilen bir kutuplama akımı iin W/L oranı deęiřtirilerek kazanç arttırılabilir.

CMOS Fark Kuvvetlendirici

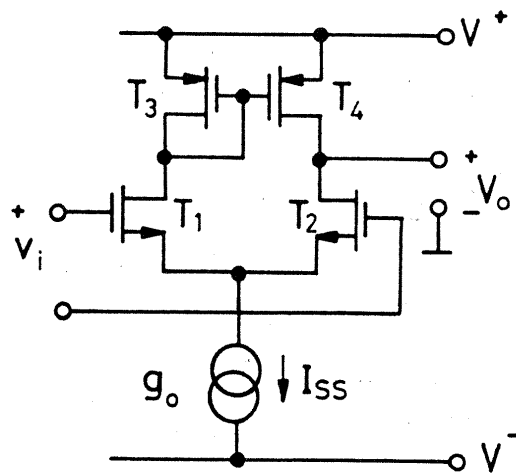
Eřlenik tranzistorun bulunması bipolar tranzistorlu aktif ykl kuvvetlendirici benzeri bir yapıyı mmkn kılar. Yapı Őekil-8.22'de verilmiřtir. Devrenin fark, ortak iřaret kazançları ile ortak iřareti zayıflatma oranı

$$K_d = \frac{g_{m1}}{g_{o2} + g_{o4}} \quad (8.3.46)$$

$$K_c = \frac{-g_o \cdot g_{m1}}{2 g_{m1} (g_{o2} + g_{o4})} \quad (8.3.47)$$

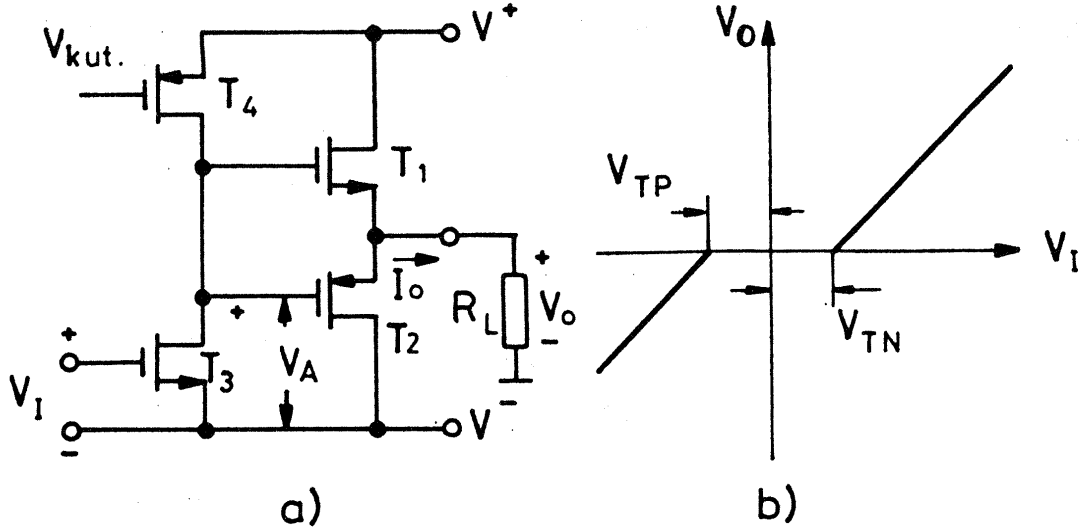
$$CMRR = 2 \frac{g_{m1} \cdot g_{m4}}{g_o \cdot g_{o2}} \quad (8.3.48)$$

olarak elde edilir.



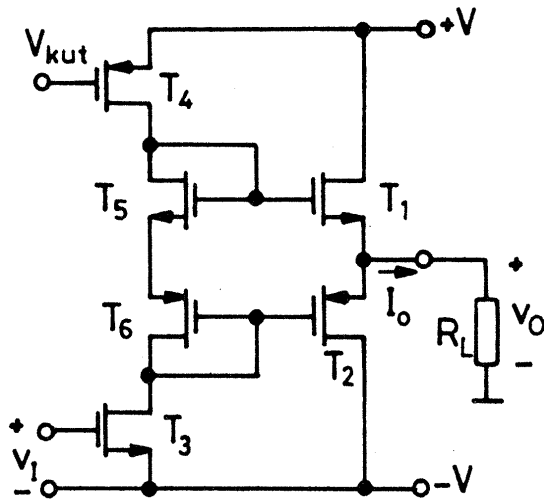
Őekil 8.22. CMOS aktif ykl fark kuvvetlendirici.

CMOS ıkıř Katları



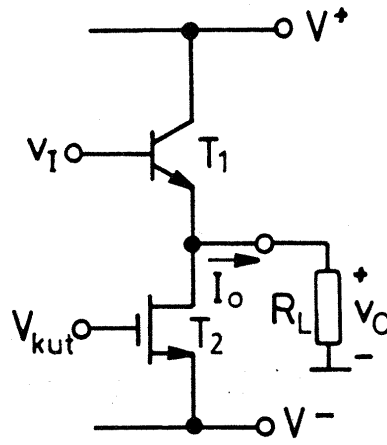
řekil 8.23. CMOS ıkıř katı ve geiř eęrisi.

CMOS elemanlarla B veya AB sınıfı ıkıř katları gerekleřtirilebilir. Bu tr bir ıkıř katı devresi řekil-8.23'de geiř eęrisi ile birlikte verilmiřtir. Devre tmyle bipolar tranzistorlarla gerekleřtirilen devrenin karřılıęıdır. T_1 - T_2 tranzistorları puř-pul alıřan ıkıř katını, T_3 - T_4 ise bu katı sren src katı oluřturmaktadır. Geiř eęrisinden fark edilebileceęi gibi, eřik



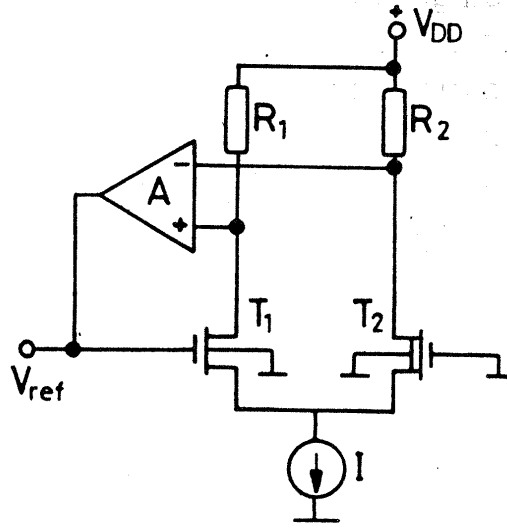
řekil 8.24. AB sınıfı CMOS ıkıř katı.

gerilimlerinin byk olması nedeniyle devrenin geiř distorsiyonu da olduka fazladır. Ayrıca g_m eđiminin dřk olması da ıkıř direncinin byk olmasına neden olur. Yine, bipolar tranzistorlardakine benzer bir yol izleyerek, geiř distorsiyonunu azaltmak mmkndr. Bu yapı Őekil-8.24'de gsterilmiřtir. Burada T_5 ve T_6 tranzistorları diyot bađlamalı olarak devreye iki ıkıř tranzistorun geitleri arasına yerleřtirilmiřlerdir ve bipolar tranzistorlu devrelerde kullanılan diyotlara karřı dřerler.



Őekil 8.25. ıkıř katında bipolar tranzistor kullanılması.

CMOS teknolođisi ile gerekleřtirilen devreler, yapıları geređi bipolar tranzistorları da ierirler. Őekil-8.19'daki gibi p kuyulu bir yapıda, n tipi gvde tranzistorun kolektr, p tipi kuyu blgesi tranzistorun bazını, kuyu blgesi iindeki n tipi savak ve kaynak difzyonları ise emetr oluřtururlar. CMOS devrelerde hi bir jonksiyonun iletim ynnde kutuplanmaması iin gvde daima en yksek potansiyelli noktaya bađlanır. Bu yzden bipolar tranzistor sadece emetr ıkıřlı olarak kullanılabilir. Bipolar tranzistorun kullanıldıđı bir ıkıř katı yapısı Őekil-8.25'de verilmiřtir. Yani A sınıfı kuvvetlendirici olarak alıřır. Bu devrenin sakıncası, ıkıř gerilimi salınımlarının pozitif ve negatif ynde eřit olmaması, iki yndeki akım akıtabilme kapasitesinin farklı olması, negatif yndeki salınının T_2 nin kutuplama gerilimi ve akımıyla sınırlanmasıdır.



Şekil 8.26. Geçit-kaynak gerilimi fark referansı.

8.3.4. Referans Gerilimi Üreteçleri

Elektronikte birçok uygulamada sıcaklıktan olabildiğince bağımsız referans gerilimlerine gereksinme duyulur. Referans gerilimi üretmek üzere çeşitli yöntemlerden yararlanılabilir. Bu yöntemlerden V_{GS} gerilimi farkı referansı MOS tekniğine has bir yöntemdir. Bunun yanısıra CMOS tekniğinde bipolar tranzistorun bulunmasından da yararlanılarak, bipolar teknolojisinden bilinen kT/q referansı, V_{BE} referansı ve band-aralığı (band-gap) referansı gibi gerilim referanslarının gerçekleştirilmesi de mümkündür. Ayrıca, eşik altı çalışmada akım-gerilim bağıntısının üstel olmasından yararlanılarak band-aralığı referansı gerçekleştirilmesi gibi MOS teknolojisine has başka yöntemler de bulunmaktadır.

8.3.4.1. V_{GS} Geçit-Kaynak Gerilimi Farkı Referansı

Bir kanal oluşturmali ve bir de kanal ayarlamali tranzistorun geçit-kaynak gerilimleri arasındaki farktan yararlanılarak

gerekleřtirilen referans gerilimi dzeni Őekil-8.26'da grlmektedir. T_1 tranzistorunun geidi ile toprak arasındaki gerilim farkı referans olarak alınır

$$V_{ref} = V_{GSE} - V_{GSD} \quad (8.3.49)$$

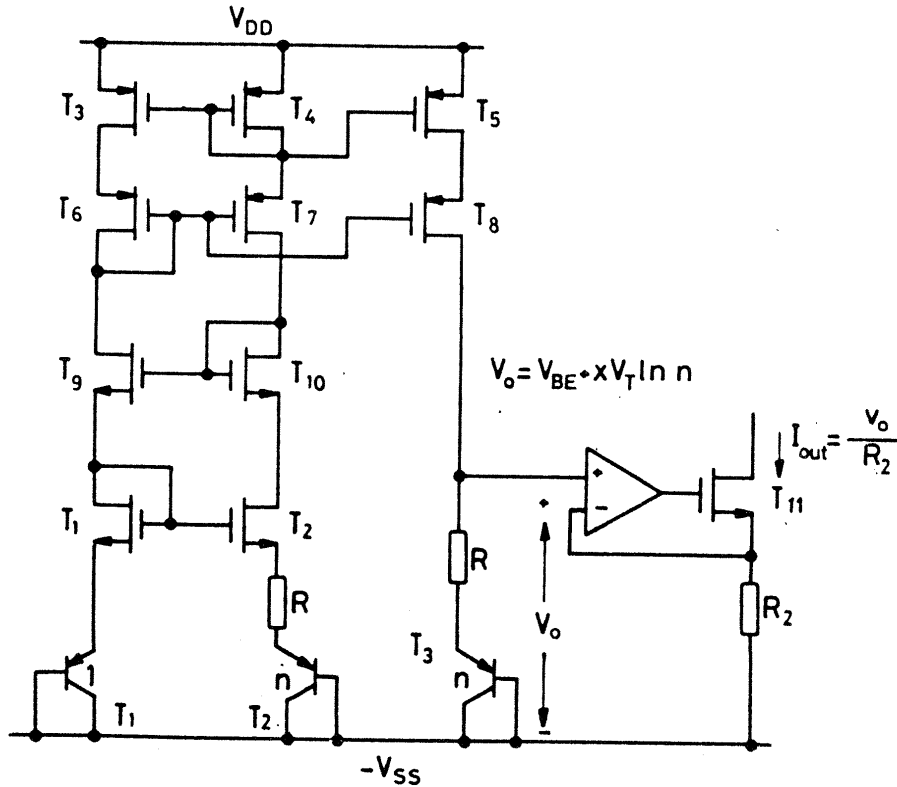
elde edilir. E indisi kanal oluřturmalı, D indisi de kanal ayarlamalı tranzistorları belirtmek iin kullanılmıřtır. Devrede grlen iřlemsel kuvvetlendirici, negatif geribesleme ile T_1 ve T_2 nin aynı kořullar altında alıřmalarını saęlar. Yapılan incelemeler

$$\mu_E \cdot (W/L)_E = \mu_D \cdot (W/L)_D \quad (8.3.50)$$

olması halinde, V_{ref} geriliminin sıcaklıęa baęımlılıęının az olacaęını gstermiřtir.

8.3.4.2. Band-Aralıęı Referansı

CMOS teknięinde bulunan bipolar tranzistorlardan yararlanılarak bipolar teknięinden bilinen band-aralıęı referansının



Őekil 8.27. CMOS band aralıęı referansı devresi.

bu teknikle gerekleřtirilmesi mmkndr. Bilindiđi gibi, V_{BE} geriliminin sıcaklık katsayısı negatif, kT/q ısıl geriliminin sıcaklık katsayısı ise pozitiftir. Bu iki zıt ynl deđiřimin

$$V_O = V_{BE} + K \cdot V_T \quad (8.3.51)$$

řeklinde bir gerilim oluřturacak řekilde biraraya getirilmesi halinde, K nın uygun bir deđerinde ve belirli bir T_0 alıřma sıcaklıđında V_O geriliminin sıcaklık katsayısı sıfır olur. Bu řartın sađlandığı gerilim, Si malzemenin yasak enerji bandı gerilime eřit olması nedeniyle, yapı band aralıđı gerilimi referansı olarak isimlendirilmektedir.

P tabanlı CMOS teknolojisindeki taban pnp tranzistorlarından yararlanılarak gerekleřtirilen bir band aralıđı referans reteci řekil-8.27'de verilmiřtir.

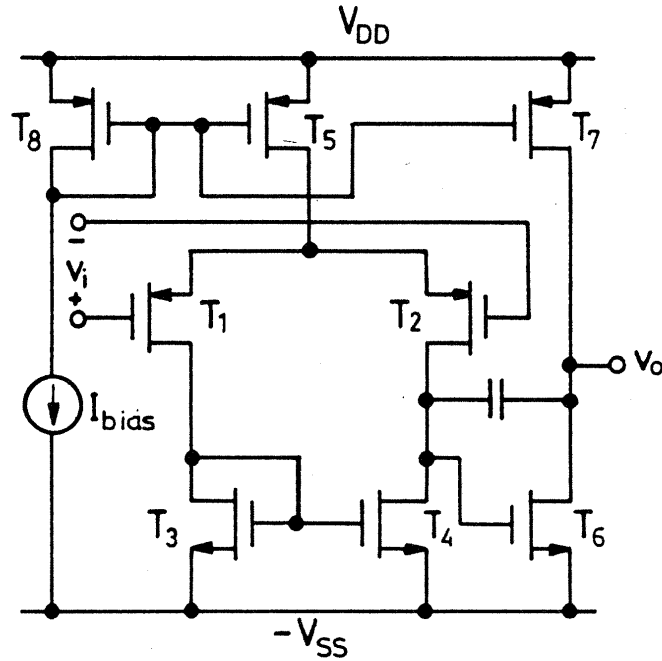
řekilden fark edilebileceđi gibi, V_{BE} ve kT/q nun uygun katsayılarla arpılıp toplanmasıyla band aralıđı referansı elde edilmektedir. Devrenin sıcaklık katsayısı, tasarımı yapıldığı T_0 sıcaklıđında sıfır, bunun dıřındaki sıcaklıklarda da ok dřk deđerli olur. x byklđ, ıkıř geriliminin kT/q ya bađlı bileřenini ayarlar. MOS yapılar da iřlemsel kuvvetlendiricinin giriř dengesizliđi ve giriř dengesizlik geriliminin sıcaklıkla srklenmesi yksek olur ve bu ıkıř gerilimini olumsuz ynde etkiler.

8.4. MOS Fonksiyon Blokları

8.4.1. MOS İřlemsel Kuvvetlendiriciler

İřlemsel kuvvetlendiriciler, genelde, gerilim kontrollu gerilim kaynađı iřlevini yerine getirirler. İdeal iřlemsel kuvvetlendiricide gerilim kazancı sonsuz, giriř direnci sonsuz, ıkıř direnci sıfır, band geniřliđi sonsuzdur; sıcaklıđa bađımlılık ve distorsiyon sorunları yoktur. Pratikte, bu zelliklere yaklařılmaya alıřılır. MOS teknolojisi ile gerekleřtirilen iřlemsel kuvvetlendirici yapılarında temel zellikler:

1. Kazanç $K_d = 100 \dots 10^5$,
 2. $V_O = K_d \cdot (V_1 - V_2)$ baęıntısı V_{DD} nin biraz altı ile $-V_{SS}$ nin biraz st arasında geęerli,
 3. Dengesizlik gerilimi 5 – 15 mV mertebesinde,
 4. Kazanç-band geniřlięi çarpımı 1 – 10 MHz ,
 5. Ykselme eęimi 1 – 20 V/ μ sn ,
 6. Çıkıř direnci 0.1 – 5 k Ω ,
 7. Grlt gerilimi 10 – 50 μ V,
 8. Besleme kaynaęındaki deęiřimleri bastırma 60 – 80 dB
- řeklinde zetlenebilir.



řekil 8.28. İki katlı CMOS iřlemsel kuvvetlendirici.

MOS iřlemsel kuvvetlendiricilerin performansı klasik bipolar yapılara gre farklılık gsterir. En nemli temel fark, MOS yapılarda kuvvetlendiricilerin yknn tam olarak belirlenmiř ve kapasitif olmasıdır. Bu kapasitif yk, genelde, birkaç pF mertebesinde.

8.4.2. CMOS İřlemisel Kuvvetlendirici

Temel CMOS iřlemisel kuvvetlendirici yapısı Őekil-8.28'de verilmiřtir. Bu yapı, bipolar tekniđinden bilinen iki kazanç katlı iřlemisel kuvvetlendirici yapısına karřı dřer. Devrenin aık evrim kazancı, daha nceki blmde kazanç katları incelenirken verilen yntemle kolayca hesaplanabilir. MOS tranzistorun giriř direncinin ok yksek olması nedeniyle ilk kat ikinci kat tarafından yklenmez, gerilim kazancı iki katın kazançları ayrı ayrı hesaplanarak bulunabilir. İlk katın gerilim kazancı hesaplanırsa

$$K_{v1} = - \frac{g_{m1}}{g_{o2} + g_{o4}} \quad (8.4.1)$$

bulunur. Burada g_{m1} giriř tranzistorlarının eđimi, g_{o2} ve g_{o4} de tranzistorların ıkıř iletkenlikleridir. Benzer Őekilde hareket edilirse, ikinci katın kazancı da

$$K_{v2} = - \frac{g_{m6}}{g_{o6} + g_{o7}} \quad (8.4.2)$$

olarak elde edilir. Toplam kazanç bu iki kazancın arpımı olur. Bu tr yapılarda birkaç bin mertebesinde gerilim kazancı sađlanması istenir, her bir kat 50 civarında kazanç sađlar. Bu tr yapılar genellikle anahtarlanmıř kapasiteli szgelerde kullanılırlar ve bu civardaki kazanç sz konusu uygulama alanı iin yeterli olur.

CMOS İřlemisel Kuvvetlendiricilerde Dengesizlik

CMOS iřlemisel kuvvetlendiricilerde ıkıřı sıfıra getirecek dengesizlik geriliminin iki bileřeni bulunur. Bunlardan birincisi, uygun olmayan boyut ve kutuplama nedeniyle ortaya ıkan sistematik dengesizlik ikincisi ise imalat toleranslarından kaynaklanan rastgele dengesizliktir.

Sistematik Dengesizlik

MOS iřlemesel kuvvetlendiricilerde kat bařına saęlanan gerilim kazancı dřktr, dolayısıyla ikinci kat da dengesizlik zerine etkilidir. İlk katın giriřleri topraklansın. Aynı geit-kaynak gerilimi altında aynı savak akımı aktıęından, T_4 tranzistorunun savaęındaki gerilim T_3 tranzistorunun savak gerilimine eřit olur. Dolayısıyla her iki transiztorun V_{DS} gerilimleri aynıdır. Oysa, T_6 tranzistorunun ıkıř gerilimini sıfır yapmak zere gereksinme gsterdięi geit gerilimi bundan farklı olabilir. Bu nedenle, T_3 , T_4 ve T_6 nın akım yoęunlukları bu  elemanda aynı olacak biimde W/L oranlarının seilmesi zorunlu olur. Bylece

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = 0.5 \frac{(W/L)_5}{(W/L)_7} \quad (8.4.3)$$

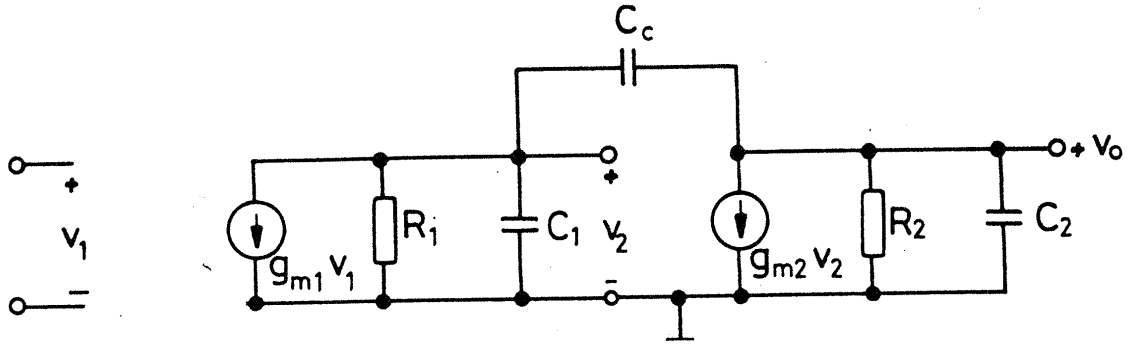
iliřkisi elde edilir. Bu dengesizlik sistematik dengesizlik olarak isimlendirilir.

Rastgele Dengesizlik

Rastgele dengesizlik, tranzistorların eřik gerilimleri ve W/L oranları arasındaki farklılıktan ileri gelir. Buna iliřkin dengesizlik gerilimi

$$V_{OS} = \Delta V_{T1-2} + \Delta V_{T3-4} \left(\frac{g_{m3}}{g_{m1}} \right) + \frac{(V_{GS} - V_T)_{1-2}}{2} \left[\frac{\Delta \frac{W}{L_{1-2}}}{\frac{W}{L_{1-2}}} - \frac{\Delta \frac{W}{L_{3-4}}}{\frac{W}{L_{3-4}}} \right] \quad (8.4.4)$$

řeklindedir. Bu baęıntıda ilk terim giriř tranzistorları eřik gerilimleri arasındaki dengesizlięi, ikinci terim yk elemanları eřik gerilimleri arasındaki dengesizlięi vermektedir. W/L oranlarının uygun seilip yk tranzistorlarının eęimleri giriř tranzistorlarının eęimlerinden kk tutulursa, dengesizlik terimi minimize edilebilir. nc



Şekil 8.29. Yüksek frekans küçük işaret eşdeğer devresi.

terim ise giriş tranzistorları ve yük tranzistorlarına ilişkin W/L dengesizliğini vermektedir. Giriş tranzistorlarının düşük $V_{GS}-V_T$ ile çalıştırılmasıyla, bu terimi minimize etmek mümkündür. Pratikte $V_{GS}-V_T$ farkı 50 mV ile 100 mV mertebesinde tutulur.

Frekans Kompanzasyonu, Yükselme Eğimi

Ele alınan iki katlı işlemsel kuvvetlendirici yapısının frekans analizi küçük işaret eşdeğer devresi yardımıyla yapılabilir. Küçük işaret eşdeğer devresi Şekil-8.29'da verilmiştir. Devrenin yüksek frekanslar bölgesinde iki kutbu ve sağ yarı düzlemde bir sıfır vardır. Sıfır ve kutuplar

$$s_0 = \frac{g_{m2}}{C_c} \quad (8.4.5)$$

$$s_1 = \frac{-1}{(1 + g_{m2}R_2) C_c R_1} \quad (8.4.6)$$

$$s_2 = \frac{-g_{m1}C_c}{C_2 C_1 + C_2 C_c + C_c C_1} \quad (8.4.7)$$

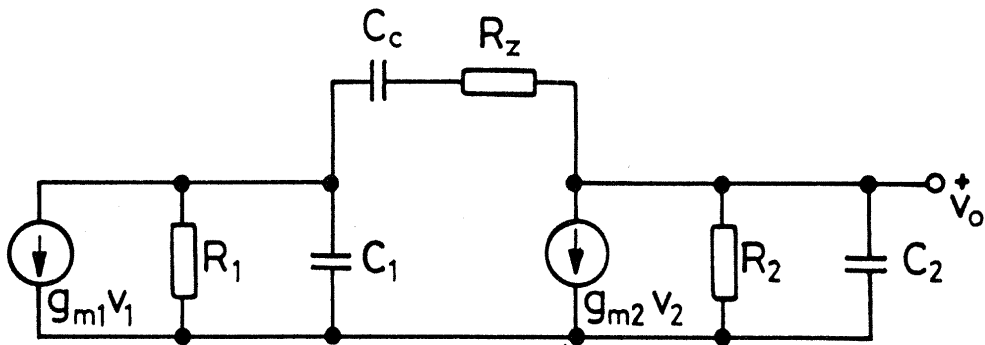
şeklindedir. Bu sonuç bipolar tranzistorlu devreler için de geçerlidir. Ancak, eleman özellikleri açısından ele alındığında, iki yapı arasında belirgin farklar ortaya çıkar. Bipolar yapıda s_2 ve s_0 nun değerleri, eğimin yüksek olmasının bir sonucu olarak, yüksektir ve bunların getirdiği faz kayması birim kazanç band genişliği frekansında ihmal edilebilir. MOS tranzistorlu devrelerde ise böyle değildir. MOS tranzistorun eğimin düşük olması nedeniyle sorun çıkar. s_2 ve s_0 , işlemsel kuvvetlendiricinin $\omega_1 = g_{m1}/C_c$ birim kazanç band genişliğine daha yakın olurlar. $C_1 \ll C_c$, C_2 şartı altında

$$\frac{s_2}{\omega_1} = \frac{-g_{m2}C_c}{g_{m1}C_2} \quad (8.4.8)$$

$$\frac{s_0}{\omega_1} = \frac{g_{m2}}{g_{m1}} \quad (8.4.9)$$

olur. Sağ yarı düzlemdeki sıfır birim kazanç band genişliğine iki katın eğimlerinin oranıyla bağlıdır.

Fiziksel olarak, kompanzasyon kapasitesi yüksek frekanslarda doğrudan doğruya ileri yönde bir işaret yolu oluşturur ve ikinci kat tranzistorunun geçidi ile savak ucunu kısa devre ederek bu tranzistoru diyot bağlı tranzistora dönüştürür. C_1 ve C_2 nin etkisi ihmal edilirse, alçak frekanslarda integratör işlevini yerine getiren ikinci kat tranzistoru, yüksek frekanslarda kompanzasyon kapasitesinin etkisiyle diyot bağlı tranzistor biçiminde ilk kata yük olarak gelir. Bunun direnci $1/g_{m2}$ olduğundan, yüksek frekanslarda kazanç



Şekil 8.30. Sıfırlama direnci yerleştirilmesi.

g_{m1}/g_{m2} biçimini alır. Bu kazancın işareti alçak frekanslardaki kazancının tersidir, bu nedenle herhangi bir negatif geribeslemeyi pozitif geribeslemeye çevirir.

Sorunu gidermek üzere bir yaklaşım, çıkıştan geriye doğru kompanzasyon kapasitesi yolu üzerine bir kaynak izleyici koymak, böylece ileri yönde geçişi engellemektir. Ancak, bu yöntem fazla eleman ve kutuplama akımı gerektirir.

Daha basit bir yöntem, kompanzasyon kapasitesine seri bir sınırlama direnci getirmektir. Bu yöntemin uygulanması, Şekil-8.30'da gösterilmiştir. Bu durumda devrenin sıfırı

$$s_o = \frac{1}{C_c [1/g_{m2} - R_z]} \quad (8.4.10)$$

bağıntısıyla verilmektedir. Bu bağıntıya göre, $R_z=1/g_{m2}$ yapıldığında, sıfır sonsuza kayar ve etkisi giderilir. R_z daha da arttırılırsa, sıfır sol yarıdüzleme kayar ve kuvvetlendiricinin faz payını iyileştirir.

Diğer bir sorun kapasitif yüklenme sorunudur. Bu durumda baskın olmayan kutup ikinci katın eğiminin ilk katın eğimine oranına ve yük kapasitesinin kompanzasyon kapasitesine oranına bağlıdır. İlk ve ikinci kat eğimleri benzer ve yük kapasitesi ile kompanzasyon kapasitesi aynı mertebede ise, birim kazançta faz payı azalır.

İşlemsel kuvvetlendiricinin yükselme eğimi

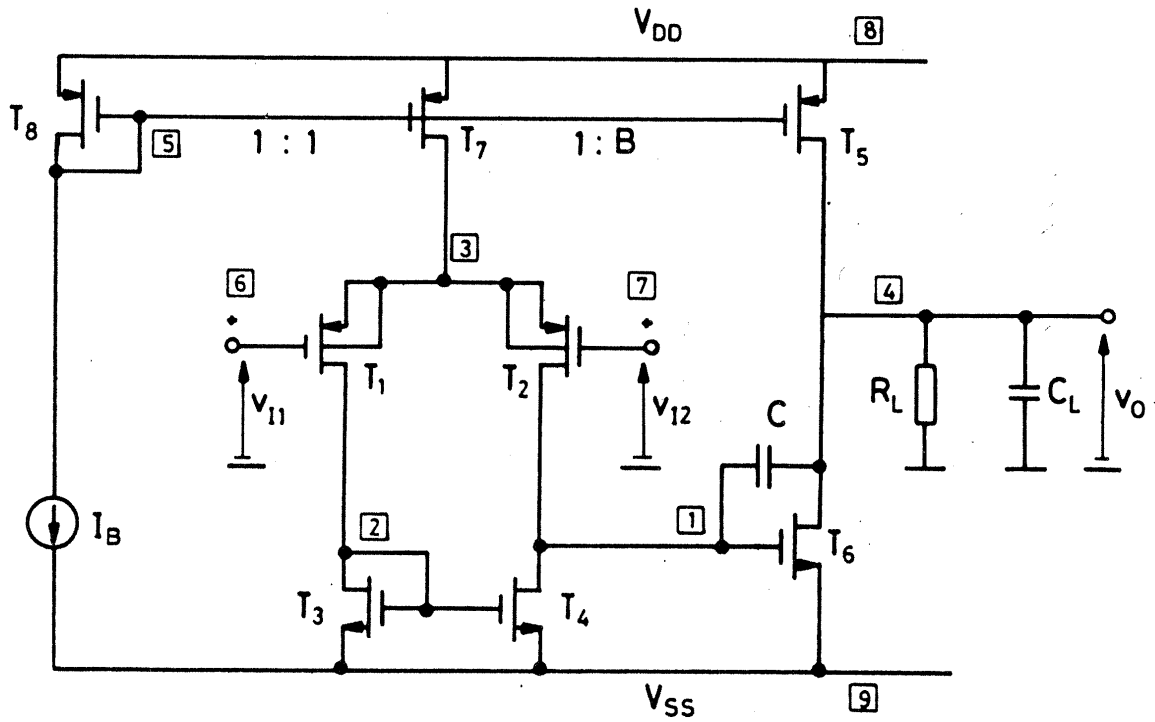
$$(y \cdot e) = 2 \cdot \frac{I_{D1}}{g_{m1}} \omega_1 \quad (8.4.11)$$

bağıntısıyla tanımlanır. Bu bağıntıda g_{m1} ilk katın eğimi, ω_1 kuvvetlendiricinin birim kazanç band genişliği, I_{D1} ilk katın kutuplama akımı olmaktadır. MOS tranzistorlu yapılar için

$$(y \cdot e) = (V_{GS} - V_T) \cdot \omega_1 \quad (8.4.12)$$

bulunur. Band geniřliđi sabit iken giriř katına iliřkin $V_{GS} - V_T$ arttırılırsa, $(y \cdot e)$ ykselme eđimi artar. MOS yapılarda ykselme eđimi de bipolarlara gre yksek olur.

8.4.3. CMOS Geçiř İletkenliđi Kuvvetlendiricisi, OTA



řekil 8.31. Miller OTA.

İřlemsel kuvvetlendiricinin gerilim kontrollu gerilim kaynađı özelliđi gstermesi, ıkıř direncinin ok kk olması ve kazancın

$$K_v = \frac{v_o}{v_{i1} - v_{i2}} \quad (8.4.13)$$

bađıntısıyla tanımlanmasına karřılık, geiř iletkenliđi kuvvetlendiricisi gerilim kontrollu akım kaynađı özelliđi gsterir, ıkıř empedansı yksektir ve tanım bađıntısı

$$G = \frac{i_o}{v_{i1} - v_{i2}} \quad (8.4.14)$$

şeklindedir.

CMOS tekniđi ile gerekleřtirilen ve Miller OTA olarak isimlendirilen geiř iletkenliđi kuvvetlendiricisi yapısı Şekil-8.31'de grlmektedir.

Yapı iki kazanç katından oluşur. İlk kat fark kuvvetlendiricisi, ikinci kat ise CMOS evirici olarak kurulmuştur. T₅ tranzistoru aktif yük işlevini yerine getirir. Bunun çıkışı, C_c kompanzasyon kapasitesi ile fark kuvvetlendiricisinin çıkışına bağlanmıştır. Miller kompanzasyonu uygulandıđından, yapı Miller OTA olarak da isimlendirilmektedir.

Yapı bađımsız I_B akım kaynađı ile kutuplanmıştır. T₇ ve T₈ tranzistorları eř tranzistorlardır ve fark kuvvetlendiricisinden de toplam olarak I_B akımı akar. T₅ tranzistoru ok daha byk boyutlu olduđundan, ikinci katın akımı ok daha yksek olur.

Devrenin gerilim kazancı

$$K_{v1o} = \frac{g_{m1}}{g_{o2-4}} \quad (8.4.15)$$

$$K_{v2o} = \frac{g_{m6}}{g'_L} \quad (8.4.16)$$

şeklindedir. Son bađıntıdaki g'_L byklđ

$$g'_L = g_L + g_{o5} + g_{o6} \quad (8.4.17)$$

bađıntısıyla tanımlanmıştır. Bylece toplam kazanç

$$K_{vo} = \frac{g_{m1}}{g_{o2-4}} \frac{g_{m6}}{g'_L} \quad (8.4.18)$$

olur.

C_c kompanzasyon kapasitesi yokken kutuplar hesaplanırsa,  kutuplu bir sistem oluřacađı fark edilebilir. (1) dđm en yksek empedanslı dđmdr ve ođunlukla baskın kutup bu dđmden ileri gelir. Bu dđme iliřkin kutup

$$C_{n1} = C_{gd2} + C_{db2} + C_{gd4} + C_{db4} + C_{gs6} \quad (8.4.19)$$

olmak zere

$$f_{p1} = \frac{g_{o2-4}}{2 \cdot \pi \cdot C_{n1}} \quad (8.4.20)$$

řeklindedir. 2. kutup (4) dđmnn etkisiyle oluřur ve

$$C_{n2} = C_{gs3} + C_{db3} + C_{gs4} + C_{gd4} + C_{gd1} + C_{db1} \quad (8.4.21)$$

olmak zere

$$f_{p2} = \frac{g_{m3}}{2 \cdot \pi \cdot C_{n2}} \quad (8.4.22)$$

biřimindedir. nc kutup ıkıř dđmnde oluřur ve

$$C_{n4} = C_{gd5} + C_{db5} + C_{db6} \quad (8.4.23)$$

olmak zere

$$f_{p4} = \frac{g'_L}{2 \cdot \pi \cdot (C_L + C_{n4})} \quad (8.4.24)$$

bađıntısıyla verilir. (2) dđm 0 dB seviyesinin altında etkilidir. Ancak, diđer iki kutup birbirine yakın konumdadır, bu nedenle faz payı negatif ve devre kararsız olur. Kompanzasyon kapasitesi ile faz payı $FP = 60^\circ$ civarına getirilir. Bu yapıldıđında f_{p1} ok daha baskın olur ve -20 dB/dek'lık dřme eđimi elde edilir. C_c ile oluřturulan baskın kutup

$$BW = f_{3dB} = \frac{g_{o2-4}}{2 \cdot \pi \cdot K_{v2o} \cdot C_c} \quad (8.4.25)$$

ve kazanç-band geniřliđi de

$$GBW = \frac{g_{m1}}{2 \cdot \pi \cdot C_c} \quad (8.4.26)$$

olur. Band geniřliđi řöyle de yazılabilir:

$$BW = \frac{g_{o2-4}}{2 \cdot \pi \cdot K_{V_{o2}} \cdot C_c} = \frac{g_{o2-4} g_L}{2/\pi \cdot g_{m6} \cdot C_c} = \frac{g_{m1}}{2/\pi \cdot K_{V_o} \cdot C_c} = \frac{GBW}{K_{V_o}} \quad (8.4.27)$$

(4) düđümünden ileri gelen baskın olmayan kutup

$$f_{nd} = \frac{g_{m6}}{2 \cdot \pi \cdot C'_L} \frac{1}{1 + (C_{n1}/C_L) + (C_{n1}/C_c)} \quad (8.4.28)$$

olur. $C_L \gg C_{n1}$ olduđundan

$$f_{nd} = \frac{g_{m6}}{2 \cdot \pi \cdot C'_L} \quad (8.4.29)$$

elde edilir. Yüksek frekanslarda C_c kısadevre özelliđi gösterdiđinden çıkış direnci rezistif ve $1/g_{m6}$ olur. Bu durumda $f_{nd} > GBW$ dir ve faz payı da

$$FP = 90^\circ - \arctg (GBW/f_{nd}) \quad (8.4.30)$$

řeklindedir.

Yükselme Eğimi

Birinci dereceden bir yaklařımla, sadece C_c nin etkisi bulunduđu varsayımından hareketle yükselme eğimi için

$$(y \cdot e) = \frac{I_B}{C_c} \quad (8.4.31)$$

bađıntısı verilmektedir. İkinci dereceden yaklařımda C_L nin dolup boşalması da dikkate alınmaktadır. C_L yük kapasitesinin boşalması sırasında sorun yoktur, zira T_6 yeteri kadar büyük akım akıtabilir. C_1 kapasitesi T_5 üzerinden I_5-I_B akımıyla dolar, zira I_B kadar bir akım C_c üzerinden akacaktır. Böylece

$$(y \cdot e)^+ = \frac{I_5 - I_B}{C_L} \quad (8.4.32)$$

olur. Bu iki byklkten kk olanı ykselme eęimi olarak alınır.

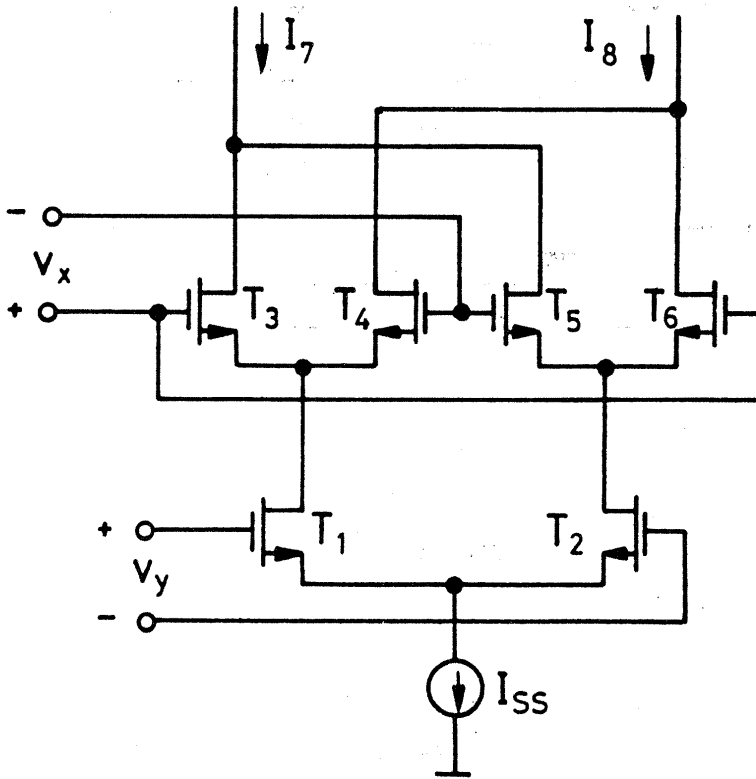
8.4.4. MOS Analog arpma Devreleri

Analog arpma devreleri, griř gerilimlerinin arpımıyla orantılı ıkıř gerilimi veren dzenlerdir ve aradaki iliřki

$$V_o = K \cdot V_x \cdot V_y \quad (8.4.33)$$

řeklindeyir. K byklę arpma devresinin kazanç sabiti olarak isimlendirilir. Pratikte, arpım sonucunu veren terimin yanısıra hata terimleri de bulunur ve baęıntının

$$V_o = K \cdot V_x \cdot V_y + [K_x \cdot V_y + K_y \cdot V_x + K_o] + f(V_x, V_y) \quad (8.4.34)$$



řekil 8.32. MOS Gilbert hcreyi.

bulunur. ıkıř fark akımı ile giriř gerilimleri arasında lineer olmayan bir iliřki vardır. V_x ve V_y yeteri kadar kkse ıkıř akımı

$$I_o = \sqrt{2} \cdot K \cdot V_x \cdot V_y \quad (8.4.37)$$

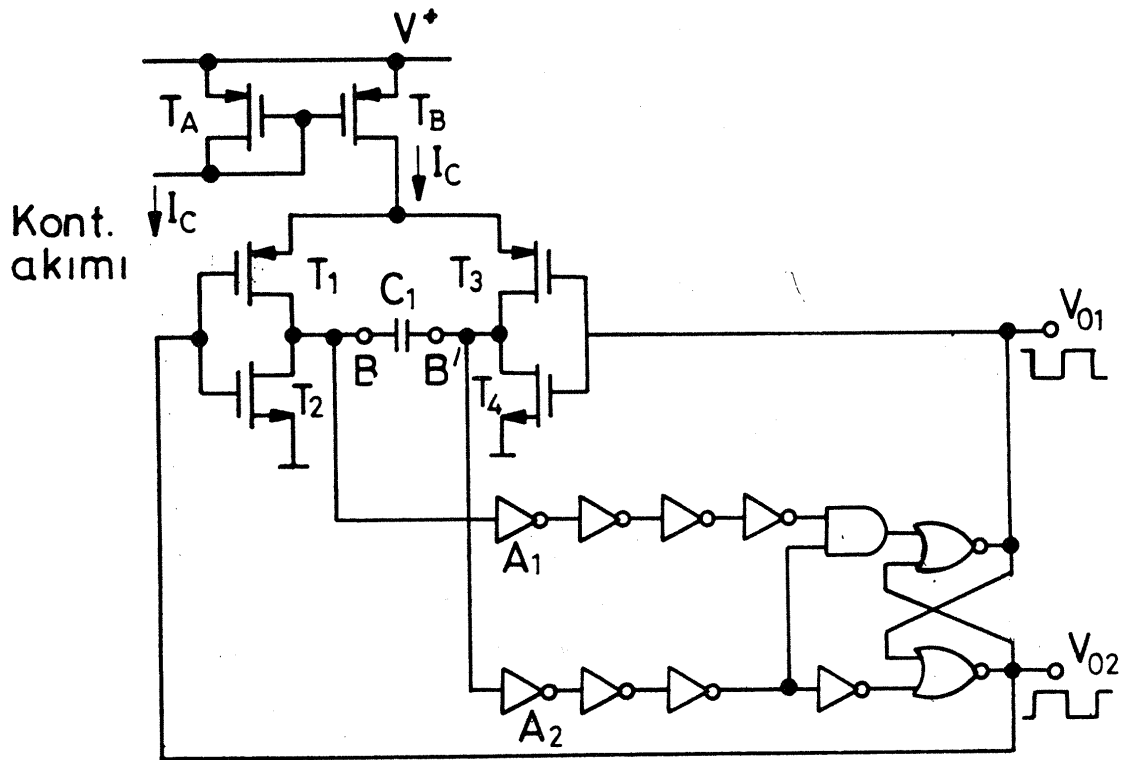
elde edilir. Bir lineerleřtirme dzeninin eklenmesiyle, kk iřaretler iin geerli olan bu baėıntı geniř bir blge iin geerli hale getirilebilir. Lineerleřtirme dzeninin eklendiėi yapı Őekil - 8.33'de verilmiřtir. Bu devrede lineerleřtirme akımı

$$I_o = \frac{1}{2} K \cdot V_x^2 \quad (8.4.38)$$

řeklinindedir.

8.4.5. MOS Osilatr Devreleri

BJT tmdevre tekniėinde olduėu gibi, MOS tmdevre tekniėinde de alak frekanslarda dolup-bořalmalı osilatr yapıları tercih edilir. Kaynak baėlamalı ikili (emetr baėlamalı ikili) gibi BJT



Őekil 8. 34. Akım kontrollu CMOS osilatr.

teknikinden bilinen yapıların benzerleri MOS tmdevre teknikinde osilatr gerekleřtirilmesinde yaygın olarak kullanılır.

CMOS tekniđi ile gerekleřtirilen bir akım kontrollu osilatr yapısı Őekil - 8.34'de verilmiřtir. SR ikilisinin ıkıřlarının $V_{o2} = 0$, $V_{o1} = V_{DD}$ olduđunu varsayılıں. Bu durumda T_1 ve T_4 iletimde, T_3 ve T_2 kesimde olacaklardır. C_1 kondansatr I_C akımı ile dolmaya bařlar. B noktasının gerilimi artarak A_1 eviricisinin eřik gerilimine ulařtıđında SR ikilisi konum deđiřtirir. Bu defa T_2 ve T_3 tranzistorları iletimde, T_1 ve T_4 tranzistorları kesimde olacaktır. Daha nce dolu olan kondansatr T_4 n savak ucunu bir diyot gerilimi kadar negatifte tutar. Kondansatr tekrar I_C akımıyla T_3 ve T_2 zerinden dolar. B noktasının gerilimi A_2 eviricisinin konum deđiřtirme eřiđine ykseldiđinde ikili devre tekrar konum deđiřtirir. Olay periyodik olarak devam eder. Devrenin osilasyon frekansı

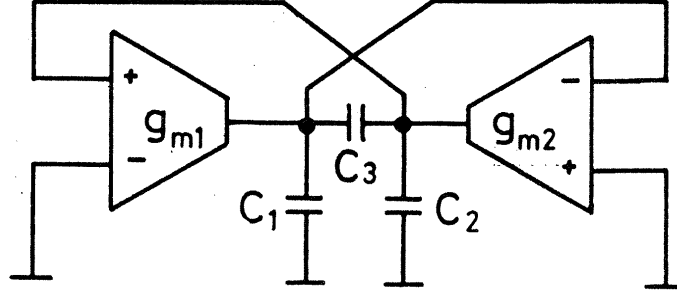
$$f_o = \frac{I_C}{2 \cdot C_1 (V_{TR} + V_D)} \quad (8.4.39)$$

bađıntısından hareketle hesaplanabilir. Bađıntıda V_{TR} byklđ eviricinin eřik gerilimini, V_D ise diyot gerilimini gstermektedir. Bađıntıdan grlebileceđi gibi, frekans akımla lineer olarak deđiřmektedir.

Devrede kullanılan eviriciler, V_E kapısı ile SR ikilisinin giriřlerine yasak giriřin gelmesini nlemek zere kullanılmıřlardır.

CMOS OTA-C Osilatrler

Sadece geiř iletkenliđi kuvvetlendiricisi ve kondansatrler kullanılarak gerekleřtirilen osilatr yapıları yksek frekans devrelerinde olduka fazla yarar sađlarlar. Devrelerin sađladıđı en byk yarar, yapıda endktans bulunmaması, OTA'nın aık evrimde alıřabilmesi, bařka bir deyiřle, yapılan lokal geribeslemelerle frekans cevabına iliřkin kutuplar iin ek bir sınırlama getirmemesidir. OTA'nın eđiminin bir tasarım parametresi olarak kullanılması da elde edilen diđer bir yarar olarak deđerlendirilebilir. Bu eđim akımın bir



Şekil 8.35. 2OTA3C dzeni.

fonksiyonu olduđundan, OTA nın kuyruk akımının deđiştirilmesiyle söz konusu parametre ve bununla da frekansı deđiştirme olanađı bulunmaktadır.

Devrenin alıřması ikinci dereceden bir osilatr devresinin karakteristik denkleminin elde edilmesine dayanır. Bu karakteristik denklem

$$s^2 - b.s + \Omega_0^2 = 0 \quad (8.4.40)$$

şeklindedir. b ve Ω_0^2 büyüklükleri OTA ların geiř iletkenliklerinin ve kapasitelerin fonksiyonudur. Bu karakteristik denklem eřitli yapı dzenleriyle sađlanabilir. Bu dzenlerden 2OTA3C dzeni (iki OTA ve  kapasite ile kurulan dzen) Şekil-8.35'de verilmiřtir. Bu yapıya iliřkin karakteristik büyüklükler

$$b = (g_{m1} - g_{m2}) \cdot C_3 \quad (8.4.41)$$

$$\Omega_0^2 = \frac{g_{m1} g_{m2}}{(C_1 + C_3)(C_2 + C_3) - C_3^2} \quad (8.4.42)$$

şeklindedir.

