

İŞLEMSEL KUVVETLENDİRİCİ MAKROMODELLERİ (BOYLE)

Makromodel Tanımı ve kullanım alanları: Makromodel kavramı bir devre yada bir elemanın lineer ve lineer olmayan davranışlarını aslına en yakın ve olabildiğince basit bir biçimde modelleme ihtiyacı nedeniyle ortaya çıkmıştır.

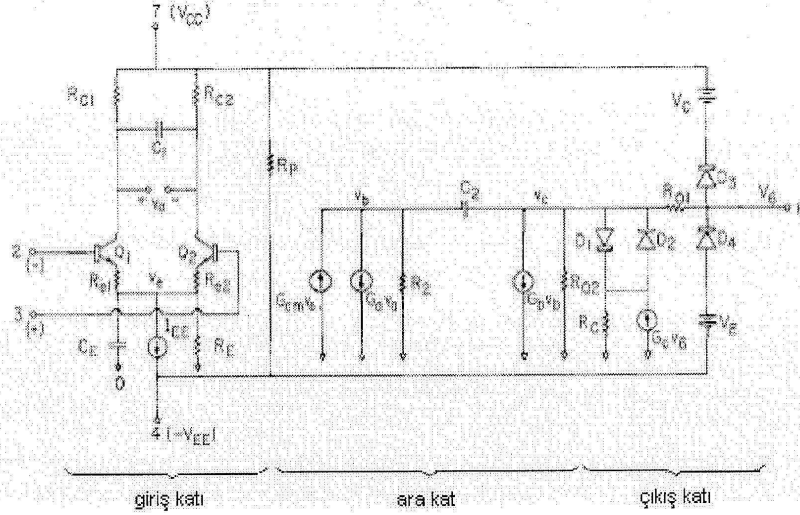
Bilindiği gibi en ucuz yapı blokları bile oldukça kompleks bir yapıdadırlar. Bu yüzden böyle bir devreyi simule etmek oldukça güçtür. Bu problemi ortadan kaldırmak için bir çok tümdevre blokları için çeşitli makromodel ler önerilmiştir. Makromodel kullanılmasındaki amaç aslında bir kayıp olmaksızın simulasyon süresinin büyük oranda azaltılmasını sağlamaktır. İdeal durumda makromodelimizin mümkün oldukça basit olması aynı zamanda da orijinal bloğun davranışını en doğru şekilde vermesini isteriz.

Bu amaç doğrultusunda çok yaygın bir uygulama alanı bulunan işlemsel kuvvetlendirici ile ilgili bir çok makromodel geliştirilmiştir.

Yapının gerçek davranışını temsil edebilmek için , giriş-çıkış karakteristiği, fark ve ortak işaret davranışı, kazancın frekansla değişimi ,doğru gerilim kutuplama seviyesi, yükselme eğimi ,çıkış işaretinin salınım aralığı gibi, temel yapı özellikleri de modellenmelidir. Gerçekte 60-80 pn jonksiyonu içeren bir yapının yerine 8-10 pn jonsiyonu içeren bir makromodelin konulması simulasyon süresini önemli ölçüde azaltacaktır.

Bir çok tasarım ve simulasyonda opamp'ın tüm karakteristiklikleri modellemek gerekli olmayabilir. Mesela ,maximum kısa devre akım sınırı ile ilgilenmediğimiz durumlarda ,bu özelliği karakterize eden model elemanları elimine edilebilir, böylece model daha basit bir hale getirilmiş olur.

Aşağıda işlemsel kuvvetlendirici için geliştirilen bir makromodel görülmektedir. Bu modelde 4 diyot ve 2 tranzistor kullanılmıştır. Verilen opamp makromodelinde uc büyüklükleri ve nonlinear dc, ac ve büyük işaret transient davranışı yeteri kadar doğru temsil edilmektedir.



Şekil.1 İşlemsel kuvvetlendirici makromodeli

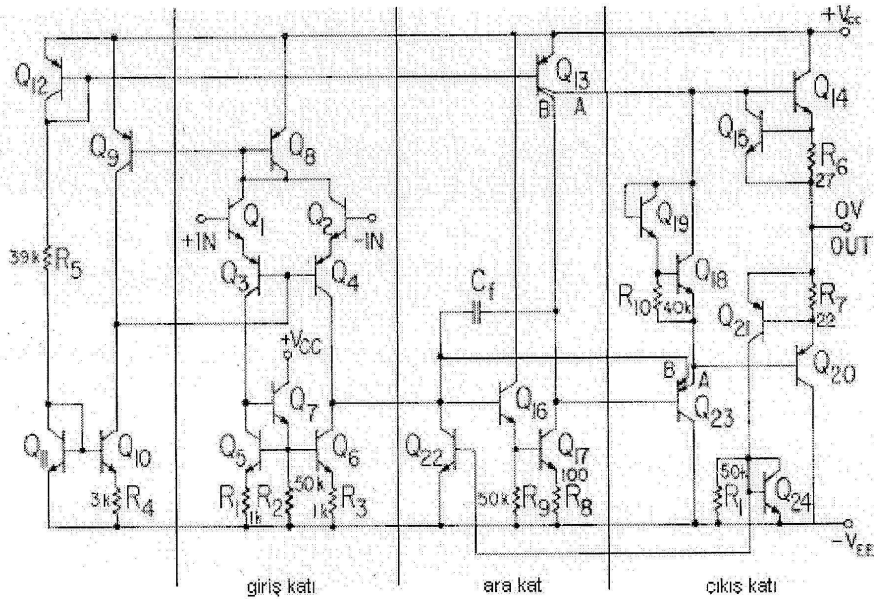
Bu model üç alt bölümde incelenebilir, bu bölümler giriş katı, ara kat ve çıkış katıdır. Giriş katında Q_1 ve Q_2 transistörleri ve buna ilişkin kaynak ve pasif elemanlar kullanılarak yapının fark ve ortak işaret davranışı modellenmektedir. Bu kat istenilen akım ve gerilim ofsetleri için kullanılabilir. Bu kat birim kazançlı olarak düşülmüştür. Devrede görülen C_E kondansatörü yükselme eğimini ve C_1 kondansatörü de faz cevabını düzeltmek için devreye katılmışlardır.

Fark ve ortak işaret gerilim kazançları ara ve çıkış katlarında bulunan G_{cm} , G_a , R_2 , G_b ve R_{o2} elemanlarıyla sağlanmaktadır. Baskın zaman sabiti yapıdaki C_2 iç geribesleme kondansatörü tarafından sağlanmaktadır. Bu sayede çıkış direncinin frekansla değişimi de modellenmiş olur. C_2 kondansatörünün her iki ucunun da dışarıya alınmasıyla gerekli kompanzasyona olanak tanır. Giriş ve ara kat arasındaki bu yalıtım devrede ilişkin frekans cevabı ve yükselme eğimi bağıntılarını basitleştirmektedir.

Devredeki çıkış katı ise dc ve ac çıkış dirençlerini modellemektedir. D_1 , D_2 , R_c ve G_c elemanları yapının kısa devre akımının maksimum değerinin modellenmesinde kullanılırlar. D_3 , D_4 , V_C ve V_E elemanları çıkış geriliminin maximum değerini ve kırılma sınırını belirler.

Bu makromodel iki temel makromodel tekniği kullanılarak gerçekleştirilebilir. Birinci yöntem basitleştirme yöntemi olarak adlandırılır. Bu yöntemde gerçek devre elemanları yerine ideal elemanlar kullanılır. Bu yöntem devrenin giriş katında kullanılmıştır. Bu yöntem uygulanırken kutuplama devresi kaldırılmış bunun yerine akım ve gerilim kaynakları kullanılmıştır. Giriş katındaki aktif yükü dengeliden dengesize çevirme düzenleri kaldırılmıştır, kompozit transistor yerine basit bir diferensiyel giriş katı yardımıyla lineer olmayan giriş karakteristiği temsil edilmektedir. Kurgu (build-up) yöntemiyle devreye tam anlamıyla benzemeyen ancak devre özelliklerini sağlayan bir topoloji oluşturulmuştur. Bu yöntem çıkış katında görülmektedir.

Aşağıda ICL8741 opamp devresi görülmektedir. Devre 24 tranzistör 10 direnç ve 1 kapasiteden oluşmuştur. Basitleştirme tekniği geliştikçe makromodelde kutuplama devresinin yerini saf akım ve gerilim kaynakları almaktadır. Benzer şekilde girişteki aktif yük ve balance-to-unbalance converter yerini ideal elemanlar almaktadır. Ayrıca giriş katında kompozit tranzistörlerin kullanılmasına gerek yoktur. Macromodelde opampın nonlineer giriş karakteristiğinin doğru şekilde ifade edilebilmesi için basit bir fark katı kullanılmıştır. Böylece p-n jonksiyon sayısı minimize edilmeye çalışılmıştır. Böylece simülasyon süresi de kısaltılmış olacaktır.



Şekil.2 ICL8741 opamp devresi

Boyle 'ın önerdiği makromodelde nonlineer davranışı modellemek için en az 4 adet p-n jonksiyonu kullanılmalıdır. Bunun için iki adet ideal transistor kullanılmıştır.

Çıkış katı içinse basitleştirme tekniği yeterli olmayacaktır. İdeal tranzistörlerden oluşan AB sınıf kat dalsayısı makromodeldekinden daha fazla olmaktadır. Ayrıca AB sınıf katta gerilim sınırlayıcılar kullanılmaktadır. Kurgu yöntemiyle çıkış katı büyük ölçüde basitleştirilmiş olur.

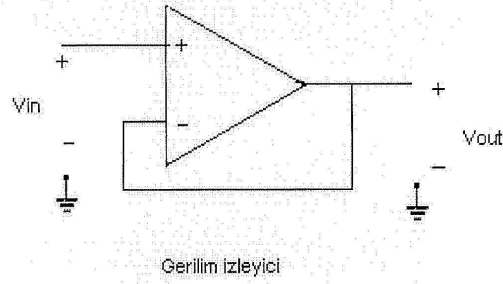
Aşağıdaki tabloda opamp makromodeli için tasarım denklemleri toplu halde verilmiştir.

$$\begin{aligned}
 V_T &= \frac{kT}{q} = 25.85 \text{ mV for } 300 \text{ K} \\
 I_{S1} &= I_{SD3} = I_{SD4} = 8 \cdot 10^{-16} \text{ A} \\
 R_2 &= 100 \text{ k}\Omega \\
 I_{C1} &= I_{C2} = \frac{C_2}{2} S_R^+ \\
 C_R &= \frac{2I_{C1}}{S_R^-} - C_2 \\
 I_{B1} &= I_B + \frac{I_{B_{out}}}{2} \\
 I_{B2} &= I_B - \frac{I_{B_{out}}}{2} \\
 \beta_1 &= I_{C1}/I_{B1} \\
 \beta_2 &= I_{C2}/I_{B2} \\
 I_{EE} &= \left(\frac{\beta_1 + 1}{\beta_1} + \frac{\beta_2 + 1}{\beta_2} \right) I_{C1} \\
 R_E &= 200/I_{EE} \\
 I_{S2} &= I_{S1} \left(1 + \frac{V_{E2}}{V_T} \right) \\
 \frac{1}{g_{m1}} &= V_T/I_{C1} \\
 R_{e1} &= 1/2\pi f_{0.4B} C_2 \\
 R_{e1} &= \left(\frac{\beta_1 + \beta_2}{\beta_1 + \beta_2 + 2} \right) \left(R_{C1} - \frac{1}{g_{m1}} \right) \\
 C_1 &= \frac{C_2}{2} \tan \Delta\phi \\
 R_p &= (V_{CC} + V_{EE})^2 / (P_s - V_{CC}(2I_{C1}) - V_{EE}I_E) \\
 G_a &= 1/R_{e1} \\
 G_{cm} &= \frac{1}{R_{e1} (\text{CMRR})} \\
 R_{o1} &= R_{0-out} \\
 R_{o2} &= R_{out} - R_{o1} \\
 G_b &= \frac{a_{VD} R_{e1}}{R_2 R_{o2}} \\
 I_X &= (2I_{C1}) G_b R_2 - I_{SC} \\
 I_{SD1} &= I_{SD2} = I_X \exp - \frac{R_{o1} I_{SC}}{V_T} \\
 R_C &= \frac{V_T}{100I_X} \ln \frac{I_X}{I_{SD1}} \\
 G_C &= 1/R_C \\
 V_C &= V_{CC} - V_{out}^+ + V_T \ln \frac{I_{SC}^+}{I_{SD3}} \\
 V_E &= V_{CC} + V_{out}^- + V_T \ln \frac{I_{SC}^-}{I_{SD4}}
 \end{aligned}$$

Tablo1: Opamp Makromodeli Tasarım Denklemleri

Giriş Katı: I_{c1}, C_E

Giriş katı için opamp karakteristikleri şöyle ifade edilebilir. Eğer opamp gerilim izleyici olarak bağlanmışsa pozitif gerim sıçraması için yükselme eğimi aşağıdaki gibi ifade edilir.

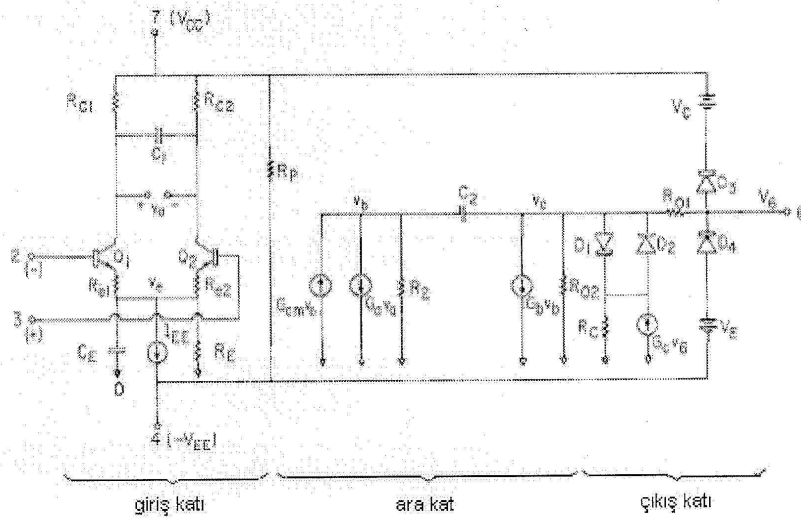


Şekil.3 Gerilim izleyici opamp devresi

$S_{R^+} = \frac{2I_{c1}}{C_2}$ bu ifadeden yararlanılarak $I_{c1} = \frac{1}{2} C_2 S_{R^+}$ yazılabilir. Negatif sıçramada dağılmış kapasitenin de etkisi olacağından ;

$$S_{R^-} = \frac{2I_{c1}}{C_2 + C_E} \text{ yazılmaktadır. } C_E = \frac{2I_{c1}}{S_{R^-}} - C_2 \text{ yazılabilir.}$$

Eğer $S_{R^+} < S_{R^-}$ ise makromodeldeki n-p-n transistorleri yerini p-n-p transistorleri alacağı açıktır.



Offset Gerilimi:

Offset dengesizlik gerilimi transistorlerin eş olmaması nedeniyle oluşmaktadır.

$$\beta_1 = \frac{I_{c1}}{I_{B1}} \quad \beta_2 = \frac{I_{c2}}{I_{B2}}$$

Kollektör akımları ;

$$I_{c1} = I_{s1} \exp \frac{V_{BE1}}{V_T} \quad I_{c2} = I_{s2} \exp \frac{V_{BE2}}{V_T}$$

Offset gerilimi baz-emitör gerilimleri farkına eşit olacaktır.

$$V_{os} = V_{BE1} - V_{BE2} = V_T \ln \frac{I_{s1}}{I_{s2}}$$

$$I_{s2} = I_{s1} \exp \frac{V_{os}}{V_T} \cong I_{s1} \left[1 + \frac{V_{os}}{V_T} \right] \text{ şeklinde bulunabilir.}$$

Girişkatı: R_{c1}

$f_{0dB} \cong a_{VD} f_{3dB}$ şeklinde tanımlanmıştır. Burada a_{VD} fark-mode gerilim kazancıdır.

Köşe frekansı miller yaklaşımı yardımıyla;

$$f_{3dB} \cong \frac{1}{2\pi R_2 C_2 (1 + G_b R_{o2})} \\ \cong \frac{1}{2\pi R_2 C_2 G_b R_{o2}}$$

Düşük frekanslarda fark-mod gerilim kazancı,

$$a_{VD} = (G_b R_{o2})(G_a R_2)$$

şeklinde verilir. İşlemsel kolaylık olması bakımından $G_a = \frac{1}{R_{c1}}$ alınırsa denklemler alınıp düzenlenirse,

$$R_{c1} = \frac{1}{2\pi f_{0dB} C_2}$$

elde edilir.

Yükselme eğimi cinsinden f_{0dB} yazılırsa

$$f_{0dB} = \frac{S_{R^+}}{2\pi R_{c1}(2I_{c1})}$$

olarak yazılır. Makromodelde görülen I_{EE} akım kaynağı kollektör akımları cinsinde yazılırsa;

$$I_{EE} = \left(\frac{\beta_1 + 1}{\beta_1} + \frac{\beta_2 + 1}{\beta_2} \right) I_{c1}$$

R_E direnci sonlu ortak işaret giriş direncini sağlamak için eklenmiştir. Çünkü I_{EE} akım kaynağı genellikle n-p-n transistor kullanılarak gerçekleştirilir. R_E direnci de onun çıkış direnci olarak alınır.

$$R_E \cong \frac{V_A}{I_c} = \frac{V_A}{I_{EE}}$$

şeklinde yazılabilir.

Giriş katı: C_1

Ayrıca giriş katındaki faz etkisini modellemek içinse C_1 transistorü eklenmiştir. Fark işaret kazanç fonksiyonunun ikinci kutbu

$$p_2 = -1/2R_{c1}C_1$$

Baskın olmayan p_2 kutbu nedeniyle $f = f_{0dB}$ için faz aşımı

$$\Delta\phi = \tan^{-1} \frac{2\pi f_{0dB}}{|p_2|} = \tan^{-1} (2\pi f_{0dB})(2R_{c1}C_1) = \tan^{-1} \frac{2C_1}{C_2}$$

buradan

$$C_1 = \frac{C_2}{2} \tan \Delta\phi$$

elde edilir.

Güç Tüketimi:

Dc güç tüketimini modellemek için R_p direnci modele eklenmiştir.

$$P_d = V_{cc} 2I_{c1} + V_{EE} I_{EE} + \frac{(V_{cc} + V_{EE})^2}{R_p}$$

$$R_p = \frac{(V_{cc} + V_{EE})^2}{P_d - V_{cc} 2I_{c1} - V_{EE} I_{EE}}$$

Arakatdaki gerilim bağımlı akım kaynağının katsayısı olan G_a işlem kolaylığı için $1/R_{c1}$ seçilebilir. Benzer şekilde R_2 veya G_b keyfi seçilebilir. Burada dikkat edilmesi gereken nokta R_2 in seçimidir. Aktif bölgede R_2 in seçimi önem arz etmezken b düğümündeki gerilim R_2 ile lineer olarak değişecektir. Eğer aktif bölge içerisinde transien geçiş esnasında V_b çok büyük olursa boşalma zamanı önemli seviyelere çıkacaktır bunu önlemek için küçük R_2 değerleri kullanılabilir. Deneysel olarak bu değer 100kohm olarak tespit edilmiştir.

Arakat:

R_E direnci çok büyük olduğu için girişten v_e ye olan kazanç 1 olmaktadır. Girişten v_b ye olan ortak işaret kazancı

$$\frac{v_{bCM}}{v_{inCM}} \cong G_{cm} \cdot R_2$$

Girişten v_b ye olan fark işaret kazancı

$$\frac{v_{bDM}}{v_{inDM}} \cong G_a \cdot R_2 = \frac{R_2}{R_{c1}}$$

Ortak işaret bastırma oranı,

$$CMRR = \frac{a_{VD}}{a_{VC}} = \frac{1}{R_{c1} G_{cm}}$$

Çıkış katı:

Çıkış katı istenilen dc ve ac çıkış dirençleri , çıkış akımı ve gerilim sınırlamalarını içermektedir.

Çok düşük frekanslarda çıkış direnci şu şekilde ifade edilebilir.

$$R_{out} = R_{o1} + R_{o2}$$

Yüksek frekanslarda ise R_{o2} kısa devre olacaktır.

Miller etkisi nedeniyle shunt kapasite şu şekilde verilebilir.

$$C_{sh} \cong C_2(1 + R_2 G_b)$$

Dolayısıyla köşe frekansı

$$f_c = \frac{1}{2\pi R_{o2} C_2 (1 + R_2 G_b)}$$

şeklinde verilir. Bu frekansın üzerinde çıkış direnci;

$$R_{o-ac} = R_{o1}$$

$$G_b = \frac{a_{VD} R_{c1}}{R_2 R_{o2}}$$

Çıkış katında akım sınırlamada $G_c V_6, R_c, D_1, D_2$ ve R_{o1} etkili olmaktadır. Burada $G_c V_6 - R_c$ ikilisi gerilim kontrollü gerilim kaynağı işlevini görmektedir. Böylece $V_{out} = V_6$ R_c üzerinde görülecektir.

Eğer her iki gerilim sınırlayıcı diyotları D_3, D_4 off ise çıkışa verilecek maximum akım D_1, D_2 ve R_{o1} ile orantılı olacaktır.

$$I_{sc} \cong \frac{V_D}{R_{o1}}$$

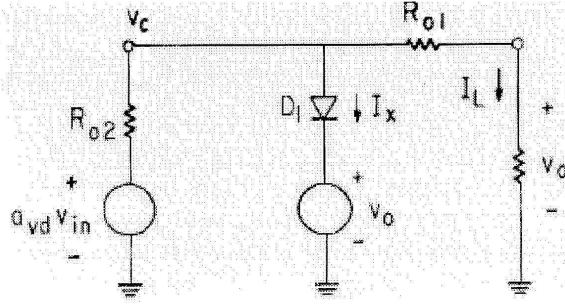
$$V_D = V_T \ln \frac{I_x}{I_{SD1}}$$

yazılabilir.

Bu ifade I_x, D_1 veya D_2 içerisinden geçen akım olmaktadır.

I_{SD1}, D_1, D_2 diyotlarının saturasyon akımıdır.

Çıkış katı aşağıdaki gibi basit bir diagramla gösterilebilir.



Şekil.4 Basitleştirilmiş çıkış katı diagramı

Burada $G_b v_b$ ve R_{o2} thevenin eşdeğerleri, $G_c V_6$ ve R_c yerine gerilim kontrollü gerilim kaynağı kullanılmıştır. İlk olarak $a_{vd} V_{in}$ in çok küçük olduğu düşünülürse R_{o1} üzerinde düşecek gerilim çok küçük olacaktır. Bu yüzden diyot üzerinden akan akım ihmal edilebilir. Ama $a_{vd} V_{in}$ gerilimi arttıkça v_c gerilimi artacak dolayısıyla diyot iletime geçecektir. Diyot üzerinden akan akım $I_L R_{o1}$ ile eksponensiyel olarak artacağı için I_L akımı sınırlanmış olacaktır.

$$I_x = I_{SD1} \exp \frac{I_{sc} R_{o1}}{V_T}$$

$$I_{SD1} = I_{SD2} = I_x \exp \left(-\frac{I_{sc} R_{o1}}{V_T} \right)$$

İfadelerden de görüleceği gibi R_{o1} arttıkça saturasyon akımlarının küçük olacağı görülmektedir. Çıkış direncinin çok büyük olması gerekmediği durumlarda, $I_{SD1} = I_{s1}$ alınırsa,

$$R_{o1} \cong \frac{V_T}{I_{sc}} \ln \frac{I_x}{I_{s1}}$$

Gerilim kontrollü gerilim kaynağında R_c nin küçük olması gerekir. Eğer R_c üzerindeki gerilim düşümü v_{D1} ve v_{D2} üzerindeki gerilimin yüzde biri kadar olursa,

$$R_c = \frac{V_T}{100 I_x} \ln \frac{I_x}{I_{s1}}$$

$$G_c = \frac{1}{R_c}$$

olarak hesaplanır.

Çıkış gerilimi sınırlamasında V_c, D_3, V_E, D_4 etkili olmaktadır. Pozitif çıkış gerilimi için,

$$\begin{aligned}V_{out}^+ &= V_{cc} - V_c + V_{D3} \\ &= V_{cc} - V_c + V_T \cdot \ln \frac{I_{sc}^+}{I_{SD3}}\end{aligned}$$

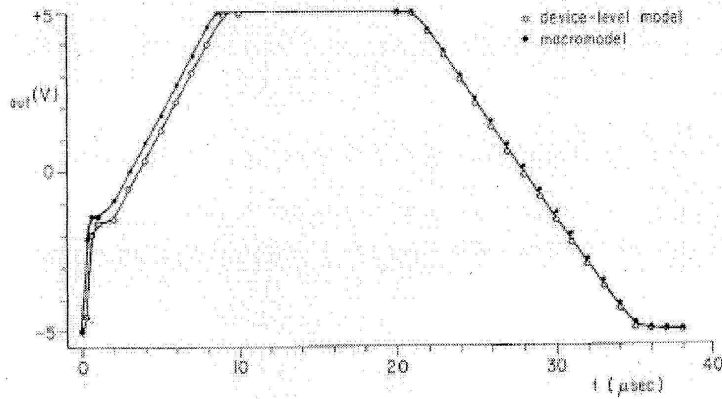
Gerekli kutuplama gerilimleri

$$V_c = V_{cc} - V_{out}^+ + V_T \cdot \ln \frac{I_{sc}^+}{I_{SD3}}$$

$$V_E = V_{EE} - V_{out}^- + V_T \cdot \ln \frac{I_{sc}^-}{I_{SD4}}$$

TABLO II
ICL8741 OPAMP'İ İÇİN SPICE MODEL PARAMETRELERİ

Circuit Data			Gummel-Poon Transistor Parameters						
Element	Nodes	Value	.MODEL	BNP1	NGP	BFM=209.	BRM=2.5	RD= 570.	
R1	02 17	1.0K	+		RC=300.	CCS=1.417P	TF=1.15N	TR= 405.N	
R2	02 16	50.K	+		CJE=0.65P	CJC=0.36P	IS= 1.26E-15	VA=175.8	
R3	02 18	1.0K	+		CZ= 1593.	IK=1.611H	NE=2.0	PE=0.60	
R4	02 05	3.0K	+		HE=3.	PC=0.45	NC=3.		
R5	04 05	39.K	+	.MODEL	BNP2	NGP	BFM=400.	BRM=6.1	RD= 185.
R6	12 26	27.	+		RC= 15.	CCS=3.456P	TF=0.76N	TR= 243.N	
R7	12 25	22.	+		CJE=2.80P	CJC=1.56P	IS= 8.395E-15	VA=207.0	
R8	02 23	100.	+		CZ= 1543.	IK=10.60H	NE=2.0	PE=0.60	
R9	02 21	50.K	+		HE=3.	PC=0.45	NC=3.		
R10	24 27	41.K	+	.MODEL	BNP1	PGP	BFM= 75.	BRM=3.0	RD= 500.
R11	22 22	50.K	+		RC=150.	CCS=2.299P	TF=27.4N	TR=2540.N	
C	15 19	33.P	+		CJE=0.10P	CJC=1.05P	IS= 3.15E-15	VA=95.11	
Q1	10 07 13	BNP1	+		CZ= 1784.	IK=270.0U	NE=2.0	PE=0.65	
Q2	10 08 11	BNP1	+		HE=3.	PC=0.45	NC=3.		
Q3	14 09 13	BNP1	+	.MODEL	BNP2	PGP	BFM=117.	BRM=4.0	RD= 100.
Q4	15 09 11	BNP2	+		RC=150.		TF=26.5N	TR=2430.N	
Q5	14 16 17	BNP1	+		CJE=4.05P	CJC=2.00P	IS= 17.6E-15	VA=57.94	
Q6	15 16 18	BNP1	+						
Q7	01 14 16	BNP1	+						
Q8	10 10 01	BNP1	+		CZ= 478.4	IK=500.7U	NE=2.0	PE=0.60	
Q9	09 10 01	BNP1	+		HE=4.	PC=0.60	NC=4.		
Q10	09 05 08	BNP1	+	.MODEL	BNP3	PGP	BFM=13.8	BRM=1.4	RD=100.
Q11	05 05 02	BNP1	+		RC= 00.	CCS=2.126P	TF=27.4N	TR= 55.N	
Q12	06 04 01	BNP1	+		CJE=0.10P	CJC=0.30P	IS= 2.25E-15	VA=53.55	
Q13A	20 04 01	BNP3	+		CZ=04.37K	IK=9.800H	NE=2.0	PE=0.65	
Q13B	19 04 01	BNP4	+		HE=3.	PC=0.45	NC=3.		
Q14	01 20 26	BNP2	+	.MODEL	BNP4	PGP	BFM=14.4	BRM=1.5	RD=150.
Q15	20 26 12	BNP1	+		RC=120.	CCS=2.126P	TF=27.4N	TR= 220.N	
Q16	01 15 21	BNP1	+		CJE=0.10P	CJC=0.30P	IS= 2.25E-15	VA=53.55	
Q17	19 21 23	BNP1	+		CZ=34.37K	IK=171.0U	NE=2.0	PE=0.65	
Q18	20 27 24	BNP1	+		HE=3.	PC=0.45	NC=3.		
Q19	20 20 27	BNP1	+	.MODEL	BNP5	PGP	BFM= 80.	BRM=1.5	RD=1100.
Q20	02 24 25	BNP2	+		RC=170.		TF=26.5N	TR=9950.N	
Q21	22 25 12	BNP1	+		CJE=1.10P	CJC=2.40P	IS= 6.79E-15	VA=75.45	
Q22	15 22 02	BNP4	+		CZ= 1219.	IK=80.55U	NE=2.0	PE=0.60	
Q23A	02 19 24	BNP5	+		HE=4.	PC=0.60	NC=4.		
Q23B	02 19 15	BNP6	+	.MODEL	BNP6	PGP	BFM= 15.	BRM=1.0	RD= 600.
Q24	02 22 02	BNP1	+		RC=100.	CJC=2.40P	TF=26.5N	TR=2120.N	
			+		CJE=1.50P	CJC=2.40P	IS=0.0083E-15	VA=167.1	
			+		CZ=57.49K	IK=30.95U	NE=2.0	PE=0.60	
			+		HE=4.	PC=0.60	NC=4.		



Şekil.5 Gerilim izleyici yükselme eğimi performansı

TABLO III
OPAMP PERFORMANS KARAKTERİSTİKLERİ

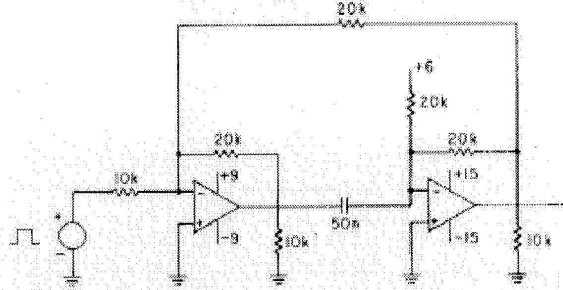
	8741 Device-Level Model	8741 Macromodel	LM741 Data Sheet	LM118 Data Sheet
C_2 (pF)	30	30	30	5
S_{R^+} (V/ μ s)	0.9	0.899	0.67	100
S_{R^-} (V/ μ s)	0.72	0.718	0.62	71
I_B (nA)	256	255	80	120
I_{B22} (nA)	0.7	<1	20	6
V_{22} (mV)	0.299	0.298	1	2
a_{VD}	$4.17 \cdot 10^8$	$4.16 \cdot 10^8$	$2 \cdot 10^8$	$2 \cdot 10^8$
a_{VD} (1 kHz)	$1.219 \cdot 10^8$	$1.217 \cdot 10^8$	10^8	$16 \cdot 10^8$
$\Delta\phi$ (°)	16.8	16.3	20	40
CMRR (dB)	106	106	90	100
R_{out} (Ω)	566	566	75	75
R_{i-ns} (Ω)	76.8	76.8	—	—
I_{SC^+} (mA)	25.9	26.2	25	25
I_{SC^-} (mA)	25.9	26.2	25	25
V^+ (V)	14.2	14.2	14.0	13
V^- (V)	-12.7	-12.7	-13.5	-13
P_d (mW)	59.4	59.4	—	—
T (K)	300	300	—	300
I_{S1} (A)	$8 \cdot 10^{-16}$	$8 \cdot 10^{-16}$	—	$8 \cdot 10^{-16}$
I_{SD2} (A)	$8 \cdot 10^{-16}$	$8 \cdot 10^{-16}$	—	$8 \cdot 10^{-16}$
R_1 (k Ω)	100	100	—	100
C_1 (pF)	30	30	—	5
C_N (pF)	7.5	2.41	—	2.042
β_1	52.6726	111.67	—	$2.033 \cdot 10^3$
β_2	52.7962	143.57	—	$2.137 \cdot 10^3$
I_{E2} (μ A)	27.512	20.26	—	500
R_E (m Ω)	7.2896	9.872	—	0.40
I_{S2} (A)	$8.0925 \cdot 10^{-18}$	$8.309 \cdot 10^{-18}$	—	$8.619 \cdot 10^{-18}$
R_{12} (Ω)	4352	5305	—	1989
R_{22} (Ω)	2391.9	2712	—	1884
C_1 (pF)	4.5288	5.460	—	2.098
R_p (k Ω)	15.363	—	—	—
G_c (μ mho)	229.774	188.6	—	502.765
G_{CM} (nmho)	1.1516	6.28	—	5.028
R_{01} (Ω)	76.8	32.13	—	32.13
R_{02} (Ω)	489.2	42.87	—	42.87
G_b (mho)	37.0978	247.49	—	92.792
I_X (A)	100.138	—	—	—
I_{SD1} (A)	$3.8218 \cdot 10^{-32}$	$8 \cdot 10^{-16}$	—	$8 \cdot 10^{-34}$
R_C (Ω)	$0.1986 \cdot 10^{-3}$	$0.02129 \cdot 10^{-3}$	—	$0.00279 \cdot 10^{-3}$
G_C (mho)	5034.3	46.964	—	353.000
V_C (V)	1.6042	1.803	—	2.803
V_E (V)	3.1042	2.303	—	2.803

Elde edilen makromodel performansı hakkında dal,düğüm ve p-n jonksiyonu sayısı önemli bir bilgi vermektedir.

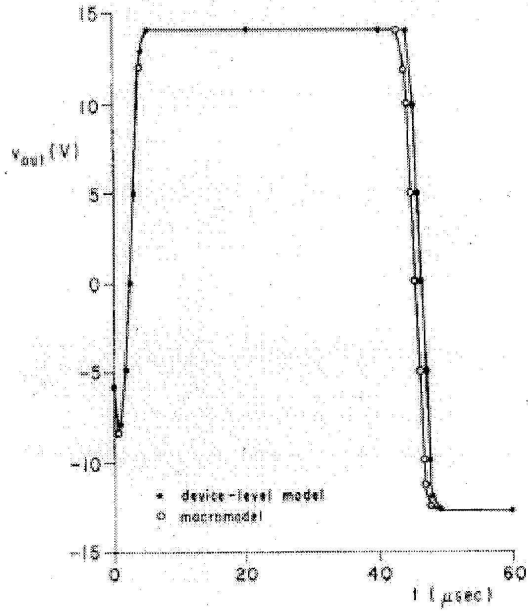
TABLO IV
MAKROMODEL PERFORMANS KARŞILAŞTIRMASI

	DAL	DÜĞÜM	P-N JONK. SAYISI
DEVRE MODELİ	193	81	52
MAKROMODEL	28	16	8
ORAN	6.9	5.1	6.5

Devre performansını test etmek aşağıdaki monostable time delay devresinden yararlanılabilir.



Şekil.6 Monostable time delay devresi



Şekil.7 Monostable time delay çıkış darbe cevabı

Sonuç: İşlemsel kuvvetlendirici simülasyonları için orijinal devre yerine onun özelliklerini, davranışlarını yeterince doğrulukta karşılayan makromodelleri kullanılabilir. Böylece simülasyon süresi önemli miktarda azalacaktır. Boyle'un sunduğu makromodel makromodelde p-n jonksiyon sayısı 6.5 kat düşürülerek simülasyon süresi önemli seviyede azaltılmıştır. Analizler sonucu makromodelin orijinal devre ile uyumlu olduğu gösterilmiştir.

Kaynaklar

- [1] BOYLE, G.R., COHN, B.M., PEDERSON, D.O. and SOLOMON, J.E., Macromodeling of integrated circuit operational amplifiers, IEEE Journal of Solid-State Circuits, 9, 353-363, 1974
Macromodeling of Integrated Circuit Operational Amplifiers
- [2] H. Kuntman, Elektronik Elemanların Modellenmesi, İTÜ Kütüphanesi, 1998
- [3] B. M. Cohn, D. O. Pederson, and J. E. Solomon, "Macromodeling of operational amplifiers," in *ISSCC Dig. Tech. papers*, Feb. 1974, pp. 42-43.
- [4] Bonnie Baker .Operational Amplifier Macromodels. A comparison
- [5] H. Kuntman ,Analog Mos Tümdevre Tekniği ,İTÜ Kütüphanesi 1997