

BÖLÜM 6

MAKROMODELLER

6.1. Giriş, makromodel kavramı

Makromodeller, herhangi bir elemanın veya devrenin lineer ve lineer olmama özelliklerini aslına olabildiğince uygun modellemek üzere, lineer elemanlar, bağımlı ve bağımsız kaynaklar ve az sayıda diyot, tranzistor gibi lineer olmayan elemanlarla oluşturulan eşdeğer devrelerdir.

İşlemsel kuvvetlendiriciler, gerilim karşılaştırıcılar ve işlemsel geçiş iletkenliği kuvvetlendiricileri (OTA'lar) gibi yapı blokları için makromodeller tanımlanması ve kullanılması, sistem bazında oldukça yaygındır. Örnek vermek gerekirse, bir analog işaret işleme düzeninde çok sayıda gerilim kuvvetlendirici, integral alıcı ve çeşitli türden diğer alt yapı blokları yer almaktadır. Böyle bir sistemi aynen tanımlayan bir makromodelin geliştirilmesinin ve sistemin performansını analiz etmek üzere bu makromodelden yararlanılmasının, simülasyon süresini önemli oranda kısaltacağı açıktır.

Günümüzde kullanılan en ucuz tümdevre blokları bile oldukça karmaşık bir yapıda olmaktadır. Bu nedenle, söz konusu devrelerin simülasyonunu yapmak oldukça güçleşmektedir. Simülasyon masrafı olarak tanımlanabilecek bu sorunu azaltmanın yolu, bu tümdevreler için uç büyüklüklerini aslına uygun bir biçimde veren makromodeller geliştirmektir. Dijital tümdevreler için de benzer yoldan hareket edilerek makromodeller geliştirilebileceği açıktır.

Makromodel geliştirmenin amacı, bir tümdevreyi veya bunun bazı alt bloklarını, simülasyon süresini önemli bir oranda kısaltacak biçimde yeniden modellemektir. Bu işlem yerine getirilirken, yapının gerçek davranışına olabildiğince yaklaşılmaya, ancak devre yapısının da olabildiğince basit tutulmasına çalışılır. Yapının gerçek davranışını temsil edebilmek üzere, giriş-çıkış karakteristiği, fark ve ortak işaret davranışı, kazancın frekansla değişimi, doğru gerilim kutuplama seviyesi, dengesizlik, yükselme eğimi, çıkış işaretinin salınım aralığı gibi temel yapı özelliklerinin modellenmesi gerekmektedir. Bu kadar çok özelliğin, 60-80 pn jonksiyonu içeren gerçek yapı yerine 8-10 pn jonksiyonu içeren bir model yardımıyla temsil edilmesinin, simülasyon süresini

6.2

önemli ölçüde kısaltacağı kolayca fark edilebilir. Bütün bunların yanısıra, yukarıda belirtilen özelliklerin tümünün model kapsamına alınmasının gerekli olmadığı düşünülecek olursa, simülasyon süresinden çok daha fazla tasarruf edileceği açıktır.

Günümüzdeki makromodeller üç ana grup altında toplanabilirler:

1. Lineer olmayan kontrollu kaynaklar içeren modeller

Bu tür modellerde, lineer olmama özelliğini temsil eden analitik fonksiyonlar kullanılır. Bu tür modellerin doğruluğu yüksek olmakla birlikte, simülatörlerde kullanılmaları oldukça güç ve sorunludur.

2. Yarıiletken diyot içeren modeller

Bu tür modellerde, lineer olmamayı temsil etmek üzere yarıiletken diyotların üstel akım-gerilim ilişkisinden yararlanılmaktadır.

3. Yarıiletken tranzistor ve diyot kullanan modeller

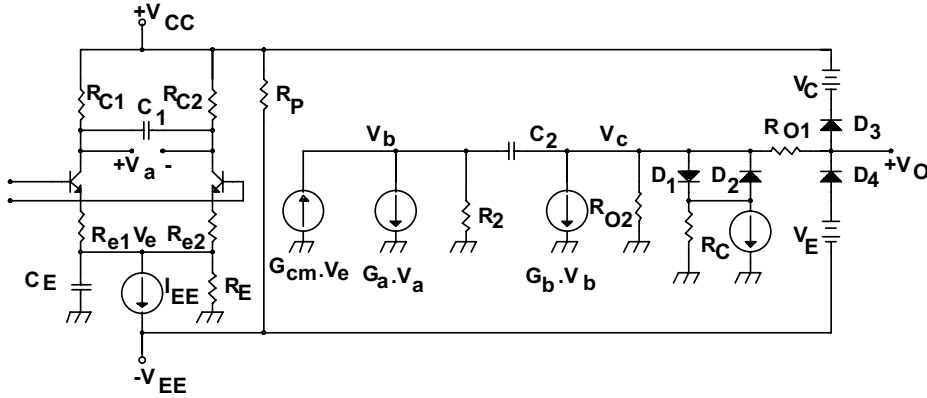
Lineer olmamanın hem tranzistor, hem de diyot elemanlarının kullanılmasıyla temsil edildiği modeller bu gruba girmektedir.

6.2. İşlemsel kuvvetlendirici makromodelleri

İşlemsel kuvvetlendiriciler, çok değişik uygulamaları olan ve en fazla kullanılan analog tümdevre yapı bloklarıdır. Bu nedenle, işlemsel kuvvetlendirici makromodelleri üzerinde çok sayıda çalışma yapılmıştır. Bu çalışmaların sonucunda, uygulama alanına bağlı olarak farklı karmaşıklıkta ve doğrulukta makromodeller ortaya atılmıştır. Bununla beraber, işlemsel kuvvetlendiricinin her türlü davranışını temsil eden makromodellerin kurulmasının zor olacağı açıktır. Bu zorluk, böyle bir modelin kurulamayacak olmasından değil, ancak kurulacak modelin getireceği karmaşıklıktan ileri gelmektedir. Makromodel kurulurken güdülen temel amaç, simülasyonu olabildiğince kısaltacak basitlikte bir modele ulaşmaktır. Bu durumda, iyi bir makromodel, birbiriyle çelişen iki isteği karşılamak durumunda kalır: model olabildiğince basit olmalı, ancak mümkün olabilecek en yüksek doğruluğu da sağlamalıdır.

İşlemsel kuvvetlendiriciler için geliştirilen bir makromodel Şekil-6.1'de gösterilmiştir. Model, yarıiletken tranzistorlar ve diyotlar kullanılarak kurulmuştur. Bu devre modeli, uygun parametre değerleri kullanılması

durumunda, tümdevre bir işlemsel kuvvetlendiriciyi uç büyüklükleri arasındaki ilişkiler açısından yeteri kadar doğru olarak modellemektedir. Şekil-6.1'deki devre başlıca üç alt bölüme ayrılabilir. T_1 - T_2 tranzistorları ve bunlarla ilişkili diğer elemanlar, yapının fark ve ortak işaret davranışını temsil etmek üzere kullanılmışlardır. Bu kat birim kazançlı olarak düşünülmüştür. İstenen değerdeki gerilim ve akım dengesizliğini sağlamak için ayrıca ek elemanlar kullanılabilir. C_E kondansatörü yükselme eğimini, C_1 kondansatörü de faz cevabını modellemek amacıyla devreye katılmışlardır. Fark ve ortak işaret kazançları, ara kattaki G_{cm} , G_a , R_2 , R_{O2} elemanları ile sağlanmıştır. Baskın zaman sabiti, yapıdaki C_2 iç geribesleme kondansatörü tarafından belirlenmiştir. Bu geribeslemeyle, ayrıca, çıkış direncinin frekansla değişimi de modellenmektedir. C_2 kondansatörünün bağlandığı iki ucun dışarıya alınmasıyla, devre tasarımcısına esneklik sağlamak da mümkündür. Giriş katı ve ara kat arasındaki yalıtım, devreye ilişkin frekans cevabı ve yükselme eğimi bağıntılarını da basitleştirmektedir. Yapının çıkış katı ise doğru akım ve değişken akım çıkış dirençlerinin uygun bir biçimde modellenmelerini sağlamaktadır. Çıkış katındaki D_1 , D_2 , R_C elemanları yapının kısadevre akımının maksimum değerini, D_3 , V_C ve D_4 , V_E elemanları ise çıkış geriliminin maksimum değerini ve kırılma sınırlarını belirlemektedir.



Şekil-6.1. Tranzistorlar, yarıiletken diyotlar, bağımlı ve bağımsız kaynaklar ve lineer elemanlar kullanılarak kurulan işlemsel kuvvetlendirici makromodeli.

Yukarıda verilen türden bir makromodel, iki temel yöntem kullanılarak gerçekleştirilebilir. Bunlardan birincisi **basitleştirme yöntemi** olarak

6.4

isimlendirilebilir. Bu yöntemde, yapıda çok fazla sayıda yer alan fiziksel gerçek elemanlar yerine basit ideal elemanlar kullanılmaktadır. Yapının giriş katı **basitleştirme yöntemi** kullanılarak oluşturulmuştur. Bu yöntem uygulanırken, kutuplama devresi kaldırılarak yerine akım ve gerilim kaynakları kullanılmakta, yine giriş katındaki aktif yükü dengeliden dengesize çevirme düzenleri kaldırılmakta, kompozit tranzistor yerine basit bir diferensiyel giriş katı yardımıyla lineer olmayan giriş karakteristiği temsil edilebilmektedir. İkinci yöntem ise **kurgu (build-up) yöntemi** olarak nitelendirilebilir. Bu yöntem yardımıyla, devreye tam anlamıyla benzemeyen, ancak devre özelliklerini sağlayan bir topoloji oluşturulur. Yapının çıkış katı da bu yöntem kullanılarak kurulmuştur.

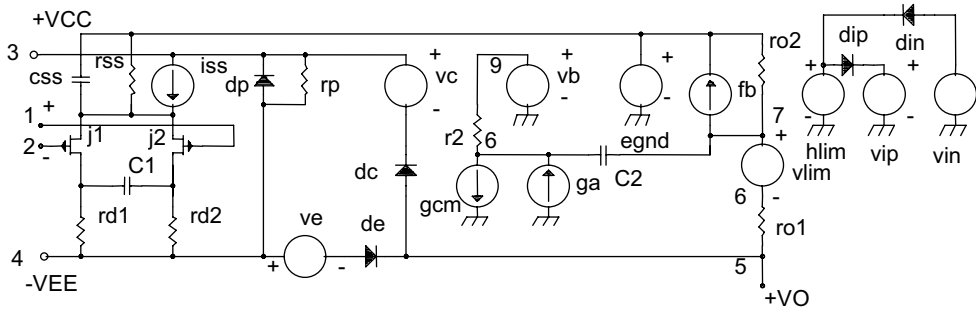
Tüm makromodeller, bir tümdevre simülasyon programı ile birlikte kullanılacakları düşüncesi ile tasarlanırlar. Bu nedenle makromodeller, sadece, bu simülasyon programlarının tanıdıkları R, L, C pasif elemanları, akım ve gerilim kaynakları, diyot ve tranzistorlar gibi elemanlar kullanılarak gerçekleştirilebilirler. Bunun yanısıra, sayısal analizde çok sayıda iterasyon gerektiren pn jonksiyonlarının sayısının azaltılmasının da işlem süresini önemli ölçüde kısaltacağı açıktır. Şekil-6.1'deki devrede giriş katı iki tranzistorla modellenmiştir, bu da yapıda dört pn jonksiyonu anlamına gelmektedir. Yapıdaki tranzistorların modellenmesi için en basit tranzistor modelinin (Ebers-Moll modeli) kullanılması yeterli olmaktadır. Çıkış katının basitleştirilmesinin çok kolay olamayacağı düşüncesiyle, bu katın modellenmesi için kurgu yönteminden yararlanılmıştır .

Piyasada bulunan çeşitli tipten işlemsel kuvvetlendirici yapıları için, SPICE simülasyon programında kullanılmak üzere makromodeller geliştirilmiş ve kullanıcıya sunulmuştur. Bu makromodel yapıları ilkesel olarak Şekil-6.1'de verilen makromodele dayanmaktadır ve giriş elemanına göre bu makromodelin yeniden düzenlenmesiyle oluşturulmuşlardır. Girişinde p kanallı JFET, npn ve pnp tranzistorlu fark kuvvetlendirici bulunan işlemsel

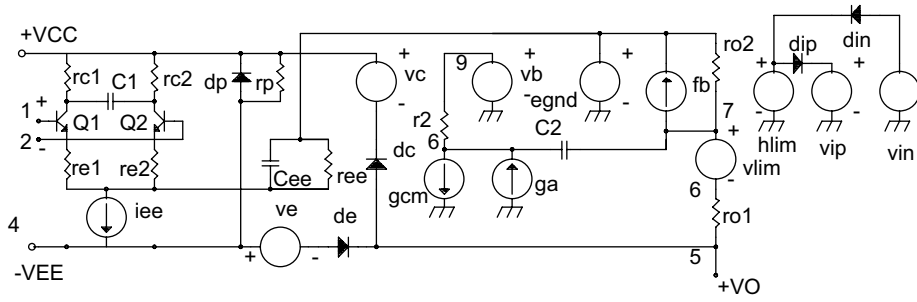
Tablo-6.1. Makromodel elemanları

Eleman	Tanımı
c1	faz kontrol kondansatörü
c2	kompanzasyon kondansatörü
cee, css	yükselme-eğimi sınırlama kondansatörü
dp	taban jonsiyonu
egnd	gerilim kontrollu gerilim kaynağı
fb	çıkış elemanı
ga	katlar arası eğim
gcm	ortak işaret eğimi
iee, iss	giriş katı akımı
hlim	gerilim sınırlama elemanı
j1, j2	giriş tranzistorları
q1, q2	giriş tranzistorları
r2	katlar arası direnç
rc1, rc2	giriş katı yük direnci
rd1, rd2	giriş katı yük direnci
re1, re2	giriş katı emetör direnci
ree, rss	giriş katı akım kaynağı çıkış direnci
ro1	çıkış direnci
ro2	çıkış direnci
rp	güç harcaması
vb	bağımsız gerilim kaynağı
vc, dc	çıkış dengesizlik sınırlama (VCC)
ve, de	çıkış dengesizlik sınırlama (VEE)
vlim	çıkış akımı sınırlama algılayıcısı
vin, din	negatif besleme sınırı
vip, dip	pozitif besleme sınırı

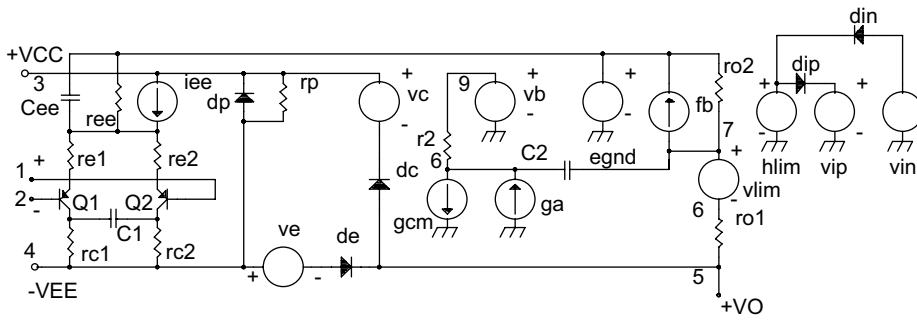
6.6



Şekil-6.2. Giriş katı p kanallı JFET'lerle kurulmuş olan işlemsel kuvvetlendiriciler için geliştirilen makromodel.



Şekil-6.3. Giriş katı npn tranzistorlarla kurulmuş olan işlemsel kuvvetlendiriciler için geliştirilen makromodel.



Şekil-6.4. Giriş katı pnp tranzistorlarla kurulmuş olan işlemsel kuvvetlendiriciler için geliştirilen makromodel.

Tablo-6.2. LM 741 işlemsel kuvvetlendiricisi için makromodel

```

* LM741 operational amplifier "macromodel" subcircuit
* created using Parts: Version 1.02 - August 1986
*
* connections:      non-inverting input
*                  | inverting input
*                  | | positive power supply
*                  | | | negative power supply
*                  | | | | output
*                  | | | | |
.SUBCKT LM741      1 2 3 4 5
*
C1  11 12 8.661E-12
C2  6 7 30.00E-12
DC  5 53 DX
DE  54 5 DX
DLP 90 91 DX
DLN 92 90 DX
DP  4 3 DX
EGND 99 0 POLY(2) 3 0 4 0 0 .5 .5
FB  7 99 POLY(5) VB VC VE VLP VLN 0 42.44E6 -40E6 40E6 40E6 -40E6
GA  6 0 11 12 188.5E-6
GCM 0 6 10 99 1.885E-9
IEE 10 4 DC 15.20E-6
HLIM 90 0 VLIM 1K
Q1  11 2 13 QX
Q2  12 1 14 QX
R2  6 9 100.0E3
RC1 3 11 5.305E3
RC2 3 12 5.305E3
RE1 13 10 1.832E3
RE2 14 10 1.832E3
REE 10 99 13.16E6
RO1 8 5 50
RO2 7 99 25
RP  3 4 18.16E3
VB  9 0 DC 0
VC  3 53 DC 2
VE  54 4 DC 2
VLIM 7 8 DC 0
VLP 91 0 DC 20
VLN 0 92 DC 20
.MODEL DX  D (IS=800.0E-18)
.MODEL QX NPN (IS=800.0E-18 BF=75)
.ENDS

```

Tablo-6.3. LF 351 işlemsel kuvvetlendiricisi için makromodel

```

* LF351 operational amplifier "macromodel" subcircuit
* created using Parts release 4.01 on 07/05/89 at 08:19
* (REV N/A)
* connections:  non-inverting input
*                | inverting input
*                | | positive power supply
*                | | | negative power supply
*                | | | | output
*                | | | | |
.subckt LF351  1 2 3 4 5
*
c1  11 12 3.498E-12
c2  6 7 15.00E-12
dc  5 53 dx
de  54 5 dx
dlp 90 91 dx
dln 92 90 dx
dp  4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb  7 99 poly(5) vb vc ve vlp vln 0 28.29E6 -30E6 30E6 30E6 -30E6
ga  6 0 11 12 282.8E-6
gcm 0 6 10 99 1.590E-9
iss 3 10 dc 195.0E-6
hlim 90 0 vlim 1K
j1  11 2 10 jx
j2  12 1 10 jx
r2  6 9 100.0E3
rd1 4 11 3.536E3
rd2 4 12 3.536E3
ro1 8 5 50
ro2 7 99 25
rp  3 4 15.00E3
rss 10 99 1.026E6
vb  9 0 dc 0
vc  3 53 dc 2.200
ve  54 4 dc 2.200
vlim 7 8 dc 0
vlp 91 0 dc 30
vln 0 92 dc 30
.model dx D(Is=800.0E-18)
.model jx PJF(Is=12.50E-12 Beta=250.1E-6 Vto=-1)
.ends

```


Tablo6.4. LM 351 işlemsel kuvvetlendiricisi için makromodel

```

* LM324 operational amplifier "macromodel" subcircuit
* created using Parts release 4.01 on 09/08/89 at 10:54
* connections: non-inverting input
*                | inverting input
*                | | positive power supply
*                | | | negative power supply
*                | | | | output
*                | | | | |
.subckt LM324 1 2 3 4 5
*
c1 11 12 5.544E-12
c2 6 7 20.00E-12
dc 5 53 dx
de 54 5 dx
dlp 90 91 dx
dln 92 90 dx
dp 4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb 7 99 poly(5) vb vc ve vlp vln 0 15.91E6 -20E6 20E6 20E6 -20E6
ga 6 0 11 12 125.7E-6
gem 0 6 10 99 7.067E-9
iee 3 10 dc 10.04E-6
hlim 90 0 vlim 1K
q1 11 2 13 qx
q2 12 1 14 qx
r2 6 9 100.0E3
rc1 4 11 7.957E3
rc2 4 12 7.957E3
re1 13 10 2.773E3
re2 14 10 2.773E3
ree 10 99 19.92E6
ro1 8 5 50
ro2 7 99 50
rp 3 4 30.31E3
vb 9 0 dc 0
vc 3 53 dc 2.100
ve 54 4 dc .6
vlim 7 8 dc 0
vlp 91 0 dc 40
vln 0 92 dc 40
.model dx D(Is=800.0E-18)
.model qx PNP(Is=800.0E-18 Bf=250)
.ends

```

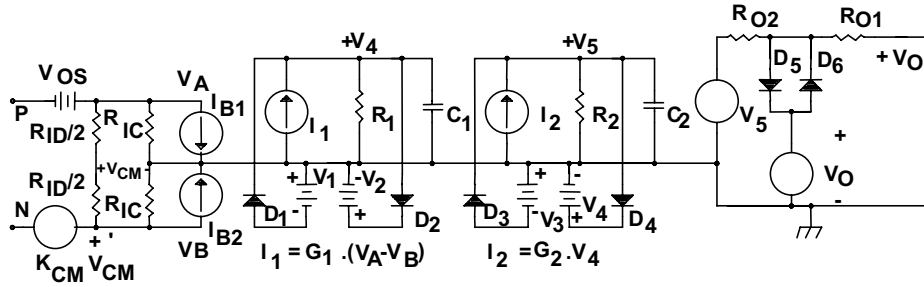
Tablo-6.5. LM 301 A işlemsel kuvvetlendiricisi için makromodel

```

* LM301A operational amplifier "macromodel" subcircuit
* created using Parts release 4.01 on 09/01/89 at 13:14
* (REV N/A)
* connections: non-inverting input
*           | inverting input
*           | | positive power supply
*           | | | negative power supply
*           | | | | output
*           | | | | | compensation
*           | | | | | /\
.subckt LM301A 1 2 3 4 5 6 7
*
c1 11 12 7.977E-12
dc 5 53 dx
de 54 5 dx
dlp 90 91 dx
dln 92 90 dx
dp 4 3 dx
egnd 99 0 poly(2) (3,0) (4,0) 0 .5 .5
fb 7 99 poly(5) vb vc ve vlp vln 0 42.44E6 -40E6 40E6 40E6 -40E6
ga 6 0 11 12 188.5E-6
gcm 0 6 10 99 3.352E-9
iee 10 4 dc 15.14E-6
hlim 90 0 vlim 1K
q1 11 2 13 qx
q2 12 1 14 qx
r2 6 9 100.0E3
rc1 3 11 5.305E3
rc2 3 12 5.305E3
re1 13 10 1.839E3
re2 14 10 1.839E3
ree 10 99 13.21E6
ro1 8 5 50
ro2 7 99 25
rp 3 4 16.81E3
vb 9 0 dc 0
vc 3 53 dc 2.600
ve 54 4 dc 2.600
vlim 7 8 dc 0
vlp 91 0 dc 25
vln 0 92 dc 25
.model dx D(Is=800.0E-18)
.model qx NPN(Is=800.0E-18 Bf=107.1)
.ends

```

kuvvetlendiriciler için geliştirilmiş olan makromodeller Şekil-6.2 , Şekil-6.3 ve Şekil-6.4'de görülmektedir. Şekil-6.2'deki makromodel p kanallı JFET'lerle kurulan bir giriş katı içeren işlemsel kuvvetlendirici yapıları için kullanılmaktadır. LF 347, LF 351 gibi JFET girişli işlemsel kuvvetlendirici yapılarının modellenmesi için bu yapının uygun düşeceği açıktır. Şekil-6.3'deki yapı giriş katı npn tipi tranzistorlarla, Şekil-6.4'deki makromodel de giriş katı pnp tranzistorlarla kurulmuş olan işlemsel kuvvetlendirici yapıları için geliştirilmişlerdir. Şekil-6.3'deki makromodel, LM107 gibi giriş tranzistorları npn tipi olan işlemsel kuvvetlendiriciler için, Şekil-6.4'deki model ise LM 124 gibi giriş tranzistorları pnp tipi olan işlemsel kuvvetlendirici yapıları için kullanılmaktadır. Makromodeller için kullanılan parametrelerin ne anlama geldikleri, toplu bir liste halinde Tablo-6.1'de verilmiştir. Yine, yaygın olarak kullanılan bazı işlemsel kuvvetlendirici yapıları için model parametrelerinin imalatçı firma tarafından belirlenip verilen değerleri Tablo-6.2, Tablo -6.3, Tablo-6.4 ve Tablo-6.5'da görülmektedir.



Şekil-6.5. Yarıiletken diyotlar, bağımlı ve bağımsız kaynaklar ve lineer elemanlar kullanılarak kurulan işlemsel kuvvetlendirici makromodeli.

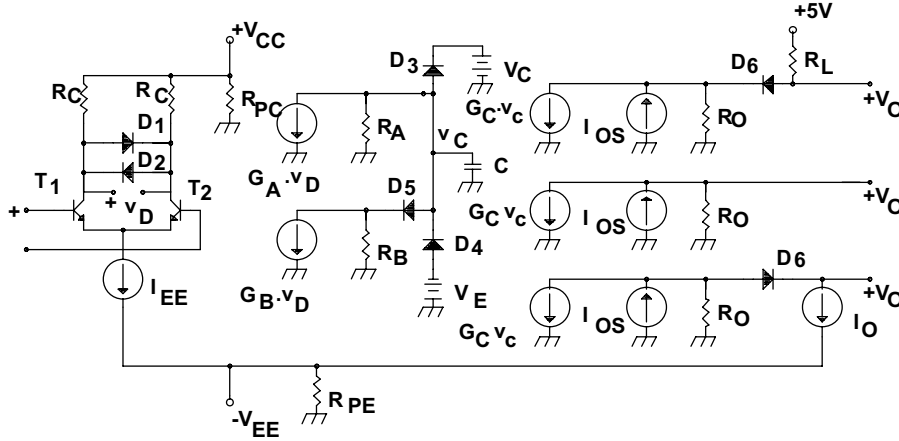
Lineer olmamanın modellenmesi için sadece diyotlardan yararlanılan bir makromodel yapısı Şekil-6.5'de görülmektedir. Yapı bir giriş katından, iki ara kattan ve bir de çıkış katından oluşmaktadır. Giriş katındaki I_{B1} ve I_{B2} akım kaynakları ile giriş kutuplama akımları, V_{OS} gerilim kaynağı ile giriş dengesizlik gerilimi, $R_{ID}/2$, R_{IC} direnç elemanları ile ortak ve fark işaret giriş dirençleri, $K_{cm} \cdot V_{cm}$ bağımlı kaynağı ile de ortak işaret davranışı modellenmektedir.

Birinci ara katta V_1 - D_1 ve V_2 - D_2 gerilim sınırlama devreleri yardımıyla pozitif ve negatif yönler için iki ayrı yükselme eğimi tanımlanmaktadır. Yapıdaki bu sınırlama devreleri, 4 numaralı düğümün geriliminin alacağı minimum ve maksimum değerleri belirlemektedir. Bu sınır değerlere bağlı olarak, ikinci ara hücrede yer alan G_2 - V_4 kontrollü kaynağı yardımıyla C_2 kondansatörü üzerindeki gerilimin yükselme hızı da kontrol edilmektedir. Birinci hücrede yer alan C_1 ve R_1 elemanları yardımıyla, yapının transfer fonksiyonunun baskın olmayan ikinci kutbu modellenmektedir.

İkinci kazanç katı, kuvvetlendiricinin transfer fonksiyonunun f_1 baskın kutbunu modelleyen R_2 ve C_2 elemanlarını içermekte, bunun yanısıra, birinci katla birlikte kuvvetlendiricinin K_{V0} açık çevrim kazancını tanımlamaktadır. D_3 - V_3 ve D_4 - V_4 sınırlama düzenleri yardımıyla devredeki 5 numaralı düğümün geriliminin alacağı minimum ve maksimum değerler belirlenmektedir.

Yapının çıkış katının düzeni, çıkış akımının alacağı maksimum değeri belirlemenin yanısıra toplam çıkış direncini de modellemek amacıyla düzenlenmiştir. Toplam çıkış direnci $R_O = R_{O1} + R_{O2}$ şeklinde iki direncin toplamı biçiminde ifade edilmektedir. D_5 ve D_6 diyotları ise çıkış akımını sınırlamak amacıyla kullanılmışlardır.

6.3. Gerilim karşılaştırıcı makromodeli



Şekil-6.6. Gerilim karşılaştırıcı makromodeli.

Bir makromodelden beklenen önemli bir özellik, uygulama alanına bağlı olarak parametrelerin düzenlenebilmesi ve değiştirilebilmesidir. Böylece, o uygulama alanı için önemli olmayan parametreler tanımlanmayıp, daha basit ve daha etkin bir model elde edebilme olanağı ortaya çıkmaktadır. Önemli ölçüde benzer yanlarının bulunmasına karşılık tasarım yaklaşımları farklı olan işlemsel kuvvetlendirici ve gerilim karşılaştırıcı için geliştirilen makromodeller bu duruma örnek olarak gösterilebilir. Gerilim karşılaştırıcı açık çevrimde, yani geribesleme uygulanmadan çalıştırılacak biçimde tasarlanmıştır. Bu tür tümdevrelerin modellenmesinde daha çok zaman domeni parametreleri önem kazanmaktadır.

K kazançlı bir gerilim karşılaştırıcının faz döndürmeyen girişine bir V_{ref} referans gerilimi, faz döndüren girişine de 0'dan V_{in} değerine sıçrayan bir basamak gerilimi uygulanmış olsun. V_{in} geriliminin V_{ref} geriliminden daha yüksek olması durumunda, devrenin çıkış gerilimi V^+ değerinden V^- değerine sıçrar. Devrenin çıkış işaretinin dalgalanma aralığı $V_{SW} = V^+ - V^-$ olur. Devrenin konum değiştirdiği V_{TH} giriş gerilimi değeri lojik eşik gerilimi olarak isimlendirilir. $V_{in} = V_{ref}$ olursa ve dengesizlik gerilimi de sıfır olarak kabul edilirse, çıkış gerilimi V^+ değerinden V_{TH} değerine gelir. Çıkış gerilimini V^- değerine getirebilmek üzere V_{in} giriş geriliminde küçük bir artma daha gerekli olur; bu artmanın değeri $V_{SW}/2K$ değerindedir ve kazanç hatası olarak isimlendirilir. $V_{ref} + V_{SW}/2K$ değerinin üzerindeki artmalar aşırı sürme (over drive) olarak adlandırılır ve bunun sınırı V_{OD} sembolü ile gösterilir. Yukarıda verilen artma, çıkış gerilimini V^+ seviyesinden V_{TH} seviyesine getirmek için gereken gerilim olarak da tanımlanabilir. Bu durumda, aşırı sürme gerilimi $V_{in} = V_{OD} + V_{SW}/2K$ biçiminde de formüle edilebilir.

Gerilim karşılaştırıcının zaman domeni cevabı çıkış işareti üzerinde tanımlanmıştır ve aşağıdaki büyüklüklerle karakterize edilmektedir.

t_d gecikme süresi: Devrenin bir lojik durumdan diğerine geçmeye başlamasına kadar geçen süre olarak tanımlanır.

t_{res} cevap verme süresi: Çıkış gerilimini $t=0$ anından itibaren V_{TH} gerilimine ulaşması için geçecek süre olarak tanımlanmaktadır.

t_r yükselme ve t_f düşme süreleri: Çıkış işaretinin maksimum değerinin %10'undan %90'ına kadar değişmesi için geçecek olan süredir.

V_{os} dengesizlik gerilimi: Çıkış geriliminin V_{TH} eşik gerilimine eşit olması durumunda girişe uygulanması gereken gerilim olarak tanımlanır. Bu dengesizlik geriliminin ihmal edilmesi durumunda, fark girişindeki gerilim V_{ref} gerilimine eşit olur.

Gerilim karşılaştırıcı makromodeli Şekil-6.6'da verilmiştir. İşlemsel kuvvetlendirici makromodeli, iki elemanın benzer özelliklerinden dolayı, karşılaştırıcı makromodeli için hareket noktası olarak alınmaktadır. İki makromodel arasındaki en belirgin farklılık ise, ara kattaki kenetleme devrelerinin ve çıkış katının tasarlanmasında ortaya çıkmaktadır. Karşılaştırıcı makromodelinde ara katta yer alan kenetleme devreleri ve C kondansatörü, yapının düşme, yükselme ve gecikme sürelerini birbirinden bağımsız olarak belirlemeye yaramaktadır.

Makromodelin giriş katı bir fark kuvvetlendiricisi devresinden, ideal bir emetör akım kaynağından ve rezistif yük dirençlerinden oluşmaktadır. Yapıdaki tranzistörlerde herhangi bir yük birikmesi olayı bulunmadığı kabul edilmektedir. Başka bir deyişle, tranzistörler en basit tranzistör modeli olan Ebers-Moll (EM1) modeli ile temsil edilmişlerdir. Yapıdaki D_1 ve D_2 diyotları, girişin kritik bir değerden daha yüksek gerilimlere çıkmasını önlemek amacıyla yapıya katılmışlardır.

Makromodelin ara katı, D_3 ve D_4 diyotları ile kenetleme işlevini, C kondansatörü, $G_A V_D$ ve $G_B V_D$ bağımlı kaynaklarıyla da sonlu yükselme ve düşme sürelerini modellemektedir.

İlk olarak D_5 diyodunun ters yönde kutuplandığı varsayılın ve bu durumda D_4 diyodunun üzerinde gerilim düşümü olmadığı kabul edilsin. Bu durumda, kondansatörün v_C gerilimi $-V_E$ gerilimine kenetlenir. Girişe basamak biçiminde bir gerilim uygulanması durumunda V_D gerilimi negatif olur ve v_C gerilimi yükselir. D_4 diyodunun geçiş süresi sonludur. Diyotta biriken difüzyon yükünün buradan uzaklaştırılması belli bir süreyi gerekli kılar. Bu süre boyunca D_4 diyodu üzerindeki gerilim hemen hemen değişmiyor kabul edilebilir. Ancak, yük uzaklaştırıldıktan sonra her iki diyot da kesimde olurlar. Akım R_A ve C tarafından denetlendiğinden, yükselme süresi de C kondansatörü ile kontrol edilmektedir. v_C gerilimi V_C seviyesine ulaşınca D_3 diyodu iletme geçer ve seviye bu gerilime kenetlenir. Bu yoldan hareket edilmesiyle gecikme ve yükselme sürelerinin istenen değerleri alması sağlanmaktadır.

Benzer şekilde girişe ters yönlü bir işaret gelmesi durumunda, V_D gerilimi pozitif değerler alır ve D_3 diyodu tıkanır. Bu durumda, D_5 diyodu iletimde olduğundan, C kondansatörünün boşalması $G_A.V_D$ ve $G_B.V_D$ kaynakları ile tanımlanmaktadır.

Giriş katındaki D_1 ve D_2 diyotları V_D gerilimini sınırlarlar ve böylece giriş aşırı sürme geriliminin kritik bir değerden daha yukarı değerler alması önlenmiş olur. Dolayısıyla, yükselme ve düşme sürelerinin aşırı sürülme durumunda sabit değerler alması sağlanmış olur.

Çıkış katı için üç ayrı topoloji önerilmiştir. Bu topolojilerden hangisinin seçileceği, kullanılan tümdevrenin çıkış katının ne şekilde tasarlanmış olduğuna bağlıdır. Emetör çıkışlı bir çıkış katı için en alttaki konfigürasyon uygun düşmektedir. Çıkış katının ortak emetörlü yapıda olması durumunda en üstteki yapının kullanılması daha uygun olmaktadır. Bu yapıdaki R_O ve R_L elemanları, çıkışın konum değiştirilmesiyle çıkış direncinin değişim göstermesini modellemek amacıyla eşdeğer devreye katılmışlardır. Çıkış direncinin yaklaşık olarak sabit kabul edilebildiği durumda, ortadaki yapının kullanılması daha uygun olmaktadır. I_{OS} akım kaynağı her üç yapıda da yer almakta, bununla girişteki fark geriliminin sıfır olması durumunda çıkış geriliminin V_{TH} değerini alması sağlanmaktadır. Yapıda görülen R_{PC} ve R_{PE} dirençleri ise her bir besleme kaynağından çekilen akımı modellemek amacıyla kullanılmışlardır.

Makromodelde çıkış katının kazancı 1 olarak alınmıştır, bu nedenle karşılaştırıcının K kazancı giriş katı ve ara kat yardımıyla sağlanmaktadır. Kazancın modellenmesi, giriş katında kritik aşırı sürme gerilimi değerine ulaşıldığında kenetlenme mekanizmasının harekete geçirilebilmesi, ara kattaki kenetlenme mekanizmasının çalışabilmesi ve düşme ve yükselme sürelerinin belirlenmesi açısından gerekli olmaktadır.

6.4. Geçiş iletkenliği kuvvetlendiricisi (OTA) makromodeli

İşlemsel kuvvetlendiricilerden daha geniş bantlı olmaları ve eğimlerinin kontrol edilebilir olması nedeniyle OTA'lar da gittikçe yaygınlaşarak kullanım alanı bulmaktadır. Yine, CMOS teknolojisi ile kolayca tümleştirilebilmeleri nedeniyle, OTA-C aktif süzgeçleri de yaygınlaşmakta ve bu alanda gerek OTA gerekse aktif süzgeç gerçekleştirilmesi için yeni devre topolojileri

önerilmektedir. Çok sayıda OTA içeren aktif süzgeçlerin simülasyon süresini kısaltmak açısından, OTA' lar için geliştirilecek bir makromodelin tasarımcıya yararlı olacağı ve zaman tasarrufu sağlayacağı açıktır.

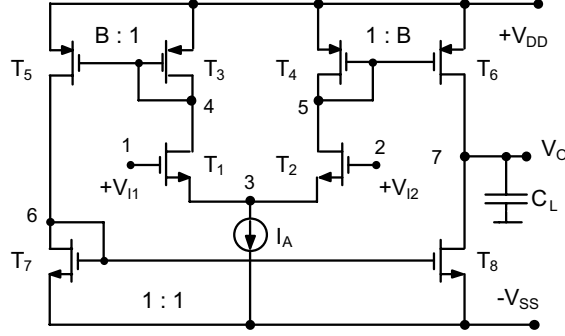
Aktif süzgeç yapılarında kullanılmaya elverişli OTA yapılarından biri olan simetrik CMOS-OTA, geniş bantlı olması, eğiminin I_A kutuplama akımı ile kontrol edilebilmesi, yapısının tümleştirmeye uygun ve basit olması gibi nedenlerden dolayı yaygın bir kullanım alanı bulmakta, OTA-C süzgeç yapılarının yanısıra, analog çarpma devreleri ve yüksek frekans osilatörlerinin gerçekleştirilmesi amacıyla da bu devre yapısından yararlanılmaktadır.

Simetrik CMOS-OTA ile kurulan aktif süzgeç, geniş bantlı osilatör, analog çarpma devresi gibi devrelerin bilgisayarla simülasyonunda, CMOS yapının SPICE MOS modelleri kullanılarak bir alt devre ile modellenmesi halinde oldukça uzun simülasyon süreleri gerekmekte, çok sayıda CMOS-OTA içeren sistemlerin analizinde bu süreler daha da artmaktadır.

Simülasyon süresini kısaltmak amacıyla, işlemsel kuvvetlendiricilerdekine benzer şekilde direnç, kondansatör, bağımlı ve bağımsız kaynaklar gibi lineer devre elemanlarından oluşan, nonlineerliğin ise devrede yer alacak diyotlar, bağımlı ve bağımsız kaynaklar yardımıyla temsil edildiği makromodeller geliştirilmesinin ve kullanılmasının büyük yarar sağlayacağı açıktır.

Bu bölümde, simetrik CMOS- OTA yapılarını içeren aktif süzgeç devrelerinin SPICE simülasyonunda kullanılmak üzere geliştirilmiş bir makromodel ana hatları ile verilecektir. Bunun yanısıra, makromodelden elde edilen temel OTA karakteristikleri, alt devreler yardımıyla yapılan standart SPICE simülasyonu sonuçları ile karşılaştırılarak makromodelin ne derece doğru sonuç vereceği de gösterilecektir. Ayrıca, makromodel ve alt devreler yardımıyla, örnek olarak seçilen bir OTA-C süzgeç yapısı için SPICE simülasyonu sonuçları da verilecek, her iki grup simülasyondan elde edilen sonuçların birbiriyle uyumlu oldukları, ancak makromodel yardımıyla yapılan simülasyonun bilgisayar süresini önemli ölçüde kısalttığı ortaya konacaktır.

Simetrik CMOS-OTA yapısı



Şekil-6.7. Simetrik CMOS OTA yapısı.

Aktif süzgeç yapılarının ve geniş bantlı osilatörlerin gerçekleştirilmesinde kullanılan simetrik CMOS-OTA yapısı Şekil-6.7'de görülmektedir. Benzer yapıyla bipolar tekniği ile gerçekleştirilen OTA'larda da karşılaşıldığını belirtmekte yarar vardır.

Simetrik CMOS OTA aşağıda verilen karakteristik bağıntılarla tanımlanmaktadır:

$$G_m = B \cdot \sqrt{K_n \cdot I_A \cdot (W/L)_1} \quad (6.1)$$

çıkış akımının maksimum değeri

$$I_{Omax} = -I_{Omin} = -B \cdot I_A \quad (6.2)$$

gerilim kazancı

$$K_V = G_m \cdot R_O \quad (6.3)$$

baskın kutbu

$$f_d = \frac{1}{2 \cdot \pi \cdot R_O \cdot (C_{n7} + C_L)} \quad (6.4)$$

baskın olmayan kutupları

6.18

$$f_{nd1} = \frac{g_{m4}}{2 \cdot \pi \cdot C_{n5}} \quad (6.5)$$

$$f_{nd} = \frac{g_{m7}}{2 \cdot \pi \cdot C_{n6}} \quad (6.6)$$

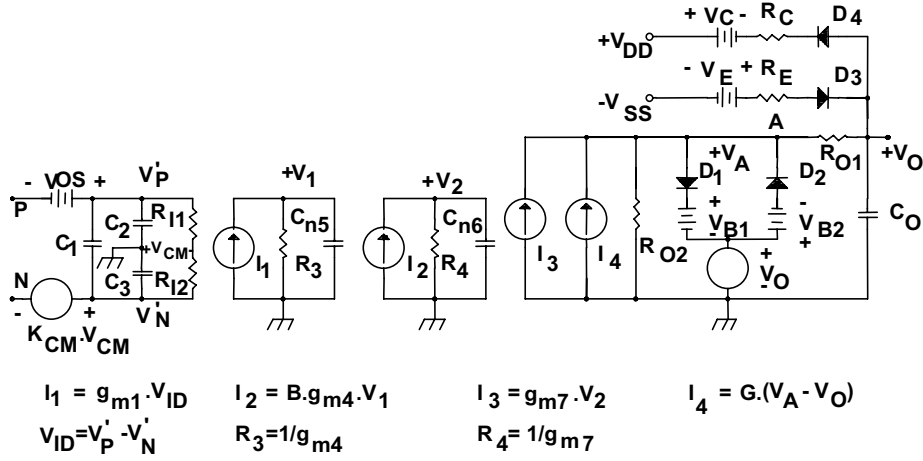
kazanç-band genişliği çarpımı

$$GBW = K_V \cdot f_d \quad (6.7)$$

yükselme eğimi

$$YE = \frac{B \cdot I_A}{C_L + C_{n7}} \quad (6.8)$$

Bu bağıntılarda B büyüklüğü $T_4 - T_6$ ve $T_3 - T_5$ transistörlerinin (W/L) oranlarının birbirine oranını, I_A kutuplama akımını, g_{mi} i numaralı transistörün eğimini, C_{nk} k numaralı düğüme gelen toplam kapasiteyi, (W/L)_i i numaralı transistörün (W/L) oranını göstermektedir.



Şekil-6.8. Simetrik CMOS OTA için makromodel.

OTA yapısını modelleyecek makromodelin, simetrik CMOS OTA'nın V_O çıkış geriliminin ve I_O çıkış akımının dalgalanma aralıklarını, eğimini, ortak ve fark işaret davranışını, frekans eğrisini SPICE MOS modelleri kullanılarak oluşturulan alt devrelerle uyumlu ve yapının gerçek davranışına uygun bir biçimde modellemesi gerekeceği açıktır.

Simetrik CMOS-OTA yapısını modellemek üzere geliştirilen makromodel Şekil-6.8'de görülmektedir. Bu devre geliştirilirken DC akım ve gerilim geçiş eğrilerinin, yapının ortak ve fark işaret özelliklerinin, frekans eğrisinin MOS elemanlarla kurulan altdevrenin özellikleri ile uyumlu olması gözönünde tutulmuştur. Eşdeğer devre 4 alt hücreden oluşmaktadır :

1. giriş hücresi,
2. birinci ara hücre,
3. ikinci ara hücre,
4. çıkış hücresi.

Giriş hücresinde simetriken asimetriğe çevirme işlemi yerine getirilmekte, ayrıca elemanın giriş kapasiteleri, giriş dengesizliği, ortak ve fark işaret özellikleri modellenmektedir. Bu hücrede C_1 ve C_2 elemanları giriş uçları ile toprak ucu arasındaki kapasiteleri, C_3 büyüklüğü giriş uçları arasındaki kapasiteyi, V_{OS} giriş dengesizlik gerilimini ve E_1 büyüklüğü de ortak işaret davranışını temsil etmektedir. R_{11} ve R_{12} dirençleri nümerik analizde ortaya çıkabilecek problemleri gidermek amacıyla giriş uçları ile toprak ucu arasına yerleştirilmişlerdir.

Birinci ara hücre, baskın olmayan f_{nd1} kutbunu belirlemek amacıyla eşdeğer devreye katılmıştır. Şekil-6.4'deki 5 düğümünden ileri gelen bu kutup, $1/g_{m4}$ direnç bileşeni ve bu düğüme gelen C_{n5} toplam kapasitesi yardımıyla belirlenmektedir. Hücrenin kazancı $K_{V1} = v_1/(v_P - v_N) = g_{m1}/g_{m4}$ olmaktadır. Bu kazanç, girişte yer alan fark kuvvetlendiricisinin gerilim kazancına eşdeğerdir.

İkinci ara hücre, akım aynalama düzenine ilişkin baskın olmayan f_{nd2} kutbunu belirlemek üzere oluşturulmuştur. Kutuplama akımının B ile çarpılması, $B \cdot g_{m4} \cdot v_1$ bağımlı akım kaynağı ile temsil edilmektedir. Hücredeki direnç bileşeni ($1/g_{m7}$) şeklinde belirlenmekte, C_{n6} kapasite bileşeni ise Şekil-6.4'deki devredeki 6 numaralı düğüme gelen toplam kapasiteyi göstermektedir.

Çıkış hücresinde, yapının toplam eğimini modellenecek OTA'nın eğimine eşitlemek üzere $g_{m7} \cdot v_2$ bağımlı kaynağı yer almaktadır. R_{O1} ve R_{O2}

dirençleri ile yapının çıkış direnci, C_O büyüklüğü ile de çıkış kapasitesi temsil edilmektedir. Akım sınırlama işleminin modellenebilmesi için R_O çıkış direnci iki parçalı yapılmış, araya D_1 , V_{B1} , V_O , D_2 ve V_{B2} elemanlarından oluşan akım sınırlama düzeni yerleştirilmiştir. $G.(V_O - V_A)$ bağımlı kaynağı, akım sınırlama durumunda $I_O - V_{ID}$ karakteristiğini düzeltmek amacıyla kullanılmıştır. V_C , R_C , D_3 , V_E , R_E ve D_4 elemanları ise yapının gerilim sınırlama özelliğini modellemektedir. Klasik işlemsel kuvvetlendirici makromodellerinden farklı olarak, çıkış hücresinde yer alan diyot elemanları için eşik gerilimi $V_\gamma = 0.5V$, iletim gerilimi ise $V_D = 0.62V$ olarak belirlenmiştir; diyotların I_{Si} doyma akımları bu değerlere göre belirlenmektedir.

Makromodelin temel model parametreleri

$$g_{m1} = [K_n' \cdot (W/L)_1 \cdot I_A]^{1/2} \quad (6.9)$$

$$g_{m4} = [K_p' \cdot (W/L)_4 \cdot I_A]^{1/2} \quad (6.10)$$

$$g_{m5} = B \cdot g_{m4} \quad (6.11)$$

$$g_{m7} = (K_n' \cdot (W/L)_7 \cdot B \cdot I_A)^{1/2} \quad (6.12)$$

$$R_O = \frac{2}{(\lambda_p + \lambda_n) \cdot B \cdot I_A} \quad (6.13)$$

bağıntıları ile verilmektedir. Bu büyüklükler ve bunlara bağlı olarak OTA'nın eğimi, I_A kutuplama akımı değiştirilerek istenen bir değere getirilebilir. Ölçekleme işlemi, OTA'nın model kartında yapılmaktadır.

Modelin tüm parametreleri, gerçek bir OTA üzerinde yapılacak ölçümler, yahut MOS modelleri kullanılarak OTA için yapılacak SPICE simülasyonları yardımıyla aşağıdaki yol izlenerek belirlenebilir:

1. Maksimum çıkış akımını belirleyen I_{S1} , V_{B1} , I_{S2} ve V_{B2} model parametreleri $I_O - (V_P - V_N)$ değişiminden hareketle,

2. Maksimum çıkış gerilimini veren V_C , R_C , V_E , R_E parametreleri ve R_O çıkış direnci $V_O - (V_P - V_N)$ gerilim geçiş eğrisi yardımıyla,
3. C_{n5} ve C_{n6} kapasiteleri $G_m - f$ frekans eğrisinden hareketle,
4. C_O çıkış kapasitesi $K_{Vf} - f$ gerilim kazancı - frekans eğrisinden yararlanılarak,
5. C_1 , C_2 ve C_3 kapasiteleri ise giriş empedansının frekansa bağımlılığından hareketle saptanabilir.

Örnek olarak alınan simetrik CMOS-OTA yapısını modellemek üzere öngörülen makromodelle ilişkin parametre değerleri Tablo-6.6'da verilmiştir.

Geliştirilen makromodel kullanılarak SPICE simülasyonu ile elde edilen DC gerilim geçiş eğrisi, DC akım geçiş eğrisi, eğimin ve gerilim kazancının frekansa bağımlılığını veren eğriler, SPICE LEVEL 2 modeli kullanılarak oluşturulan altdevre yardımıyla yapılan simülasyon sonuçları ile birlikte Şekil-6.9, Şekil-6.10, Şekil-6.11 ve Şekil-6.12'de verilmiştir.

Tablo-6.6. CMOS OTA makromodelinin $I_A = 100 \mu A$ için model parametreleri

eleman	değer	eleman	değer
V_{OS}	59E-3 V	C_4	.06018 pF
V_{B1}	10.7V	R_5	42 k Ω
V_{B2}	13.11V	R_6	31 k Ω
V_C	1.46V	C_L	0.15pF
V_E	1.673V	R_C	2.2 k Ω
R_1	12.0E+12 Ω	R_E	2.2 k Ω
R_2	12.0E+12 Ω	g_{m1}	2.72E-4 A/V
C_1	0.028pF	g_{m5}	3.04E-4 A/V
C_2	0.028pF	g_{m7}	2.42E-4 A/V
C_D	0.153pF	G	2.2E-5 A/V
R_3	12.626 k Ω	K_{CM}	1E-3
C_3	0.338pF		
R_4	4.132 k Ω		

Elde edilen sonuçlar, makromodel yardımıyla yapılan simülasyonun altdevre oluşturularak yapılan simülasyonun sonuçlarıyla uyumlu olduğunu ortaya koymaktadır.

Makromodelin verdiği sonuçların altdevre ile yapılan simülasyonlarla iyi bir uyumluluk göstermesi, buna karşılık makromodelin simülasyon sürelerini önemli derecede kısaltmasının devre tasarımcısına büyük kolaylık sağlayacağı kolayca fark edilebilir. Bu açıdan bakıldığında, makromodelin OTA içeren büyük sistemlerin analizini önemli oranda hızlandıracağı açıktır.

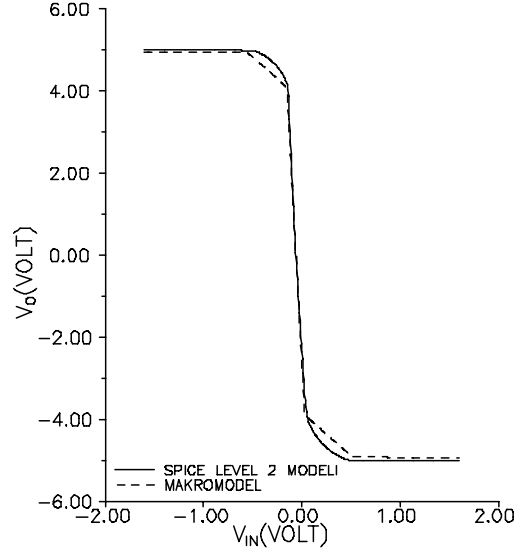
Örnek: CMOS-OTA'larla kurulan dördüncü dereceden bir Butterworth alçak geçiren süzgecinin simülasyonu

Simetrik CMOS-OTA yapılarından yararlanarak köşe frekansı $\omega_p = 2.34 \times 10^6$ rad/sn olan dördüncü dereceden bir Butterworth alçak geçiren aktif süzgeç yapısı oluşturulsun. Aktif süzgecin $V_O - V_I$ DC gerilim geçiş karakteristiği, frekans eğrisi, -3V ile +3V arasında değişen 1 MHz frekanslı bir karedalga işaretine cevabını MOS modeli ve makromodel kullanarak SPICE programı yardımıyla çıkartılsın.

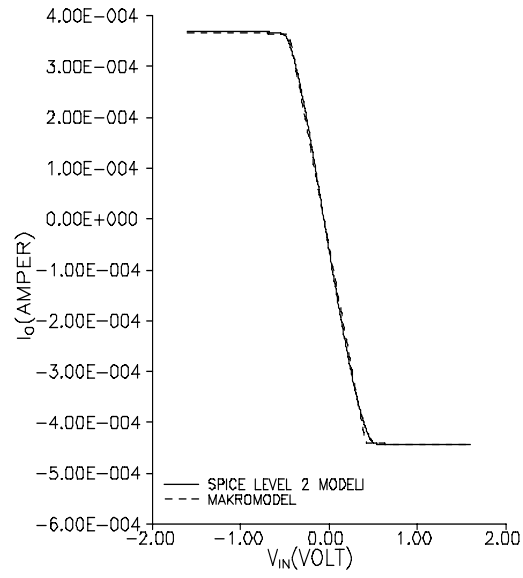
Dördüncü dereceden bir alçak geçiren aktif süzgeç yapısı CMOS OTA-C süzgeci olarak kurulabilir. Devre, iki adet ikinci dereceden alçak geçiren süzgecin ard arda bağlanmasıyla oluşturulmuştur. İkinci dereceden alçak geçiren Butterworth süzgeç hücresinin devre yapısı Şekil-6.13'de verilmiştir. Dördüncü derece süzgecin normalize transfer fonksiyonu

$$H(s) = \frac{1}{(s^2 + 0,765s + 1).(s^2 + 1,848s + 1)} \quad (6.14)$$

biçimindedir. İlk hücrenin değer katsayısı $Q_{p1} = 1.307$, ikinci hücrenin değer katsayısı da $Q_{p2} = 0.541$ değerinde olur. Aktif süzgeci oluşturan OTA'ların tümünün eğiminin eşit alınması devre tasarımcısına kolaylık sağlar. Bu görüşten hareket edilerek, devredeki tüm OTA'lar $I_A = 100\mu A$ 'lik birer kutuplama akımı ile kutuplanmışlardır. Seçilen çalışma noktası için model parametreleri daha

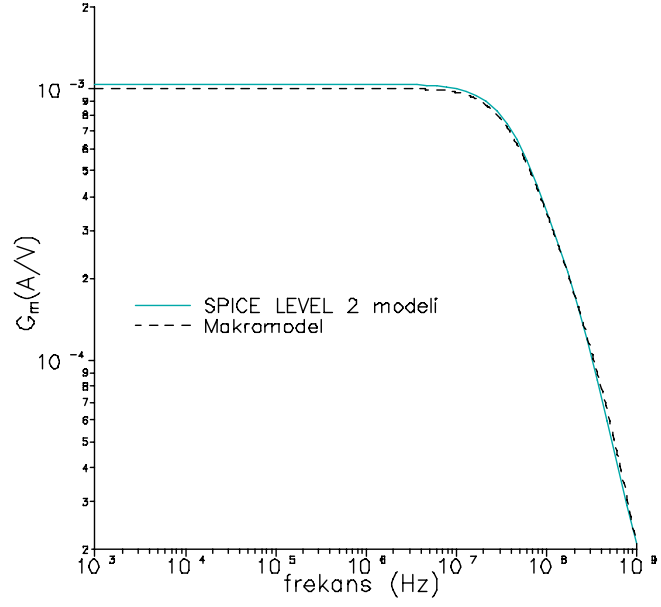


Şekil-6.9. Simetrik CMOS OTA için V_O -($V_P - V_N$) geçiş eğrisi.

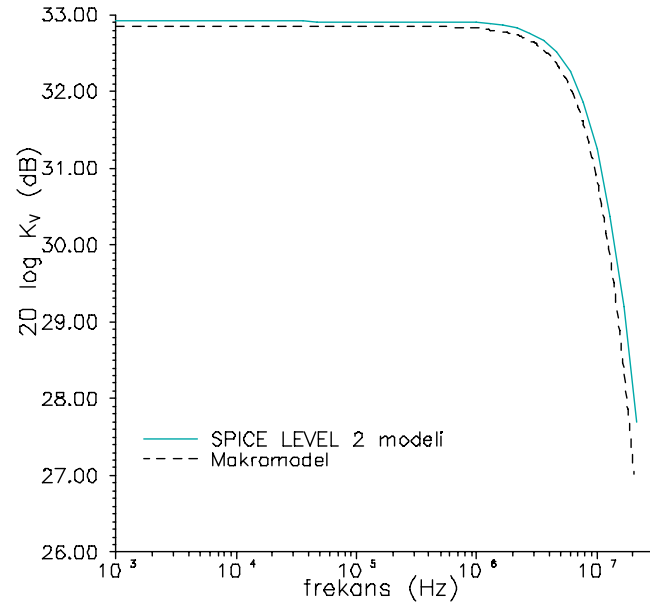


Şekil-6.10. Simetrik CMOS OTA için I_O -($V_P - V_N$) geçiş eğrisi.

6.24

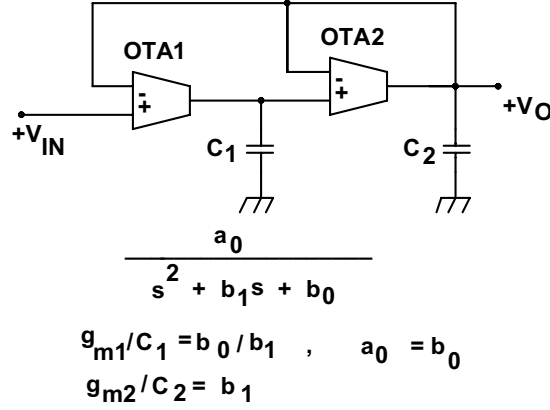


Şekil-6.11. Simetrik CMOS OTA'da G_m geçiş iletkenliğinin frekansa bağımlılığı..



Şekil-6.12. Simetrik CMOS OTA'da K_v gerilim kazancının frekansa bağımlılığı.

önce Tablo-6.6'da verilmiştir. Bu durumda bütün OTA'ların eğimleri eşit ve $G_m = 1.041 \text{ mA/V}$ değerinde olmaktadır.



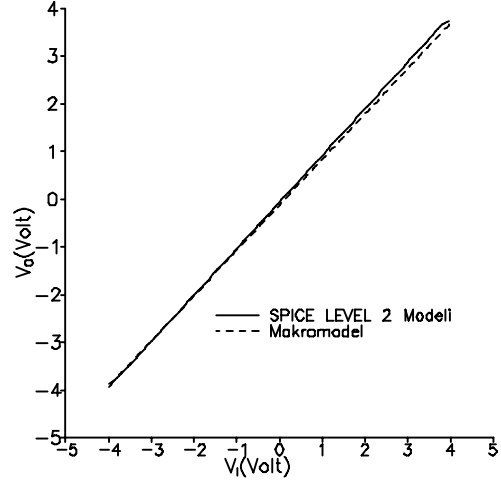
Şekil-6.13. İkinci dereceden alçak geçiren OTA-C aktif süzgeç devresi.

Makromodelle yapılan analizlerin doğruluğunu SPICE eleman modelleri ile yapılan analizlerin sonuçları ile karşılaştırmak amacıyla, eleman modelleri kullanılarak da analiz yapılmıştır. Süzgeç yapısının DC gerilim geçiş eğrisi Şekil-6.14'de, frekans eğrisi Şekil-6.15'de ve zaman domeni cevabı da Şekil-6.16'da görülmektedir. Şekillerden izlenebileceği gibi, elde edilen sonuçlar eleman modeli kullanılarak elde edilen sonuçlarla oldukça uyumludur. Makromodel ve SPICE yarıiletken modelleri kullanılarak yapılan analizler için gereken simülasyon süreleri Tablo-6.7'de verilmiştir. Tablo-6.7'den fark edilebileceği gibi, makromodel kullanılmasıyla simülasyon süresi önemli ölçüde kısaltılmış olmaktadır.

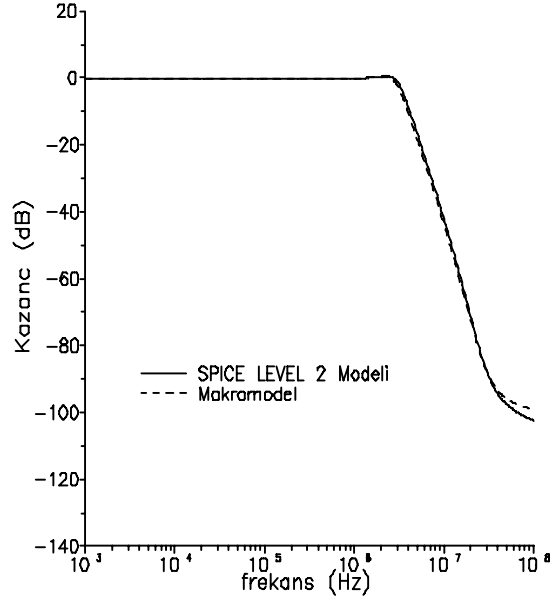
Tablo 6.7. Alt devre ve makromodel için simülasyon süreleri

Analiz tipi	DC	AC	TRAN
makromodel	4.89 sn	8.89 sn	28.61 sn
eleman modeli	14.06 sn	13.79sn	113.31sn

6.26



Şekil-6.14. Dördüncü dereceden alçak geçiren OTA-C aktif süzgecinin DC gerilim geçiş eğrisi.



Şekil-6.15. Süzgecin frekans eğrisi.