

3. MOS İŞLEMSEL KUVVETLENDİRİCİLER

İşlemsel kuvvetlendiriciler, genelde, gerilim kontrollü gerilim kaynağı işlevini yerine getirirler. İdeal işlemsel kuvvetlendiricide gerilim kazancı sonsuz, giriş direnci sonsuz, çıkış direnci sıfır, band genişliği sonsuzdur; sıcaklığa bağımlılık ve distorsiyon sorunları yoktur. Pratikte, bu özelliklere yaklaşılmaya çalışılır. MOS teknolojisiyle gerçekleştirilen işlemsel kuvvetlendirici yapılarında temel özellikler:

1. Kazanç $K_d = 100... 10^5$ (40dB-100dB)
2. Sınırlı lineerlik bölgesi: $V_O = K_d \cdot (V_P - V_N)$ lineer bağıntısı V_O çıkış geriliminin sınır değerleri arasında, başka bir deyişle V_{DD} nin biraz altı ile $-V_{SS}$ nin biraz üstü arasında geçerli.
3. Dengesizlik gerilimi MOS yapılarda 5 - 15 mV mertebesinde,
4. Kazanç-band genişliği çarpımı 1 - 10 MHz ,
5. Yükselme eğimi 1 - 20 V/ μ s,
6. Çıkış direnci açık çevrimde 0.1 Ω -5k Ω değerleri arasında,
7. Gürültü gerilimi 10 - 50 μ V (bipolarda 3-5 μ V).
8. Besleme kaynağındaki değişimleri bastırma 60-80dB
9. Dinamik aralığı 90dB

başlıkları altında özetlenebilir.

MOS işlemsel kuvvetlendiricilerin performansı klasik bipolar yapılara göre farklılık gösterir. En önemli temel fark, MOS yapılarda kuvvetlendiricilerin yükünün tam olarak belirlenmiş ve kapasitif olmasıdır. Bu kapasitif yük, genelde, birkaç pF mertebesinde.

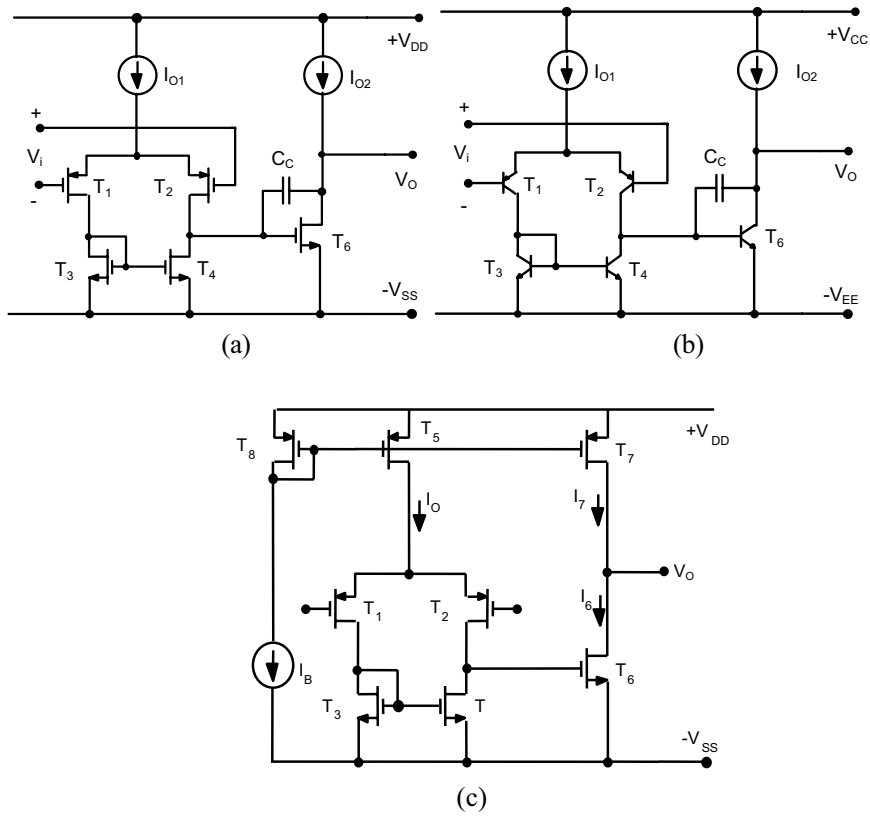
3.1. CMOS işlemsel kuvvetlendirici

Temel CMOS işlemsel kuvvetlendirici yapısı Şekil-3.1a'da verilmiştir. Bu yapı, Şekil-3.1b'de verilen ve bipolar tekniğinden bilinen iki kazanç katlı işlemsel kuvvetlendirici yapısına karşı düşer.

MOS işlemsel kuvvetlendirici tasarımında yapının performansını olumsuz yönde etkileyebilecek temel özellikler:

3. 2

1. Kazancın sonlu olması,
 2. Lineerlik bölgesinin sonlu olması,
 3. dengesizlik gerilimi,
 4. frekans eğrisi,
 5. gürültü
- alt başlıkları altında sıralanabilir.



Şekil-3.1. a) İki kazanç katlı CMOS işlemsel kuvvetlendirici, b) yapının bipolar tekniğindeki karşılığı, c) gerçekleştirme devresi

Devrenin açık çevrim kazancı, kazanç katları için verilen yöntemle kolayca hesaplanabilir. MOS tranzistorun giriş direncinin çok yüksek olması nedeniyle ilk kat ikinci kat tarafından yüklenmez. Gerilim kazancı iki katın kazançları ayrı ayrı hesaplanarak bulunabilir. İlk katın gerilim kazancı hesaplanırsa

$$K_{V1} = \frac{g_{m1}}{g_{o2} + g_{o4}} \quad (3.1)$$

bulunur. Burada g_{m1} giriş tranzistorlarının eğimi, g_{o2} ve g_{o4} de tranzistorların çıkış iletkenlikleridir. Benzer şekilde hareket edilirse, ikinci katın kazancı da

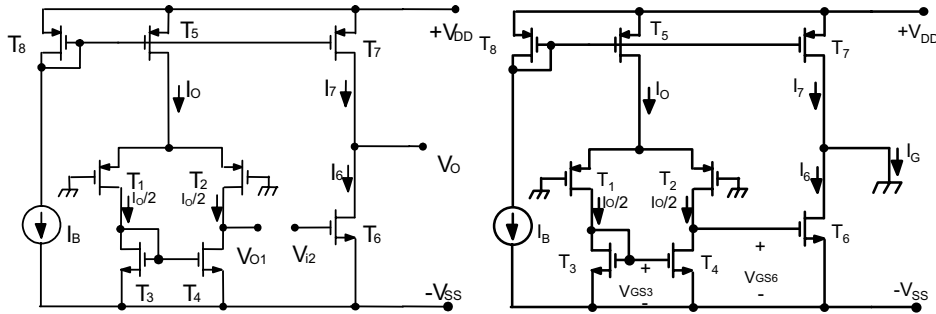
$$K_{V2} = -\frac{g_{m6}}{g_{o6} + g_{o7}} \quad (3.2)$$

olarak elde edilir. Toplam kazanç bu iki kazancın çarpımı olur. Bu tür yapılar birkaç bin mertebesinde gerilim kazancı sağlanması istenir. her bir kat 50 civarında kazanç sağlar. Bu tür yapılar genellikle anahtarlanmış kapasiteli süzgeçlerde kullanılırlar ve bu civardaki kazanç söz konusu uygulama alanı için yeterli olur.

3.1.1. CMOS işlemsel kuvvetlendiricilerde dengesizlik

CMOS işlemsel kuvvetlendiricilerde çıkışı sıfıra getirecek dengesizlik geriliminin iki bileşeni bulunur. Bunlardan birincisi, uygun olmayan boyut ve kutuplama nedeniyle ortaya çıkan sistematik dengesizlik, ikincisi ise imalat toleranslarından kaynaklanan rastgele dengesizliktir.

Sistematik dengesizlik



Şekil-3.2. CMOS işlemsel kuvvetlendiricide sistematik dengesizlik

3. 4

MOS işlemsel kuvvetlendiricilerde kat başına sağlanan gerilim kazancı düşüktür, dolayısıyla ikinci kat da dengesizlik üzerine etkilidir. İlk katın girişleri Şekil-3.2'de gösterilen biçimde referans noktasına bağlansın, yani topraklansın. $T_1 - T_5$ tranzistorları ile kurulmuş olan giriş fark kuvvetlendiricisi asimetrik çıkışlı, yapının T_6-T_7 tranzistorlarıyla kurulmuş bulunan çıkış katı da yine asimetrik çıkışlıdır ve T_7 tranzistoru aktif yük görevini üstlenmektedir. İdeal durumda her iki giriş ucunun da toprak potansiyelinde bulunması nedeniyle, V_O çıkış gerilimin ve buna bağlı olarak I_G akımının sıfır, dolayısıyla da T_6 ve T_7 tranzistorlarının savak akımlarının $I_6 = I_7$ olması gerekir.

Yapıda, aynı geçit-kaynak gerilimi altında aynı savak akımı aktığından, T_4 tranzistorunun savağındaki gerilim T_3 tranzistorunun savak gerilimine eşit olur. Dolayısıyla her iki tranzistorun V_{DS} gerilimleri aynıdır. Bu gerilim ise T_6 tranzistorunun V_{GS} geçit-kaynak gerilimine eşittir. Oysa, T_6 tranzistorunun çıkış gerilimini sıfır yapmak üzere gereksinme gösterdiği geçit gerilimi bundan farklı olabilir. Bu nedenle, T_3 , T_4 ve T_6 nin akım yoğunlukları, bu üç elemenda aynı olacak biçimde W/L oranlarının seçilmesi zorunlu olur.

Devrede denge durumunda

$$(W/L)_1 = (W/L)_2 \text{ ve } (W/L)_3 = (W/L)_4$$

$$V_{DS3} = V_{DS4}$$

olduğundan tüm akım ve gerilimler simetriktir.

$$V_{GS3} = V_{GS6}$$

ise

$$I_6 = I_7, I_G = 0 \text{ ve } V_{DS6} = 0 - (-V_{SS}) = V_{SS}$$

olur. Bu şart yerine gelmiyorsa

$$I_G \neq 0$$

olur ve bir dengesizlik oluşur. Bu dengesizlik sistematik dengesizlik olarak isimlendirilir. V_{GS6} 'nın çıkışı sıfıra getiren değerini V_{GS6M} ile gösterelim. Böylece giriş dengesizlik gerilimi

3.5

$$V_{OS} = \frac{V_{GS6} - V_{GS6M}}{K_d} = \frac{V_{GS3} - V_{GS6M}}{K_d}$$

biçiminde ifade edilebilir. Bu bağıntıda K_d giriş katının fark işaret kazancını göstermektedir. Elemanların doymada oldukları varsayılır ve kanal boyu modülasyonu da ihmal edilirse

$$V_{GS3} = V_{DS3} = V_{GS4} = V_{DS4} = V_{TN} + \sqrt{\frac{2 \cdot \left(\frac{I_O}{2}\right)}{k_n' \cdot (W/L)_3}}$$

yazılabilir. Benzer şekilde T_6 için

$$V_{GS6} = V_{TN} + \sqrt{\frac{2 \cdot I_6}{k_n' \cdot (W/L)_6}}$$

elde edilir. $I_6 = I_7$ ve $V_{GS6} = V_{GS3}$ olması gerektiğinden

$$V_{GS3} = V_{TN} + \sqrt{\frac{2 \cdot I_7}{k_n' \cdot (W/L)_6}}$$

olur. Böylece

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(I_O/2)}{I_7}$$

şartı elde edilir. T_5 ve T_7 tranzistorlarının geçit-kaynak gerilimleri birbirine eşittir. Kanal boyu modülasyonunun da ihmal edilebileceği gözönünde tutulursa

$$\frac{(W/L)_5}{(W/L)_7} = \frac{I_O}{I_7}$$

bulunur. Bütün bunların biraraya getirilmesiyle

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \cdot \frac{(W/L)_5}{(W/L)_7} = \frac{I_O}{2 \cdot I_7} \quad (3.3)$$

şartı elde edilir.

3.6

Rastgele dengesizlik

Rastgele dengesizlik, tranzistorların eşik gerilimleri ve W/L oranları arasında imalat toleransları nedeniyle ortaya çıkan farklılıktan ileri gelir. $T_1 - T_2$ giriş tranzistorlarının ve $T_3 - T_4$ yük tranzistorlarının geometrisindeki (W/L oranlarındaki) toleranslar nedeniyle aynı kutuplama şartları altında bu tranzistorların savak akımları, yahut prosesteki farklılıklar nedeniyle aynı savak akımı için gereken kutuplama gerilimleri, dolayısıyla eşik gerilimleri farklı olabilir.

İlk önce T_3-T_4 yük tranzistorlarının akımlarının aynı kutuplama şartları altında farklı oldukları varsayalım. Bu durumda, tranzistorların akımları

$$I_3 = \frac{I}{2}(1 - \varepsilon_1) \cdot I_O \neq I_4 = \frac{I}{2} \cdot (1 + \varepsilon_1) \cdot I_O$$

olur. Bu dengesizliği düzeltmek için devrenin girişine uygulanması gereken fark giriş gerilimi

$$V_{OS1} = \frac{\varepsilon_1 \cdot I_O}{g_{mi}} \quad (3.4)$$

değerindedir. Giriş dengesizlik geriliminin V_{OS1} bileşenini azaltmak üzere giriş tranzistorlarının eğimlerinin artırılması yahut I_O kutuplama akımının azaltılması gerekir.

İkinci adımda giriş elemanlarının boyutları ve eşik gerilimleri dengesiz, yük elemanları ise dengeli olsun. Buna göre

$$(W/L)_1 = (1 - \varepsilon_2) \cdot (W/L)_2$$

$$V_{T1} = V_{T2} - \Delta V_T$$

yazılabilir. Eşik gerilimlerinin dengesizliğini gidermek üzere ΔV_T farkı kadar bir dengesizlik geriliminin girişe uygulanması gerekli olur. Böylece giriş dengesizlik geriliminin bu ikinci bileşeni

$$V_{OS2} = \Delta V_{Ti} \quad (3.5)$$

biçiminde ifade edilebilir. Giriş tranzistorlarındaki geometrik dengesizlikten ileri gelen dengesizlik için

3.7

$$\Delta I_1 = -\varepsilon_2 \cdot I_1 = -\varepsilon_2 \cdot \frac{k_1}{2} \cdot (V_{GS1} - V_{T1})^2$$

$$V_{OS3} = \frac{\varepsilon_2 \cdot I_0}{g_{mi}} \quad (3.6)$$

yazılabilir. Bağıntıdan fark edilebileceği gibi, V_{OS3} bileşeni, V_{OS1} bileşeninde olduğu gibi, $(W/L)_1$ oranı artırılarak veya I_0 kutuplama akımı azaltılarak küçültülebilir. Her iki etken de $(V_{GS1} - V_{T1})$ farkını azaltacak yönde etkisini gösterir. ΔV_T farkı ise I_0 kutuplama akımı ve $(W/L)_1$ oranından bağımsızdır.

Yük tranzistorlarının eşik gerilimleri arasında oluşacak bir fark da giriş dengesizlik gerilimi üzerine etkili olur. Bu dengesizliği düzeltmek için girişe uygulanacak dengesizlik bileşeni

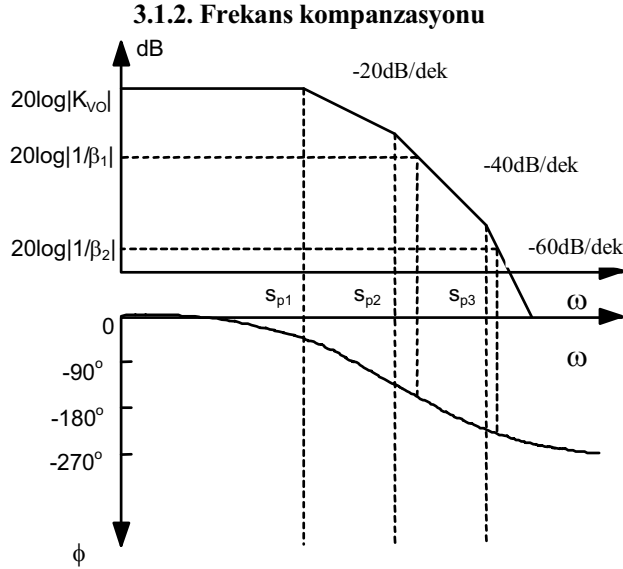
$$V_{OS4} = \frac{\Delta V_{T3-4}}{K_{d1}} = \Delta V_{T3-4} \cdot \left(\frac{g_{m3}}{g_{m1}} \right) \quad (3.7)$$

şeklinde ifade edilebilir.

Bütün bunların biraraya getirilip düzenlenmesiyle rastgele dengesizliğe ilişkin dengesizlik gerilimi için

$$V_{OS} = \Delta V_{T1-2} + \Delta V_{T3-4} \cdot \left(\frac{g_{m3}}{g_{m1}} \right) + \frac{(V_{GS} - V_T)_{1-2}}{2} \cdot \left[\frac{\Delta(W/L)_{1-2}}{W/L_{1-2}} - \frac{\Delta(W/L)_{3-4}}{W/L_{3-4}} \right] \quad (3.8)$$

bağıntısı elde edilir. Bu bağıntıda ilk terim giriş tranzistorları eşik gerilimleri arasındaki dengesizliği, ikinci terim yük elemanları eşik gerilimleri arasındaki dengesizliği vermektedir. W/L oranlarının uygun seçilip yük tranzistorlarının eğimleri giriş tranzistorlarının eğimlerinden küçük tutulursa, yük elemanlarının eşik gerilimlerinden ileri gelen dengesizlik terimi minimize edilebilir. Üçüncü terim ise giriş tranzistorları ve yük tranzistorlarına ilişkin W/L oranları arasındaki dengesizliğini vermektedir. Giriş tranzistorlarının düşük bir $(V_{GS} - V_T)$ farkı ile çalıştırılmasıyla, bu terimi minimize etmek mümkündür. Pratikte $(V_{GS} - V_T)$ farkı 50mV ile 100mV mertebesinde tutulur.



Şekil-3.3. İşlemsel kuvvetlendiricinin açık çevrim kazanç-frekans ve faz-frekans karakteristiği.

İşlemsel kuvvetlendiriciler, genellikle, negatif geribesleme uygulanarak çalıştırılırlar. Negatif geribesleme ile çalışmada en önemli sorun **kararlılık** sorunudur. İdeal işlemsel kuvvetlendiricide band genişliğinin sonsuz ve bu nedenle kuvvetlendiriciye osilasyon tehlikesi olmaksızın istenildiği kadar negatif geribesleme uygulanabilmesine karşılık, gerçek bir işlemsel kuvvetlendiricide durum değişiktir. Gerçek işlemsel kuvvetlendiricinin frekans band genişliği sonsuz değildir ve açık çevrimde çalışmada transfer fonksiyonunun yüksek frekanslar bölgesinde kutupları vardır. Gerçek işlemsel kuvvetlendiricinin genlik-frekans ve faz frekans eğrileri Şekil-3.3'de görülmektedir.

Uygulanan bir negatif geribeslemenin frekans eğrisini ne şekilde etkileyeceği, yine Şekil-3.3 üzerinde gösterilmiştir. β_1 kadar bir geribesleme uygulanması durumunda $\beta.K \gg 1$ ise geribeslemeli durumdaki kazanç $1/\beta_1$ olur. Devrenin kararlı kalabilmesi için uygulanan negatif geribeslemenin hiçbir şekilde pozitif dönmemesi, başka bir deyişle kazanç 0 dB değerine ulaşana kadar hiç bir frekansta faz dönmesinin 180° olmaması gereklidir. Kazanç 0 dB değerini aldığı anda faz dönmesini 180° değerine tamamlayan değere faz payı adı verilir. Faz dönmesinin 180° olduğu frekansta kazancın 0dB ile olan farkına da kazanç payı

3. 9

ismi verilmektedir. Sistemin kararlı kalabilmesi için bu iki büyüklüğün de pozitif olması gereklidir.

β_1 kadar bir geribesleme uygulanması durumunda, şekilden de fark edilebileceği gibi, faz dönmesi 180° den az olur ve devre kararlı kalır.

β_2 kadar bir geribesleme uygulanması durumunda ise kesim frekansında faz dönmesi 180° den büyük olur ve devre osilasyon yapar, yani kararsız olur. $\beta.K_V$ çarpımına sistemin çevrim kazancı adı verilir. Devrenin kararlı olabilmesi için çevrim kazancının faz payının artırılması gerekir. Bu işleme **frekans kompanzasyonu** adı verilir. Kompanzasyon yapılmadan, devrenin kazancı $K_{Vf} < 1/\beta_x$ yapılamaz, kuvvetlendirici osilasyon yapar.

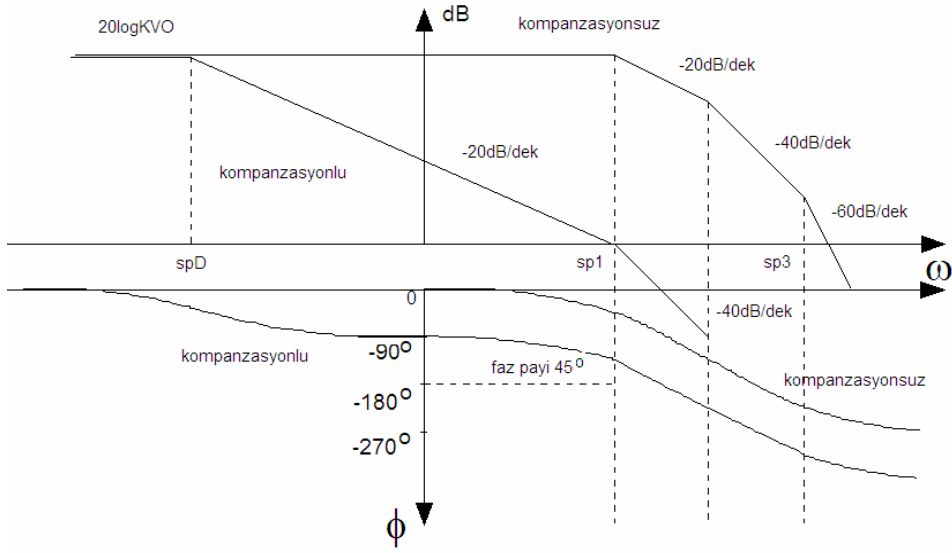
Frekans kompanzasyonu için en basit yöntem yapının band genişliğini daraltmaktır. Bunun için transfer fonksiyonuna bir düşük frekanslı bir baskın kutup yerleştirilir, böylece çevrim kazancı $\beta.K_V = 1$ iken faz kaymasının 180° 'den küçük tutulması sağlanmış olur. En zor durum $\beta=1$ durumudur ki, bu durumda çevrim kazancı devre kazancına eşit olur. Kompanzasyonlu devre için elde edilen kazanç-frekans ve faz-frekans eğrileri Şekil-3.4'de verilmiştir. Şekilden görülebileceği gibi, yapılan kompanzasyonla frekans eğrisinin en düşük açık çevrim kutbu frekansı olan ω_{p1} açısız frekansına kadar -20 dB/dekat yahut 6 dB/okt'luk bir eğimle düşmekte ve bu bölgede faz -90° olmaktadır. Kompanzasyonlu durumdaki baskın kutup öyle seçilir ki, ω_{p1} de kazanç 1 , yani 0 dB, olur. Faz payı 45° olduğundan, sistem kararlı kalır. Buna göre, kompanzasyonlu devrenin açık çevrim baskın kutbu

$$|s_{pD}| = \frac{1}{K_V} \cdot |s_{p1}| \quad (3.9)$$

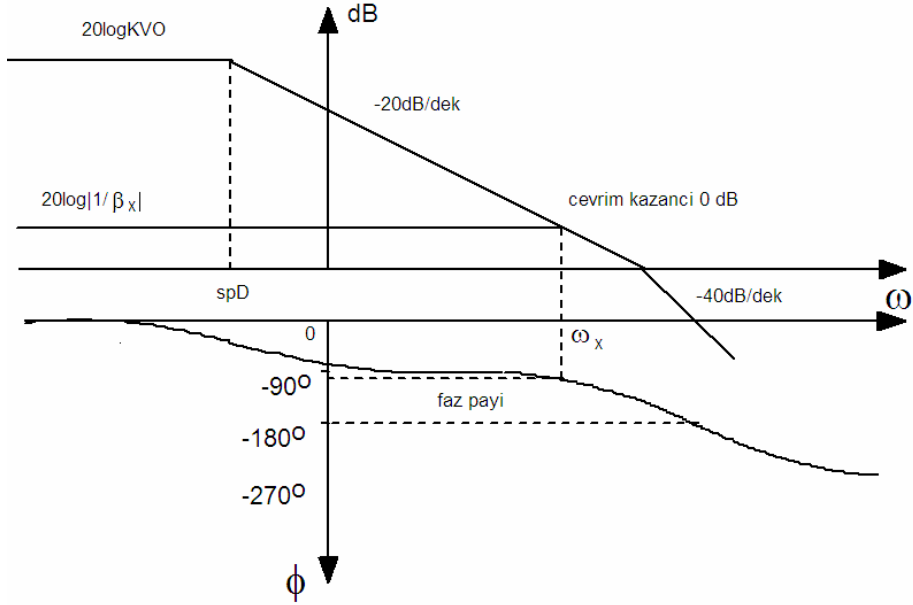
biçiminde yazılabilir.

Baskın kutbu s_{pD} olacak şekilde kompanze edilmiş ve frekans eğrisi Şekil-3.4'deki biçimde değişen bir kuvvetlendiriciye $K_{Vf} > 1$ olacak şekilde geribesleme uygulansın. Bu durumda elde edilecek frekans eğrisi Şekil-3.5'de verilmiştir. ω_x açısız frekansında çevrim kazancı 1 olur. Faz payı ise 90° dir. Devrenin -3 dB düşme noktası band genişliği ω_x olduğuna göre, devreye gerekenden fazla kompanzasyon uygulanmış ve band genişliğinin fazlaca daraltılmış olduğu kolayca fark edilebilir. Bunun başlıca nedeni, devrenin birim kazanç band genişliğine göre kompanze edilmiş, ancak daha yüksek

3. 10



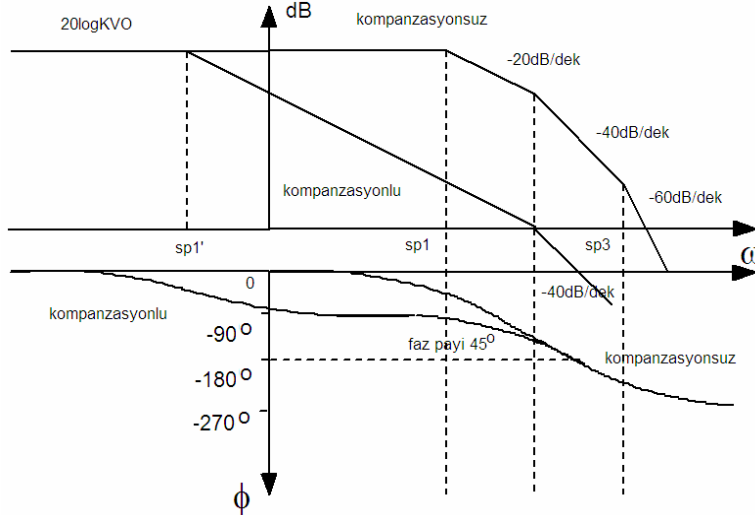
Şekil-3.4. Kompanzasyonlu durumda kazanç-frekans ve faz-frekans eğrileri.



Şekil-.3.5. $K_{vT} > 1$ olması durumu.

3. 11

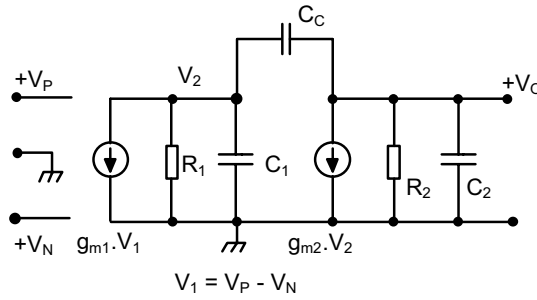
kazançta kullanılıyor olmasıdır. Genel amaçlı işlemsel kuvvetlendiricilerde frekans kompanzasyonu dışarıdan uygulanarak çeşitli kazanç değerleri için esneklik sağlanır. Tümdevre tekniğinde ise, özellikle geniş çapta tümleştirme söz konusu olduğunda bu yola başvurma olanağı bulunmamaktadır; zira dışarıdan eleman bağlanması söz konusu değildir. Daha etkin bir yöntem, önceki yapılarda yapıldığı gibi devrenin orijinal kutuplarına dokunulmadan transfer fonksiyonuna baskın kutup eklenmesi yerine, en düşük açık çevrim kutbu s_{p1} 'in devreye eklenecek bir ek kondansatör yardımıyla düşük frekanslar bölgesine kaydırılması yöntemidir. Bunun için s_{p1} kutbunun hangi elemanlar tarafından belirlendiğinin bilinmesi gerekmektedir. Daha yüksek frekanslı s_{p2} ve s_{p3} kutupları ise yapılan işlemten etkilenmezler. Kullanılacak kompanzasyon kondansatörü de genellikle bir MOS kapasite olarak kolaylıkla gerçekleştirilebilir. Bu durumda frekans eğrisi kompanzasyonsuz haldeki ikinci kutba, s_{p2} kutbuna, kadar -20dB/dek yahut -6dB/okt 'lık bir eğimle düşmekte ve bu kutba ulaşıldığında kazanç 1 değerini, faz payı ise 45° değerini almaktadır. Bu durumda elde edilen frekans ve faz eğrileri Şekil-3.6'da verilmiştir. Şekilden fark edilebileceği gibi, bu yöntemin uygulanmasıyla, önceki duruma göre daha büyük bir band genişliği elde edilmektedir. Daha büyük band genişliğine gereksinme duyulması durumunda ise, ileride ele alınacak olan özel ve yüksek performanslı işlemsel kuvvetlendirici yapılarından yararlanılmaktadır.



Şekil-3.6. Kutup kaydırma yöntemi.

3. 12

Genel amaçlı kullanılmada frekans kompanzasyonu için başvurulan en yaygın yol, frekans eğrisinin en düşük açık çevrim kutbuna kadar -20dB/dek'lık eğimle düşmesini sağlamaktır. Bunun için genellikle ikinci kazanç katının giriş ve çıkış uçları arasında bir kompanzasyon kapasitesi bağlanır. Böylece, negatif kazançlı bu ikinci kazanç katı bir integratöre dönüştürülmüş olur. Yapı Miller integratörü oluşturduğundan, bu kompanzasyon Miller kompanzasyonu olarak isimlendirilmektedir.



Şekil-3.7. İki kazanç katlı işlemsel kuvvetlendiricinin küçük işaret eşdeğer devresi.

Ele alınan iki katlı işlemsel kuvvetlendirici yapısının frekans analizi küçük işaret eşdeğer devresi yardımıyla yapılabilir. Küçük işaret eşdeğer devresi Şekil-3.7' de verilmiştir. Devrenin yüksek frekanslar bölgesinde iki kutbu ve sağ yarı düzlemde bir sıfırı vardır. Sıfır ve kutuplar

$$s_0 = \frac{g_{m2}}{C_C} \quad (3.10)$$

$$s_1 = \frac{-1}{(1 + g_{m2} \cdot R_2) \cdot C_C \cdot R_1} \quad (3.11)$$

$$s_2 = \frac{-g_{m2} C_C}{C_2 C_1 + C_2 C_C + C_C C_1} \quad (3.12)$$

şeklindedir. Bu sonuç bipolar tranzistorlu devreler için de geçerlidir. Ancak, eleman özellikleri açısından ele alındığında, iki yapı arasında belirgin farklar ortaya çıkar. Bipolar yapıda s_{p2} ve s_0 nun değerleri, eğimin yüksek olmasının bir sonucu olarak, yüksektir ve bunların getirdiği faz kayması işlemsel kuvvetlendiricinin birim kazanç band genişliği frekansında ihmal edilebilir. MOS tranzistorlu devrelerde ise böyle

3. 13

değildir. MOS tranzistorun eğiminin düşük olması nedeniyle sorun çıkar. s_{p2} ve s_0 işlemsel kuvvetlendiricinin $\omega_1 = g_{m1}/C_C$ birim kazanç band genişliğine daha yakın olurlar. $C_1 \ll C_C$ ve C_2 şartı altında

$$\frac{s_2}{\omega_1} = \frac{g_{m2} \cdot C_C}{g_{m1} \cdot C_2}$$

$$\frac{s_0}{\omega_1} = \frac{g_{m2}}{g_{m1}}$$

olur. Sağ yarıdüzlemdeki sıfır birim kazanç band genişliğine iki katın eğimlerinin oranıyla bağlıdır.

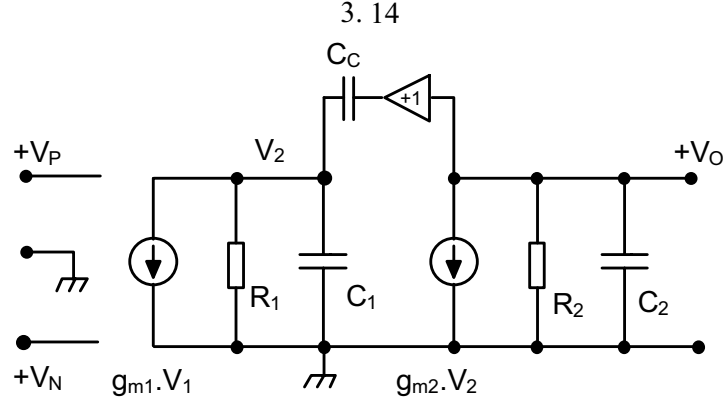
Fiziksel olarak kompanzasyon kapasitesi yüksek frekanslarda doğrudan doğruya ileri yönde bir işaret yolu oluşturur ve ikinci kat tranzistorunun geçidi ile savak ucunu kısa devre ederek bu tranzistoru diyot bağlı tranzistora dönüştürür. C_1 ve C_2 nin etkisi ihmal edilirse, alçak frekanslarda integratör işlevini yerine getiren ikinci kat tranzistoru, yüksek frekanslarda kompanzasyon kapasitesinin etkisiyle diyot bağlı tranzistor biçiminde ilk kata yük olarak gelir. Bunun direnci $1/g_{m2}$ olduğundan, yüksek frekanslarda kazanç g_{m1}/g_{m2} biçimini alır. Bu kazancın işareti alçak frekanslardaki kazancınkinin tersidir; bu nedenle ,uygulanan kompanzasyon, herhangi bir negatif geribeslemeyi pozitif geribeslemeye çevirir.

Sorunu gidermek üzere bir yaklaşım, çıkıştan geriye doğru kompanzasyon kapasitesi yolu üzerine bir kaynak izleyici koymak, böylece ileri yönde geçişi engellemektir. Ancak, bu yöntem fazla eleman ve kutuplama akımı gerektirir. Böyle bir yapı örneği Şekil-3.8'de verilmiştir.

Daha basit bir yöntem, kompanzasyon kapasitesine seri bir sıfırlama direnci getirmektir. Bu yöntemin uygulanması, Şekil-3.9'da gösterilmiştir. Bu durumda devrenin sıfırı

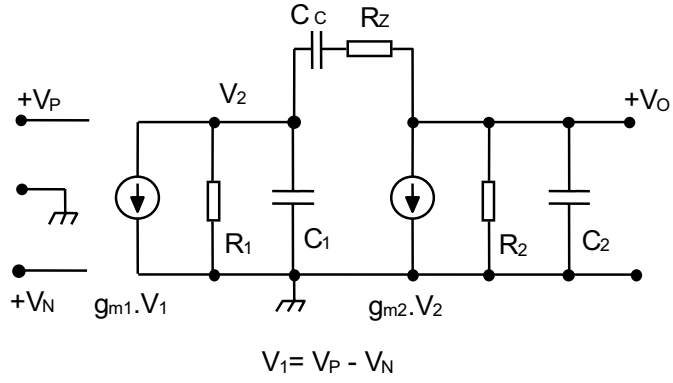
$$s_0 = \frac{I}{C_C \cdot \left[\frac{I}{g_{m2}} - R_Z \right]} \quad (3.13)$$

bağıntısıyla verilmektedir. Bu bağıntıya göre, $R_Z = 1/g_{m2}$ yapıldığında, sıfır sonsuza kayar ve etkisi giderilir. R_Z daha da arttırılırsa, sıfır sol yarıdüzleme kayar ve kuvvetlendiricinin faz payını iyileştirir.

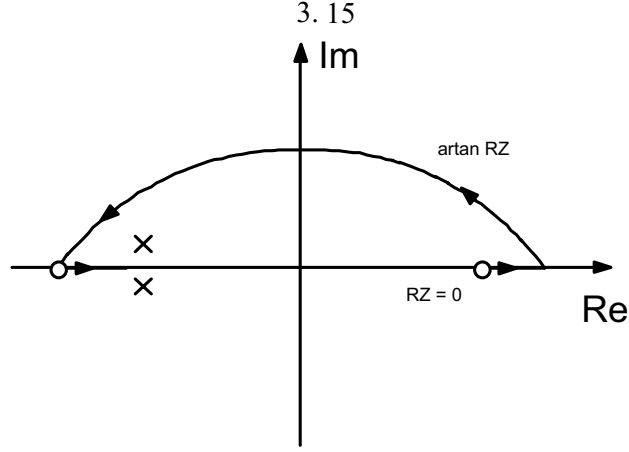


Şekil-3.8. Kompanzasyon yolu üzerine kaynak izleyici yerleştirilmesi.

Diğer bir sorun kapasitif yüklenme sorunudur. Bu durumda baskın olmayan kutup ikinci katın eğiminin ilk katın eğimine oranına ve yük kapasitesinin kompanzasyon kapasitesine oranına bağlıdır. İlk ve ikinci kat eğimleri benzer ve yük kapasitesi ile kompanzasyon kapasitesi aynı mertebede ise, birim kazançta faz payı azalır.

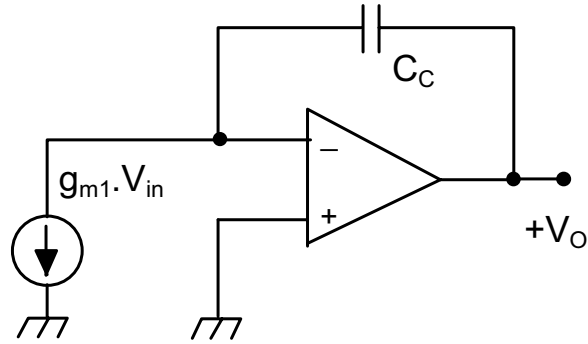


Şekil-3.9a. Sıfırlama direnci.



Şekil-3.9b. Sıfırlama direncinin sıfıra etkisi

3.1.3. Kompanze edilmiş CMOS İşlemsel kuvvetlendiricinin geçici hal cevabı, yükselme eğimi



Şekil-3.10. Yükselme eğimini incelemek için kullanılan model.

İşlemsel kuvvetlendirici, kompanzasyonlu durumda, $\omega_{PD} \ll \omega \ll \omega_{P1}$ aralığında çalıştırılın. Bu aralıkta kuvvetlendiricinin giriş katı frekanstan bağımsız bir gerilim kontrollü akım kaynağı, ikinci kat ise C_C kompanzasyon kapasitesi giriş ile çıkış uçları arasında bağlanmış ve davranışı frekanstan bağımsız olan ideal bir kuvvetlendirici ile temsil edilerek modellenebilir. Bu yoldan hareket edilerek oluşturulan model, Şekil-3.10 da verilmiştir. Devreden hareket edilirse V_O çıkış gerilimi için

$$V_o(s) = \frac{g_{mi}}{s \cdot C_C} \cdot V_{IN}(s) \quad (3.14)$$

bağıntısı elde edilir. $j\omega$ domenine geçilirse, devrenin kazancının modülü

$$K_V(j\omega) = \frac{g_{mi}}{j\omega C_C} \quad (3.15)$$

olur. $s_{p2} \gg \omega_1$ şartı altında birim kazanç band genişliği

$$\omega_1 = \frac{g_{mi}}{C_C} \quad (3.16)$$

olur. Yapının transfer fonksiyonu

$$K_V(s) = \frac{K_O}{1 - \frac{s}{s_{p1}}} \quad (3.17)$$

biçiminde ifade edilebilir. Bu şekilde modellenen işlemsel kuvvetlendirici evirici yapısı içine alınarak yükselme eğimi incelensin. Devrenin girişine

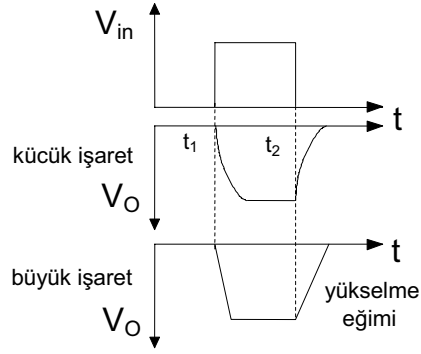
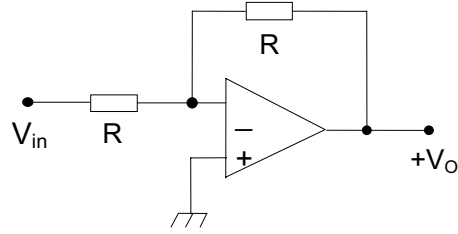
$$v_{in}(t) = V_I \cdot u(t)$$

şeklinde bir basamak gerilimi uygulansın. Bu durumda elde edilecek çıkış işareti

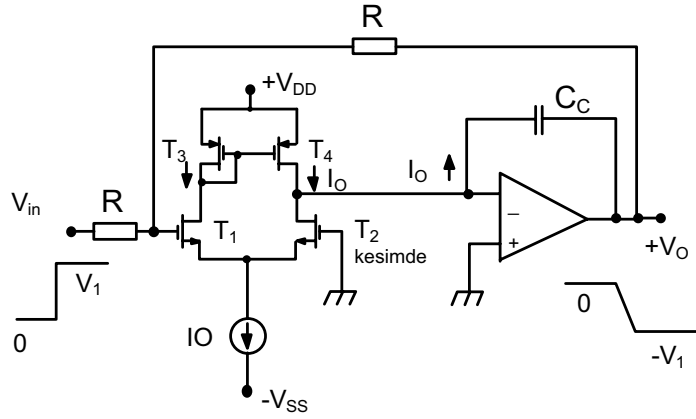
$$v_o(t) = -V_I \cdot u(t) \cdot K_O \cdot \left[1 - \exp\left(-\frac{t}{\tau}\right) \right] \quad (3.18)$$

olur. Bağıntıdan fark edilebileceği gibi, girişe küçük genlikli bir basamak işareti uygulanması durumunda çıkış işareti üstel bir değişim göstermektedir. Girişe büyük genlikli bir işaret uygulanması durumunda ise doğrusal (sabit eğimli) bir yükselme ve düşme elde edilir. Başka bir deyişle, çıkış işaretinin değişim hızının alabileceği maksimum bir değer bulunmaktadır ve çıkış işareti en fazla bu hızla değişebilir. Çıkış işaretinin maksimum değişim hızı **yükselme eğimi** olarak isimlendirilir. Çıkış işaretinin küçük ve büyük genlikli giriş işaretleri için ne şekilde değişeceği Şekil-3.11 'de gösterilmiştir. Yükselme eğimi, işlemsel kuvvetlendiricinin çalıştırıldığı devre yapısına göre farklılık gösterebilir. Bu bölümde, iki kazanç katlı kuvvetlendirici yapısının faz döndüren kuvvetlendirici ve gerilim izleyici olarak çalıştırılması durumları ele alınacaktır.

3.17



Şekil-3.11. Çıkış işaretinin küçük ve büyük genlikli işaretler için değişimi.



Şekil-3.12. Faz döndüren kuvvetlendirici.

Faz döndüren kuvvetlendirici yapısı içinde yer alan işlemsel kuvvetlendirici bloku Şekil-3.12'de verilmiştir. V_{IN} giriş gerilimi 0 iken T_1 ve T_2 transistörleri eşit

gerilimlerle kutuplanmışlardır, bu nedenle bu tranzistorların akımları da birbirine eşit ve $I_O/2$ değerinde olurlar. Girişe şekilde gösterilen yönde büyük genlikli bir basamak işareti uygulandığı varsayılınsın. Bu durumda T_1 tranzistoru iyice ilettime sürülür ve I_O akımının tümünü akıtır. T_2 tranzistoru ise kesime sürülür ve akımı sıfır olur. T_1 tranzistorundan akan I_O akımı diyot bağlı T_3 tranzistorundan ve akım aynası dolayısıyla yansiyarak T_4 tranzistorundan da akar ve C_C kondansatörünü doldurur. Sabit akımla dolan kondansatörün uçlarındaki gerilim zamanla lineer olarak, yani sabit eğimle, artar. Kompanzasyon kapasitesi, negatif kazançlı ikinci kazanç katı ile birlikte bir integral alıcı devre oluşturduğundan, çıkış işaretinin yükselme eğimi

$$SR = \left. \frac{dV_o}{dt} \right|_{maks} = \frac{I_O}{C_C} \quad (3.19)$$

olur. Bilindiği gibi, kompanzasyon kapasitesinin değeri

$$C_C = \frac{g_{mi}}{\omega_l} \quad (3.20)$$

bağıntısıyla, giriş tranzistorlarının eğimi ve seçilmiş olan birim kazanç band genişliği cinsinden ifade edilmektedir. Giriş katının eğimi

$$g_{mi} = \sqrt{\mu \cdot C_{OX} \cdot \frac{W}{L} \cdot I_O} \quad (3.21)$$

olduğundan, çıkış işaretinin yükselme eğimi

$$SR = \frac{I_O \cdot \omega_l}{g_{mi}} = \omega_l \cdot \sqrt{\frac{I_O}{\mu \cdot C_{OX} \cdot \frac{W}{L}}} \quad (3.22)$$

olur. Faz döndüren kuvvetlendirici yapısının yükselme eğimi, bağıntıdan fark edilebileceği gibi, birim kazanç band genişliği artırılarak, giriş katının kutuplama akımı artırılarak, yahut giriş tranzistorlarının (W/L) oranları azaltılarak artırılabilir.

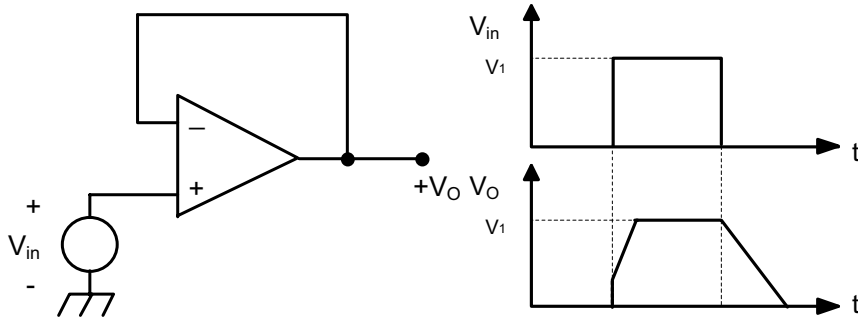
MOS tranzistorlarda eğimin değeri bipolar tranzistorlara göre çok düşüktür. Sağlanacak kazanç ve dengesizlik gibi olaylar ele alındığında, bu durum önemli bir sakınca oluşturmaktadır. Ancak, yükselme eğimi dikkate alındığında, MOS yapılarında elde edilebilecek yükselme eğiminin, aynı özellikteki bipolar işlemsel kuvvetlendiricidedekinden daha yüksek değerler elde edilebileceği görülür. Bunun başlıca nedeni, verilen belirli bir birim kazanç band genişliği için (3.16) bağıntısı uyarında, eğimin düşük olmasından ötürü, bulunacak C_C kompanzasyon kapasitesi değerinin daha küçük olmasıdır.

Benzer bir inceleme, negatif yönde uygulanacak giriş basamak işaretleri için de yapılabilir. Yükselme eğimi

$$SR = \frac{I_O}{C_c} \quad (3.23)$$

olur.

Gerilim izleyici (faz döndürmeyen kuvvetlendirici) için yükselme eğimi



Şekil-3.13. Gerilim izleyici ve basamak yanıtı.

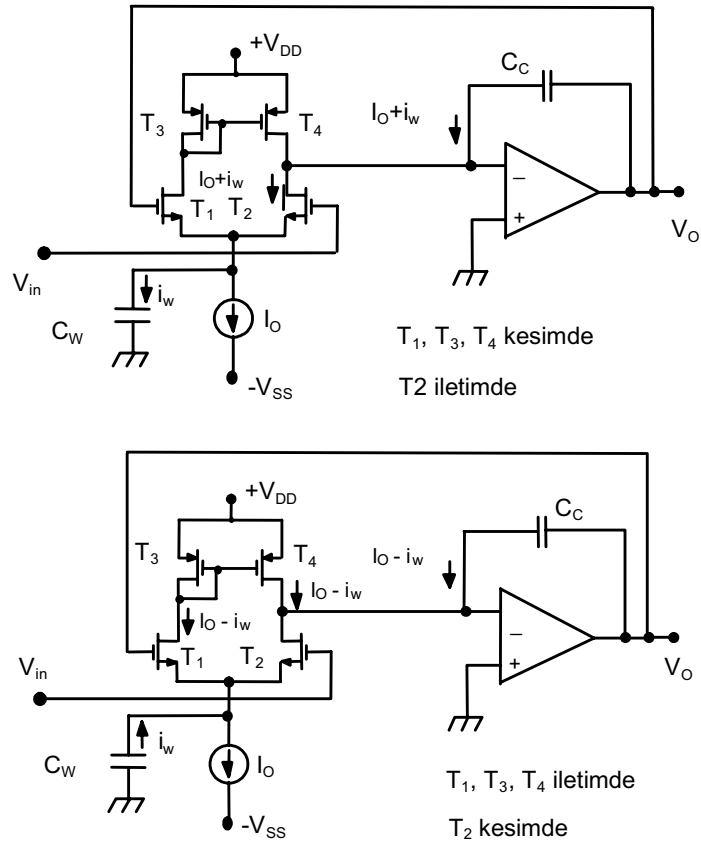
Gerilim izleyici yapısı ve bunun basamak işaretine cevabı Şekil-3.13 'de verilmiştir. Şekilden kolayca izlenebileceği gibi, giriş işaretinin yükselen kenarına karşı düşen çıkış işaretinde ilk önce basamak şeklinde bir yükselme, daha sonra ise rampa biçimli sabit eğimli bir yükselme ile karşılaşmaktadır. Giriş işaretinin düşen kenarına karşı düşen çıkış işareti ise, yükselen kenardakinden farklı olarak, yavaş ve sabit eğimli bir değişim izlemektedir. Bu iki durum ayrı ayrı ele alınsın. Faz döndürmeyen kuvvetlendiricinin , Şekil-3.14'deki gibi, bir giriş katı ve integratör olarak ele alınmış ikinci kazanç katı modeliyle temsil edildiği varsayalım. Pozitif yöndeki giriş basamağına cevabı inceleyelim.

I_O akım kaynağına gelen eşdeğer dağılmış kapasite oldukça büyük değerlidir. T_1 ve T_2 tranzistorlarının kaynakları bunların kendi tabanlarına bağlıdır. Başka bir deyişle, bunlar p kuyulu olarak gerçekleştirilmişlerdir ve her birinin kendi tabanı bulunmaktadır. Bu şekilde oluşturulan tranzistorlarda kuyu ve esas taban arasında büyük değerli bir kapasitif etki ortaya çıkar. Öte yandan girişe uygulanan basamak biçimli gerilim sıçraması $v_i(t) = V_1.u(t)$ biçiminde birim basamak fonksiyonu

3. 20

cinsinden verilebilir. Bu durumda T_1 ve T_3 tranzistorları kesimde, T_2 tranzistoru iletimde olduğundan, T_2 tranzistorundan $I_0 + i_w$ değerinde bir akım akar. Ortak kaynak noktasında C_w dağılmış kapasitesi ve I_0 akım kaynağının oluşturduğu empedans, T_2 tranzistorunun kaynağından içeriye doğru bakıldığında görülen $1/g_{m2}$ empedansından çok büyük olur. Bu nedenle

$$v_w(t) = v_{in}(t)$$



Şekil- 3.14. Gerilim izleyicinin pozitif ve negatif gerilim sıçramaları için modellenmesi

3. 21

yazılabilir. Böylece C_w kapasitesinden akan i_w akımı

$$i_w(t) = C_w \frac{dv_w(t)}{dt} = C_w \frac{dv_{in}}{dt}$$

biçiminde ifade edilebilir. Girişe uygulanan basamak işaretine karşı düşen çıkış işareti değişimi

$$\begin{aligned} v_o(t) &= \frac{1}{C_C} \int_0^t (I_O + i_w) dt \\ v_o(t) &= \frac{I_O}{C_C} t + \frac{C_w}{C_C} \int_0^t \frac{dv_{in}}{dt} dt \\ v_o(t) &= \frac{I_O}{C_C} t + \frac{C_w}{C_C} V_1 u(t) \end{aligned} \quad (3.24)$$

olur. Bu bağıntıdaki ilk terim zamanla lineer değişen bir yükselme, ikinci terim ise ilk başta izlenen basamak biçimli yükselmeyi verir.

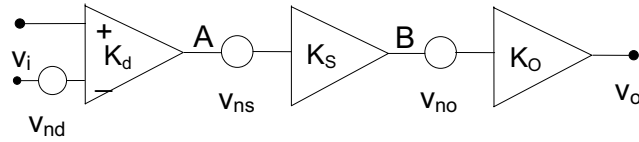
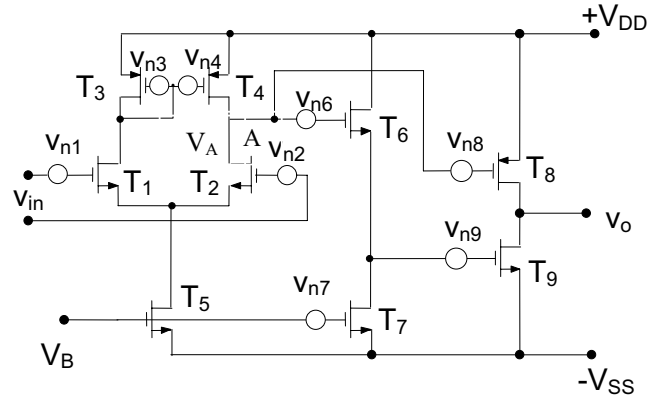
Kuvvetlendiriciye negatif bir gerilim sıçraması uygulandığında, T_2 tranzistoru kesime, T_1 , T_3 ve T_4 tranzistorları ise ilettime sürülürler. Bu durumda ilettime sürülen tranzistorlardan $I_O - i_w$ akımı akar. C_C nin bir ucu görünürde toprak potansiyelinde, C_w ise V_w potansiyeli ile toprak arasında olur. Bu durumda çıkış işaretinin değişim hızı

$$\begin{aligned} \frac{dv_o}{dt} &= \frac{I_O - i_w}{C_C} = - \frac{i_w}{C_C} \\ i_w &= I_O \frac{C_w}{C_C + C_w} \\ \frac{dv_o}{dt} &= - \frac{I_O}{C_C + C_w} \end{aligned} \quad (3.25)$$

biçiminde ifade edilebilir. Negatif yöndeki yükselme eğimi, yapının eşdeğerinde C_w dağılmış kapasitesinin bulunması nedeniyle, I_O/C_C değerinden $I_O/(C_C+C_w)$ değerine düşmekte, yani $1 + C_w/C_C$ oranında azalmaktadır.

3.1.4. CMOS işlemsel kuvvetlendiricilerde gürültü

CMOS işlemsel kuvvetlendiricilerde gürültü, yapıda işaret yolu üzerindeki tranzistorların her biri için gürültü gerilimi kaynağı da dikkate alınarak incelenebilir. İki kazanç katlı işlemsel kuvvetlendirici yapısı için elde edilen gürültü eşdeğeri Şekil-3.15'de verilmiştir. Böyle bir yapıda, gürültü, eşdeğer bipolar yapıdakine göre 10 kat daha yüksektir. Yapıda yer alan üç kat, kat girişine indirgenmiş eşdeğer gürültü gerilimi yaknağı ve gürültüsüz kuvvetlendirici cinsinden ayrı ayrı modellenmiştir. T_5 akım kaynağı tranzistorundan ileri gelen gürültü ise, işlemsel kuvvetlendiricinin CMRR ortak işareti bastırma miktarı oranında bastırılır ve etkisiz kılınır.



Şekil-3.15. İki kazanç katlı işlemsel kuvvetlendiricide gürültü eşdeğeri.

Giriş tranzistorlarına ilişkin v_{n1} ve v_{n2} gürültü kaynaklarından A noktasına yansıyan gürültü,

$$K_d = \frac{v_A}{v_{n1}} = \frac{v_A}{v_{n2}} = \frac{g_m}{g_{o2} + g_{o4}} \quad (3.26)$$

gürültü kazancı ile ifade edilebilir. Benzer şekilde hareket edilerek, T_3 ve T_4 tranzistorlarına ilişkin v_{n3} ve v_{n4} gürültü kaynaklarından A noktasına kadar gürültü kazancı da tanımlanabilir. v_{n3} gürültü geriliminden yansıyan akım bileşeni

$$i = g_{m3} \cdot v_{n3}$$

olur. Bu bileşen T_4 tranzistoru ile aynalanır. Böylece

$$v_A = \frac{g_{m3} \cdot v_{n3}}{g_{o2} + g_{o4}}$$

elde edilir. Benzer şekilde, T_4 tranzistoruna ilişkin v_{n4} gürültü gerilimi için

$$K_v = \frac{v_A}{v_{n3}} = \frac{v_A}{v_{n4}} = \frac{g_{m3}}{g_{o2} + g_{o4}} \quad (3.27)$$

yazılabilir. Bütün bu gürültü kaynaklarının A noktasında oluşturacağı gürültü gücü dikkate alınır ve bu gürültüyü oluşturan gerilim fark kuvvetlendiricisinin girişine indirgenirse

$$\overline{v_A^2} = K_d^2 \cdot (\overline{v_{n1}^2} + \overline{v_{n2}^2}) + K_v^2 \cdot (\overline{v_{n3}^2} + \overline{v_{n4}^2})$$

olduğundan

$$\overline{v_{nd}^2} = \overline{v_{n1}^2} + \overline{v_{n2}^2} + \left(\frac{g_{m4}}{g_{m1}} \right)^2 \cdot (\overline{v_{n3}^2} + \overline{v_{n4}^2}) \quad (3.28)$$

elde edilir. Bağıntıdan fark edilebileceği gibi, v_{nd}^2 'yi minimize etmek için v_{n1} ve v_{n2} 'nin etkilerinin düşük tutulması, ve $g_{m4} \ll g_{m1}$ şartının sağlanması gerekli olmaktadır. Bu şartlardan ilkinin yerine gelebilmesi için T_1 - T_2 çiftini oluşturan tranzistorların W.L yüzeyi ile bunların g_m eğiminin büyük tutulması gerekir. Bu ise kırmık üzerinde yer kaybı ve ek güç harcaması anlamına gelmektedir. $g_{m4} \ll$

3. 24

g_{m1} şarının sağlanması için kutuplamanın elverdiği oranda yük tranzistorlarının L kanal boyu arttırılmalıdır. Bu ise, giriş ve yük tranzistorları için ayrılan yüzeyin belli olduğu varsayımı altında, $T_1 - T_2$ çiftine ayrılan alan büyük, T_3-T_4 çiftine ayrılan alanın küçük tutulacağı anlamına gelir.

Bir NMOS tranzistordaki 1/f gürültüsü, bir p kanallı tranzistordakine göre 3 defa kadar daha yüksek olur.

İki kazanç katı arasında seviye öteleme amacıyla yerleştirilmiş olan ve T_6-T_7 tranzistorları ile kurulan kaynak izleyici için benzer yoldan hareket edilerek eşdeğer gürültü gerilimi hesaplanırsa

$$\overline{v_{ns}^2} = \overline{v_{n6}^2} + \left(\frac{g_{m7}}{g_{m6}} \right)^2 \overline{v_{n7}^2} \quad (3.29)$$

elde edilir. Bu eşdeğer gerilim, aşağıdaki biçimde işlemsel kuvvetlendiricinin girişine de indirgenebilir:

$$\overline{v_n^2} = \overline{v_{nd}^2} + \frac{\overline{v_{ns}^2}}{K_d^2}$$

olduğundan

$$\begin{aligned} \overline{v_{nd}^2} = \overline{v_{n1}^2} + \overline{v_{n2}^2} + \left(\frac{g_{m4}}{g_{m1}} \right)^2 (\overline{v_{n3}^2} + \overline{v_{n4}^2}) \\ + \frac{\left[\overline{v_{n6}^2} + \left(\frac{g_{m7}}{g_{m6}} \right)^2 \overline{v_{n7}^2} \right]}{K_d^2} \end{aligned} \quad (3.30)$$

elde edilir. Bağıntıdan kolayca fark edilebileceği gibi, $K_d^2 \gg 1$ şartının sağlandığı alçak frekanslarda v_{ns} kolayca ihmal edilebilir. Kazancın düştüğü yüksek frekanslarda ise durum böyle değildir. Bu gürültü etkisini düşük düzeyde tutabilmek üzere g_{m6} eğiminin büyük tutulması gerekeceği kolayca fark edilebilir.

İkinci kazanç katından ileri gelen gürültü ise önemli değildir ve eşdeğer giriş gürültü gerilimine katkısı ihmal edilebilir.

3.2. Yüksek başarılı işlemsel kuvvetlendiriciler

Buraya kadar ele alınan basit iki kazanç katlı işlemsel kuvvetlendirici yapıları, daha çok, sC süzgeci yapılarına uygun topolojilerdir. Yüksek frekanslı aktif süzgeç yapıları, yüksek doğruluklu ve hızlı D/A ve A/D çeviriciler, enstrümantasyon kuvvetlendiricileri gibi uygulamalar söz konusu olduğunda, bu tür basit yapılar yetersiz kalırlar. Standart iki katlı yapının en önemli sakıncası, bu tür yapılarda kazancın düşük olmasıdır. İşlemsel kuvvetlendiricinin kazancı, kat kazançlarının çarpımı ile belirlenir. Ele alınmış olan iki katlı yapılarda açık çevrim kazancı 80dB kadar olur. Yapıya ek katlar yerleştirilerek kazancın artırılması yoluna gidilmesi uygun bir çözüm değildir; zira, ek katlarla beraber transfer fonksiyonunun kutup sayısı da artar ve frekans kompanzasyonu zorlaşır. Bu nedenle, kazancın yükseltilmesi için yapıda değişiklikler yapılması gerekli olur. Bunun yanısıra, bazı uygulamalarda, band genişliğinin büyük olması da gerekebilir.

Yüksek performanslı işlemsel kuvvetlendiriciler , yüksek değerde birim kazanç band genişliği (kazanç-band genişliği çarpımı) ve yükselme eğimi elde etmek üzere kullanılan yapılardır. Bu tür işlemsel kuvvetlendiriciler genellikle daha fazla güç harcarlar. daha önce de belirtildiği gibi, işlemsel kuvvetlendiriciler genellikle iki grupta incelenebilir: Bunlardan birincisi, geçiş iletkenliği kuvvetlendiricisi, ya da kısa adıyla OTA'dır. Bu tür yapıların çıkış direnci oldukça yüksektir. İkinci grup ise, çıkış direnci düşük olan işlemsel kuvvetlendirici yapılarıdır. Yüksek çıkış dirençli işlemsel kuvvetlendirici yapıları için **tamponlanmamış (ayırıcı çıkış katı kullanılmamış) işlemsel kuvvetlendiriciler** deyimi de kullanılmaktadır. İşlemsel kuvvetlendiricilere ilişkin bölümde buraya kadar ele alınan yapılar tamponlanmamış işlemsel kuvvetlendirici yapılarıdır. Tamponlanmamış işlemsel kuvvetlendiriciler düşük değerli yükleri süremezler. Bu nedenle, bazı özel uygulamalar için kapasitif yükleri ve düşük empedanslı yükleri sürmek üzere yararlanılabilecek yöntemlerin araştırılması gerekir.

3. 26

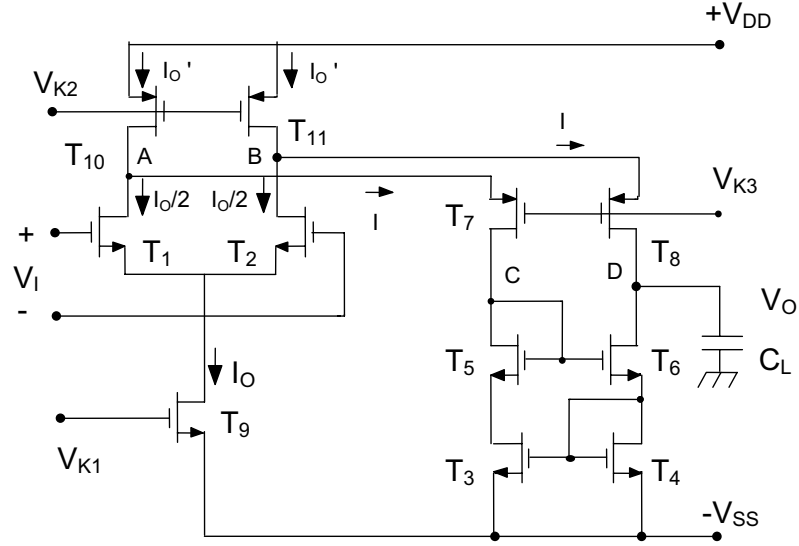
Yukarıda bahsedilen iki grup işlemsel kuvvetlendirici arasındaki temel fark, yüksek performanslı işlemsel kuvvetlendiricilerde kullanılan çıkış katı yapılarından ileri gelir. Bu çıkış katları sadece MOS tranzistörlerle kurulabileceği gibi, MOS tranzistörler ve CMOS teknolojisinde bulunan bipolar tranzistörlerden yararlanılarak da oluşturulabilir. Devreye çıkış katı eklenmesi, açık çevrim transfer fonksiyonuna ek kutuplar gelmesine neden olur ki, bunun da frekans kompanzasyonunu zorlaştıracağı açıktır.

Bazı uygulamalarda düşük gürültülü işlemsel kuvvetlendiricilere gereksinim duyulabilir. Düşük gürültülü işlemsel kuvvetlendirici elde etmek üzere, kuvvetlendiricinin giriş katında PMOS tranzistörler kullanılır.

Bu bölümde yüksek performanslı işlemsel kuvvetlendirici yapıları ele alınarak incelenecektir.

3.2.1. Ortak kaynak-ortak geçitli kuvvetlendirici ile işlemsel kuvvetlendirici gerçekleştirilmesi

Bir çok uygulamada kat kazancının yeteri kadar büyük değeri olması, tek bir ortak kaynak-ortak geçitli kuvvetlendirici kullanılarak sağlanabilir. (Şekil-3.16). Böyle bir çözümün yararı, tek bir kat ile daha iyi bir frekans eğrisi elde edilebilmesidir. Alçak frekanslarda çalışmada, devrenin sağladığı kazanç, iki katlı kuvvetlendiricinin sağladığı kazançla aynı olur. Ancak, yapıda çıkış düğümünün empedansı, iki katlı yapının çıkış empedansına göre $g_m \cdot r_o$ oranında yükseltilmiştir. Devrenin gerilim kazancı ise giriş tranzistörlerinin eğimi ile çıkış düğümü empedansının çarpımıdır. Bu yapının sağladığı önemli bir yarar, baskın kutbun C_L yük kapasitesi ile belirlenmesi, başka bir deyişle, bu kapasitenin aynı zamanda kompanzasyon kapasitesi işlevini yerine getirmesidir. İki kazanç katlı yapıda ise, daha önceki bölümlerde gösterildiği gibi, durum böyle değildir. İki katlı kuvvetlendiricide yük kapasitesinin artırılması baskın olmayan kutbu etkiler ve faz payını azaltır. Burada ele alınan tek katlı yapıda ise yük kapasitesinin artırılması faz payını iyileştirmektedir. Yapının transfer donksiyonunda T_3 ve T_4 kaskod tranzistörlerinin ve akım kaynağı tranzistörlerinin geçit-kaynak kapasitelerinden ileri gelen baskın olmayan kutup bulunur. Bunun frekansı tranzistörlerin geçiş frekansı mertebesindedir.



Şekil-3.16. Ortak kaynak- ortak geçitli kuvvetlendirici yapısı ile işlemsel kuvvetlendirici gerçekleştirilmesi.

MOS tranzistorlarda geçiş frekansı

$$f_T = \frac{g_m}{C_{gs}}$$

şeklinde ifade edilir. Etkin kanal uzunluğunun $4\mu\text{m}$, $(V_{GS}-V_T)$ farkının birkaç yüz milivolt mertebesinde olması durumunda, baskın olmayan kutup birkaç yüz MHz mertebesinde olur. Giriş tranzistorlarının eğimlerinin uygun seçilmeleri durumunda, iyi bir faz payı ile yüksek değerli bir kapalı çevrim band genişliği elde edilebilir. Ancak, kaskod devrenin etkisiyle, çıkış işaretinin dalgalanma aralığının iki kazanç katlı yapıya göre biraz daha düşük olacağını belirtmekte yarar vardır.

Şekil-3.16'daki yapıda T_3-T_8 tranzistorlarıyla oluşturulan blok, kompozit yükü oluşturur. Bu yük katlanmış yüküdür; başka bir deyişle, eşlenik tranzistorlar kullanılmasıyla yük V_{DD} geriliminden ayrılmış ve $-V_{SS}$ gerilimine götürülmüştür. Sükunet durumunda, I_0 akımı T_1-T_2 tranzistorlarına eş olarak paylaştırılmaktadır.

T₁₀ - T₁₁ tranzistorları V_{K1} gerilimi ile I_O' akımını akıtacak biçimde kutuplanırlar. Böylece, I akımı

$$I = I_{O'} - \frac{I}{2} I_{O}$$

olur. Girişe bir ΔV_m gerilimi uygulansın. Bu durumda savak akımları $+\Delta I_O = g_{m1} \cdot \Delta V_m / 2$ kadar değişir. I_O' akımı sabit kalır. Bu nedenle, I akımları da $\pm \Delta I$ kadar değişir. T₃-T₆ tranzistorları kaskod bir akım aynası oluştururlar. Böylece, T₃-T₅ deki değişim, T₄-T₆ koluna yansıtılmış olur. Böylece, işlemsel kuvvetlendiricinin çıkış gerilimi değişimi

$$\Delta v_o = g_{m1} \cdot R_O \cdot \Delta v_{in}$$

ve kazancı da

$$K_v = -g_{m1} \cdot R_O \quad (3.31))$$

olur. Yapının çıkış direnci ise

$$R_O = \frac{I}{\frac{g_{o2}}{g_{m6} \cdot r_{o6}} + \frac{(g_{o2} + g_{o11})}{g_{m8} \cdot r_{o8}}} \quad (3.32))$$

biçiminde ifade edilebilir. R_O.C_L zaman sabiti transfer fonksiyonunun baskın kutbunu belirler:

$$|s_{p1}| = \frac{1}{C_L R_O} = \frac{\frac{g_{o2}}{g_{m6} \cdot r_{o6}} + \frac{(g_{o2} + g_{o11})}{g_{m8} \cdot r_{o8}}}{C_L} \quad (3.33))$$

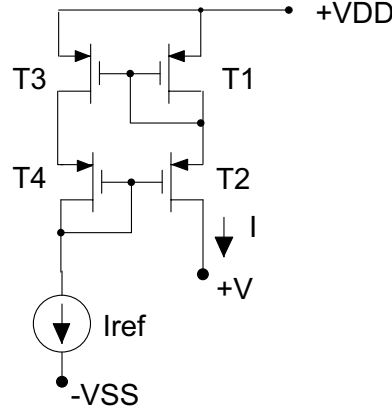
Baskın olmayan kutuplar, A, B, C düğümlerindeki düşük empedans değerlerinin dağılmış kapasitelerle yüklenmeleriyle belirlenir.

A düğümündeki etkin direnç $1/g_{m7}$, B düğümündeki etkin direnç $1/g_{m8}$, C düğümündeki etkin direnç ise $1/g_{m6} + 1/g_{m4}$ değerindedir. Buna göre

$$|s_{p2}|, |s_{p3}|, |s_{p4}| \gg |s_{p1}|$$

olur. s_{p1} ve K_{VO} açık çevrim kazancına bağlı olarak işlemsel kuvvetlendirici kararsız olabilir.

3.2.2. Wilson (veya kaskod) akım kaynağı kullanılması



Şekil-3.17. Wilson akım kaynağının yük olarak kullanılması.

Kazancı arttırmanın diğer bir yolu, Wilson (veya kaskod) akım kaynağı devrelerinden yararlanmaktır. Kaskod akım kaynağının yük olarak kullanılışı Şekil-3.17'de verilmiştir. Kaskod akım kaynağının çıkış direnci

$$R_O = r_{o2} \cdot g_{m2} \cdot \frac{g_{m3}}{g_{o3} + g_o}$$

biçiminde ifade edilir. Bu bağıntıda $r_o = 1/g_o$ büyüklüğü I_{ref} akım kaynağının çıkış direncini göstermektedir. Yapıda

$$r_{o2} \cdot g_{m2} \gg I, R_O \gg \frac{I}{g_{o3} + g_o}$$

olur. V geriliminin alabileceği en büyük değerde T_2 tranzistoru doymada kalmalıdır. Buna göre

$$v_{maks} = V_{DD} - 2 \cdot |V_{GS3}| + |V_{TP}|$$

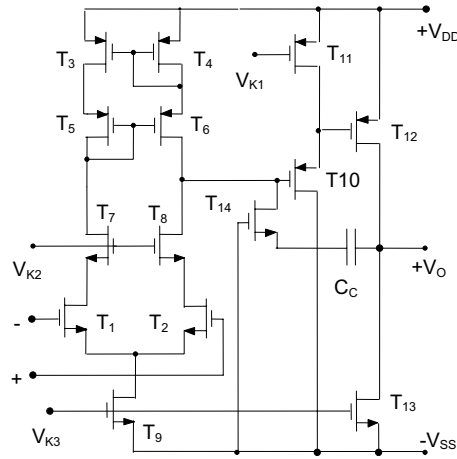
olur. Kaskod akım kaynağının bir işlemsel kuvvetlendirici yapısında kullanılışı Şekil-3.18'de gösterilmiştir. T_3 - T_6 transistörleri , yine kaskod devre olarak düzenlenmiş olan fark kuvvetlendiricisinin yükünü oluştururlar. Bu yapıda

$$\begin{aligned} (W/L)_1 &= (W/L)_2, & (W/L)_3 &= (W/L)_4 \\ (W/L)_5 &= (W/L)_6, & (W/L)_7 &= (W/L)_8 \end{aligned}$$

olarak seçilir. Fark kuvvetlendiricisinin çıkış direnci

$$R_O = \frac{I}{\frac{g_{o4}}{g_{m6} \cdot r_{o6}} + \frac{g_{o2}}{g_{m8} \cdot r_{o3}}} \quad (3.34)$$

bağıntısıyla ifade edilebilir.



Şekil-3.18. Wilson akım kaynağının işlemsel kuvvetlendirici yapısında kullanılması.

$$g_{m6} \cdot r_{o6} \text{ ve } g_{m8} \cdot r_{o8} \gg I$$

olması durumunda çıkış direnci

$$R_O \gg \frac{I}{g_{o4} + g_{o2}}$$

olur. Fark kuvvetlendiricisinin sağladığı kazanç

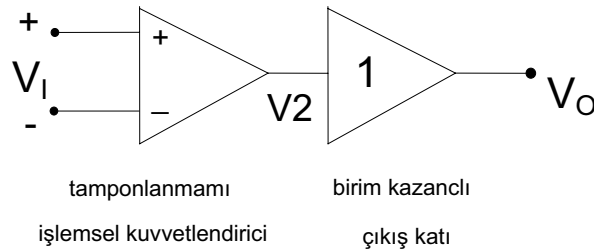
$$K_V = -g_{m1} \cdot R_O \quad (3.35)$$

biçiminde yazılabilir. İkinci kat ise kaynak izleyici olarak düzenlenmiştir. Yapıdaki T_{14} tranzistoru kompanzasyon kondansatörüne seri olarak bağlanmıştır. Direnç bölgesinde çalışan bu tranzistor R_Z sıfırlama direnci görevini üstlenmektedir. R_Z sıfırlama direncinin MOS tümdevre tekniğinde daima bu şekilde çalışan bir tranzistorla gerçekleştirildiğini belirtmekte yarar vardır. Yapıda ek elemanlar kullanıldığı için, bu tür bir işlemsel kuvvetlendiricinin rastgele dengesizliği genellikle büyük olur.

Yapıda, fark kuvvetlendiricisinin arkasına bir seviye öteleyici ve çıkış katı bloku bağlanmıştır. Seviye öteleyici ve C_L yük kapasitesi nedeniyle devrenin transfer fonksiyonunda ek kutuplar ortaya çıkar; bu kutuplar baskın kutup değildir, ancak yapının band genişliğini sınırlayan birer etken olarak kendilerini gösterirler. $C_C = C_L$ olması durumunda, band genişliği C_L ile sınırlanır.

3.2.3. Tamponlanmış işlemsel kuvvetlendirici yapıları

Basit iki kazanç katlı kuvvetlendirici yapısına bir çıkış katı eklenerek, devrenin sadece büyük değerli kapasitif yükleri değil, aynı zamanda düşük empedanslı yükleri sürmesi de sağlanabilir. Böyle bir devrenin blok şeması Şekil-3.19'da verilmiştir. İlk yapı, tamponlanmamış işlemsel kuvvetlendirici yapısını oluşturmaktadır. İkinci kat ise birim kazançlı bir çıkış katıdır.

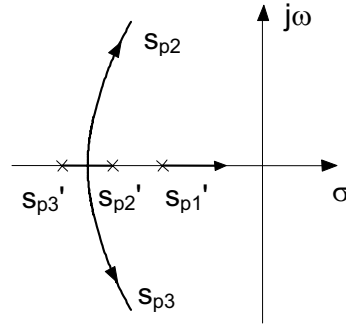


Şekil-3.19. Yüksek performanslı işlemsel kuvvetlendirici yapısı.

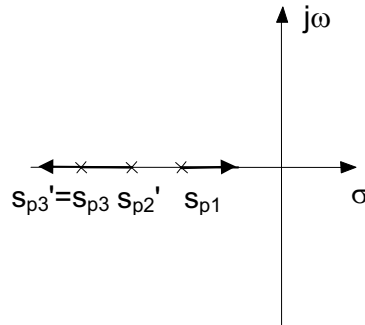
Tamponlanmamış işlemsel kuvvetlendiricinin iki kazanç katı olduğu düşünülecek olursa, eldeki üç katlı yapının nasıl kompanze edileceğinin belirlenmesi gerekir. Kompanzasyonsuz durumda işlemsel kuvvetlendiricinin açık çevrim kazancı

$$\frac{V_o(s)}{V_I(s)} = \frac{K_{VO}}{\left(\frac{s}{s_{p1}'} - 1 \right) \left(\frac{s}{s_{p2}'} - 1 \right) \left(\frac{s}{s_{p3}'} - 1 \right)} \quad (3.36)$$

şeklindedir. Burada s_{p1}' ve s_{p2}' büyüklükleri, tamponlanmamış işlemsel kuvvetlendiricini kompanze edilmemiş durumdaki kutuplarını, s_{p3}' ise çıkış katının kutbunu göstermektedir. Burada $s_{p1}' < s_{p2}' < s_{p3}'$ olduğu kabul edilecektir. Yapıda C_L yük kapasitesi arttıkça s_{p3}' azalacak, R_L arttıkça s_{p3} artacaktır.



(a)



(b)

Şekil-3.20. a) İkinci ve üçüncü kata, b) ikinci kata Miller kompanzasyonu uygulanması durumunda işlemsel kuvvetlendiricinin kutuplarının yer eğrileri.

İkinci ve üçüncü kata Miller kompanzasyonu uygulanırsa, Şekil-3.20a'da görülen yeni kutuplar elde edilir. C_C kapasitesinin değeri arttıkça, ikinci ve üçüncü kutuplar $j\omega$ eksenine doğru bükülürler. Bu ise faz payının düşük olmasına neden olur. Miller kompanzasyonu sadece ikinci kata uygulanırsa, bu yeni durumda Şekil-3.20b'deki kutuplar elde edilir. Böylece kutupların $j\omega$ eksenine doğru bükülmeleri ortadan kaldırılmış olur. Ancak, çıkış katının kutbu ise daha önceki yerinde kalır. Bu iki yaklaşımdan hangisinin seçileceği, faz payı için öngörülen değere bağlıdır.

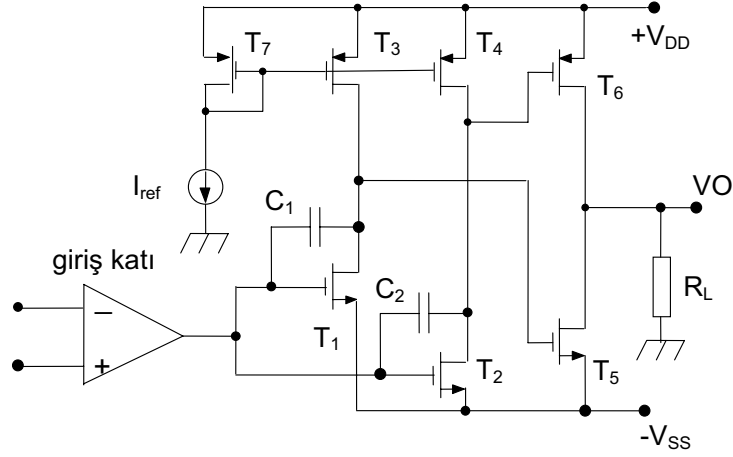
Şekil-3.21'de yukarıda blok şeması verilen yapının açık devre şeması görülmektedir. Şekildeki işlemsel kuvvetlendirici üç kattan oluşmaktadır. Giriş katı bir fark kuvvetlendiricisidir. Bu katın çıkışına bir ara kuvvetlendirici ile bir çıkış katı bağlanmıştır. T_1, T_3 ve T_2, T_4 eviricileri ara kuvvetlendiriciyi oluştururlar. Bu katın görevi kazancı ve kompanzasyonu sağlamak, ayrıca T_5 ve T_6 tranzistorlarını sürmektir. Çıkış katı ise birim kazanç sağlamak üzere düzenlenmiş bir geçiş iletkenliği katıdır.

Devredeki iki eviricinin giriş-çıkış karakteristikleri Şekil-3.22'de görülmektedir. Şekildeki a ve b eğrileri sırasıyla T_1, T_3 ve T_2, T_4 eviricilerine ilişkin karakteristiklerdir ve bunlar T_5 ile T_6 tranzistorlarını sürmek üzere kullanılmaktadır. Şekilde belirtilen geçiş gerilimi

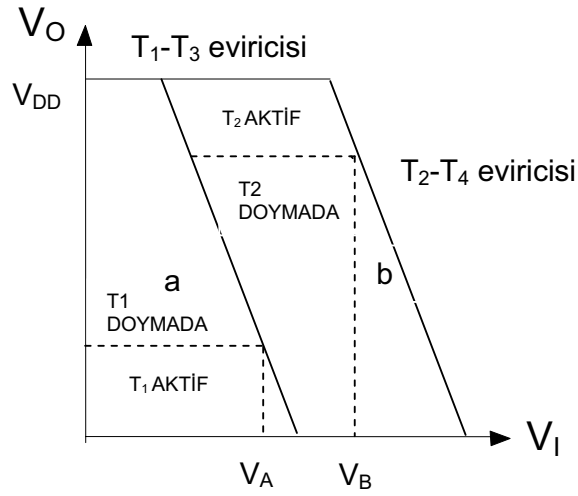
$$V_C = V_B - V_A$$

şeklinde tanımlanmıştır. V_A ve V_B büyüklükleri, T_5 ve T_6 'yı kesime sürecek olan evirici giriş gerilimleridir. Güç harcamasının düşük olabilmesi için V_C geriliminin sıfırdan büyük olması gerekir; ancak, kabul edilemeyecek mertebedeki geçiş distorsiyonundan kaçınmak için, V_C geriliminin çok büyük tutulmaması gerekir. Bu kriter, eviricilerin uygun boyutlandırılmasıyla yerine getirilebilir. Böylece, V_C geriliminin sıfırdan büyük, ancak yeterince küçük olması da sağlanmış olur. Çıkış katı B sınıfında çalıştırıldığından, her bir evirici için ayrı bir frekans kompanzasyonu gerekli olur.

MOS çıkış katı kullanan CMOS işlemsel kuvvetlendiricilere diğer bir örnek Şekil-3.23'de görülmektedir. Bu devre tamponlanmamış işlemsel kuvvetlendirici ile negatif geribeslemeli çıkış katı kombinasyonundan oluşur.



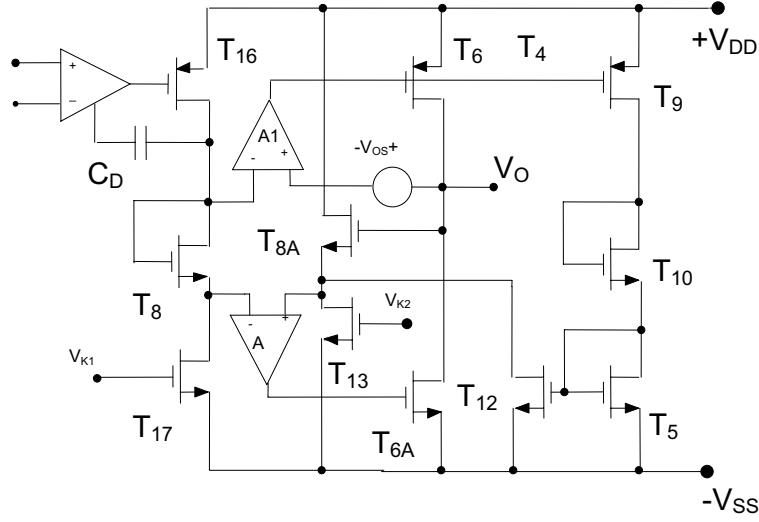
Şekil-3.21. Düşük empedanslı yükleri sürmeye elverişli CMOS işlemsel kuvvetlendirici.



Şekil-3.22. Şekil-3.21.'deki eviricilere ilişkin giriş-çıkış karakteristikleri.

Devredeki tamponlanmamış işlemsel kuvvetlendiricinin çıkış katı, T_{16} ve T_{17} eviricilerini sürmek amacıyla kullanılmıştır. Devrede yer alan tamponlanmamış işlemsel kuvvetlendirici genellikle aktif yüklü bir fark kuvvetlendiricisidir. T_{16} ve T_{17} transistörleri ise evirici katını oluştururlar. A_1 kuvvetlendiricisi ile T_6 transistörü, çıkıştaki gerilim dalgalanmasının pozitif yarıperiyodu için birim

kazanç sağlar. A_2 ile T_{6A} ise aynı işlemi negatif yarıperiyotta gerçekleştirir. Çıkış katı AB sınıfında çalıştığından, devrenin negatif yarıperiyodu, pozitif yarıperiyodunun simetriği olur.



Şekil-3.23. MOS çıkış katı kullanan diğer bir CMOS işlemsel kuvvetlendirici yapısı.

3.2.4. Yüksek hızlı-yüksek frekanslı işlemsel kuvvetlendiriciler

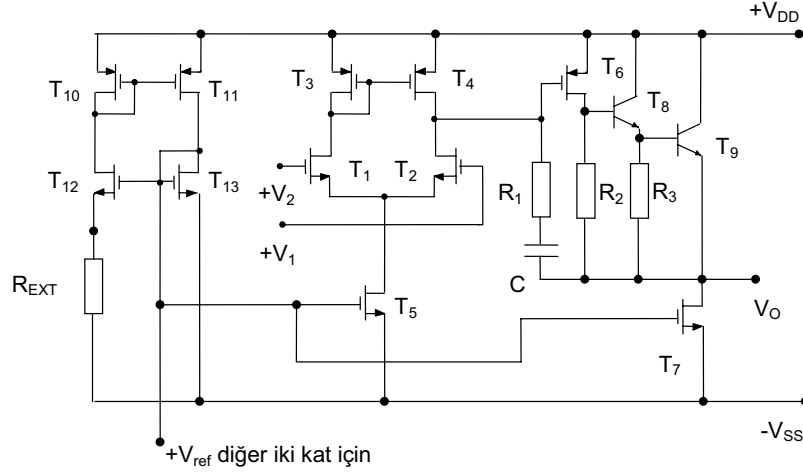
Bu bölümde, hızı ve kazanç-band genişliği çarpımı iyileştirilmiş işlemsel kuvvetlendirici yapıları ele alınarak incelenecektir. Burada hız kelimesiyle, devrenin girişine bir darbe uygulanması durumunda cevap verebilmesi için gereken minimum süre kastedilmektedir. Bu şart, yüksek bir yükselme eğimi değeri ve yerleşme zamanını (settling time) minimize etmek için iyi bir faz payı özelliğini gerekli kılar. Bu tür işlemsel kuvvetlendiricilerin yükselme eğimleri $100V/\mu s$ den fazla ve büyük değerli kapasitif ve rezistif yükler için kazanç-band genişliği çarpımı da 20MHz'den büyük olmalıdır. Böyle bir yüksek performans özelliği sağlayabilmek üzere, genellikle çıkış gerilimi dalgalanma aralığından fedakarlık yapılır.

Yüksek performanslı bir işlemsel kuvvetlendirici yapısı Şekil-3.24'de verilmiştir. Bu yapıdaki çıkış katı, iki taban (kuyu) npn tranzistoru ile gerçekleştirilen ve Darlington çifti olarak çalışan A sınıfı bir kuvvetlendiriciden oluşmaktadır. Yapıda bu tür bir Darlington çiftinin kullanılmasının amacı,

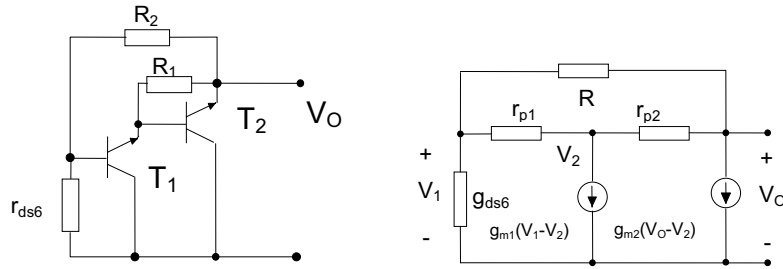
çıkışta yer alan eşdeğer bipolar tranzistorun β akım kazancını arttırmak, böylece çıkış akımının yüksek değerli olmasını sağlamaktır. Bu devrenin çıkışından alınabilecek en büyük gerilim değeri $V_{DD}-2 \cdot V_{BE}$ olur.

İşlemsel kuvvetlendiricinin çıkış direncini bulmak üzere Şekil-3.25a'daki eşdeğer yapı kullanılabilir. Bu yapıya ilişkin eşdeğer devre de Şekil-3.25b'de görülmektedir. Eşdeğer devre yardımıyla çıkış direnci hesaplanırsa

$$R_O = \frac{(g_{ds6} + G) \cdot (g_{\pi 1} + g_{\pi 2} + g_{m2}) + g_{\pi 1} \cdot g_{\pi 2}}{g_{ds6} \cdot G \cdot (g_{\pi 1} + g_{\pi 2} + g_{m1}) + g_{ds6} \cdot (g_{\pi 2} + g_{m2}) \cdot (g_{\pi 1} + g_{m2})} \approx \frac{R_{ds6}}{g_{m2} \cdot R} \quad (3.37)$$

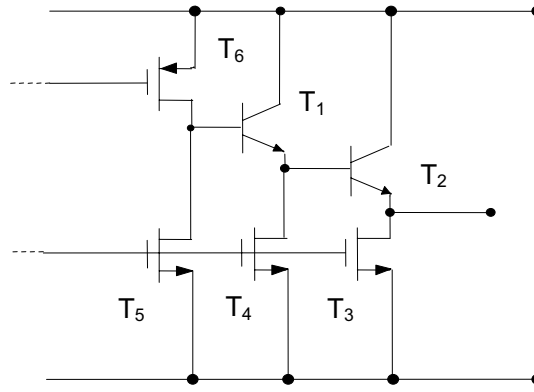


Şekil-3.24. Bipolar tranzistorlu çıkış katlı işlemsel kuvvetlendirici yapısı.



Şekil-3.25. Şekil-3.24'deki yapının çıkış direncinin hesaplanması için yararlanılan devre ve bu devrenin eşdeğeri.

elde edilir. Devrede görülen $3k'$ luk direnç, T_1 tranzistorunun kutuplamasını karalı hale getirmek üzere kullanılmıştır. Bu direnç nedeniyle çıkış direnci, basit Darlington çiftindekine göre daha büyük olur.



Şekil-3.26. Çıkış direncinin küçültülmesi.

Şekil-3.26'da gösterilen yapının kullanılmasıyla, çıkış direncini daha da küçültmek mümkündür. Bu devrenin çıkış direnci hesaplanırsa

$$R_O = \frac{R_{i1}}{(1 + \beta_{F1}) \cdot (1 + \beta_{F2})} \quad (3.38)$$

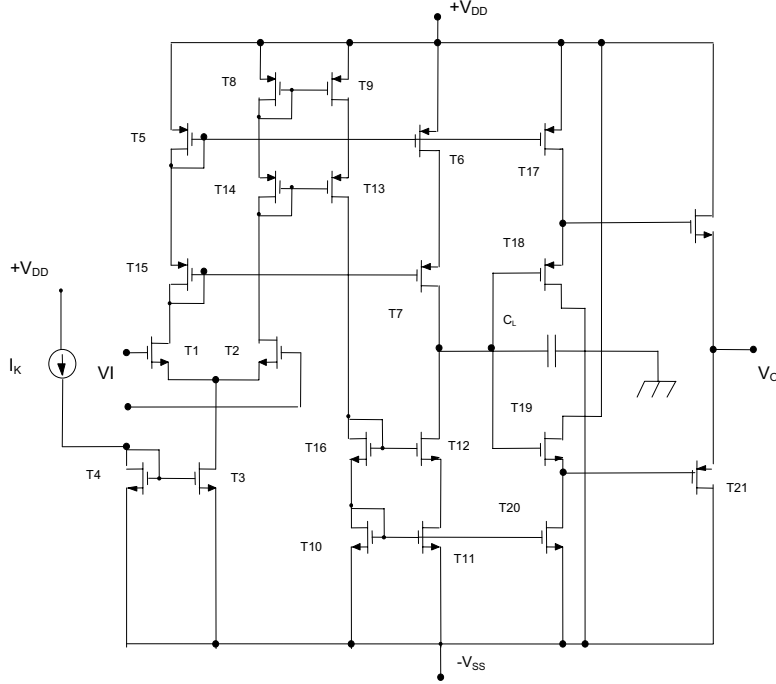
elde edilir. Bu bağıntıdaki R_{i1} direnci, T_1 tranzistorunun bazından içeriye doğru bakıldığında görülen dirençtir. Bu tür işlemsel kuvvetlendirici yapılarıyla 100MHz'e kadar kazanç-band genişliği çarpımı ve $\pm 300V/\mu s$ 'lik yükselme eğimi değerleri elde edilebilir. Devreyle $C_L = 100$ pF mertebesinde yük kapasitelerini sürmek mümkündür. Açık çevrim çıkış direnci 100 Ohm ve faz payı da 45° mertebesinde olur.

Yüksek hızlı işlemsel kuvvetlendirici tasarımında kullanılacak diğer bir yaklaşım, çıkış katında puş-pul kaynak izleyici kullanmaktır. Şekil-3.27'de görülen yapı düşük bir çıkış direnci elde edilmesini sağlamaktadır. Çıkış katı T_{17} 'den T_{22} 'ye kadar numaralanmış olan tranzistorlarla kurulmuştur. Tamponlanmamış işlemsel kuvvetlendiricinin giriş katı bir geçiş iletkenliği kuvvetlendiricisi, ikinci katı ise bir akım kuvvetlendiricisi olarak oluşturulmuştur. Gerilim kazancı, T_7 , T_{12} , T_{18} ve T_{19} tranzistorlarının birleştiği

düğümdeki yüksek direnç değeri ile sağlanır. Tamponlanmamış kuvvetlendiricinin frekans cevabı oldukça iyidir; çünkü yukarıda sözü edilen düğüm dışındaki tüm düğümler düşük empedanslıdır. C_L yük kapasitesi ek bir kutup oluşturarak kuvvetlendiricinin kompanse edilmesini sağlar. Çıkış katı, düşük çıkış direnci elde etmek üzere kullanılmaktadır. Devrenin küçük işaret çıkış direnci

$$R_o = \frac{1}{g_{m21} + g_{m22}} \quad (3.39)$$

şeklinde dir. Çıkış katındaki elemanların boyutlarına ve kutuplama akımına bağlı olarak, çıkış direnci için 1 kOHM'dan küçük değerler elde edilebilir.



Şekil-3.27. Düşük çıkış dirençli bir CMOS işlemsel kuvvetlendirici yapısı.

T_{17} ve T_{20} transistörleri, T_{18} ve T_{19} transistörlerini kutuplarlar ve bunlar T_{21} ve T_{22} transistörlerinin eşlenik transistörleridir. İdealde T_{18} ve T_{22} ile T_{19} ve T_{21} transistörlerinin geçit gerilimleri birbirlerini kompanse ederler; dolayısıyla sıfır giriş gerilimi için çıkış gerilimi sıfır olur.

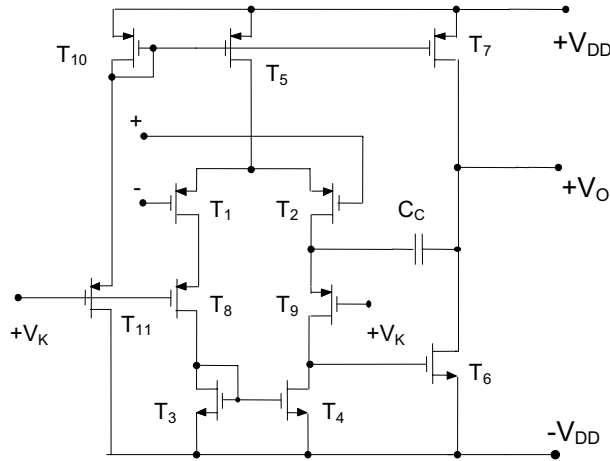
3.2.5. Düşük gürültülü işlemsel kuvvetlendiriciler

İşlemsel kuvvetlendiricilerin düşük gürültülü olması, birçok bakımdan önem taşır. Analog CMOS yapı bloklarının uygulamalarının önemli bir kısmı, işaret-gürültü oranının büyük önem taşıdığı haberleşme alanındadır. Gürültü ne kadar düşük olursa, işaret-gürültü oranı da o kadar iyi olur.

Düşük gürültülü bir işlemsel kuvvetlendirici elde etmek için yararlanılabilecek iki yol bulunmaktadır.

Gürültü ile MOS elemanın boyutları ve proses karakteristikleri arasındaki ilişkileri kullanmak,

Yapıyı kırıcı ile stabilize etmek.



Şekil-3.28. Düşük gürültülü CMOS işlemsel kuvvetlendirici.

Şekil-3.28. düşük gürültülü bir CMOS işlemsel kuvvetlendirici yapısını göstermektedir. kaskod bağlı T8 ve T9 tranzistorları, güç kaynağından ileri gelebilecek gürültüyü (PSRR) azaltmak amacıyla kullanılmışlardır. Girişte PMOS tranzistorların kullanılmasının nedeni, bu tranzistorların gürültü performanslarının NMOS tranzistorlara göre daha iyi olmasıdır. Şekil-3.29 , Şekil-3.28'deki devrenin gürültü modelini göstermektedir. yapıdaki doğru akım

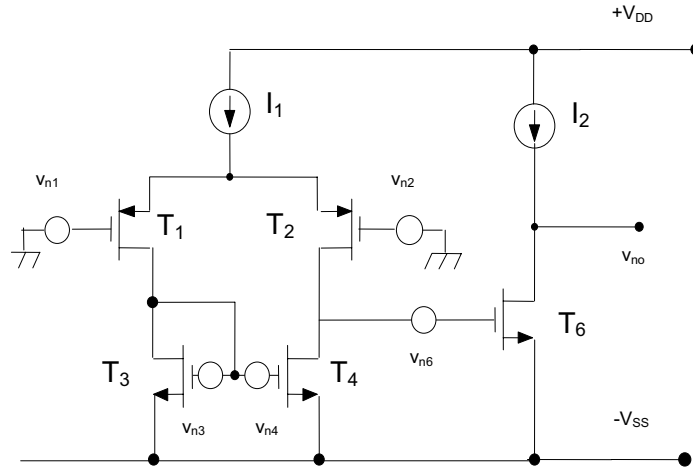
3. 40

kaynaklarının ürettiği gürültü ihmal edilmiştir. Bunun nedeni, MOS tranzistorların geçitlerinin düşük empedanslı noktalara bağlı olmasıdır. T8 ve T9 tranzistorlarının kaynak uçlarından bakıldığında görülen direncin büyük olması nedeniyle, T8 ve T9'un geçitlerindeki gürültü kaynakları, T1 ve T2'nin geçitlerindeki gürültü kaynakları yanında ihmal edilebilir. Böylece toplam çıkış gürültü gerilimi spektral yoğunluğu

$$\overline{v_{no}^2} = g_{m6}^2 R_{11}^2 \left[\overline{v_{n6}^2} + R_1^2 (g_{m1}^2 \overline{v_{n1}^2} + g_{m2}^2 \overline{v_{n2}^2} + g_{m3}^2 \overline{v_{n3}^2} + g_{m4}^2 \overline{v_{n4}^2}) \right] \quad (3.40)$$

şeklinde ifade edilebilir. Eşdeğer giriş gürültü gerilimi spektral yoğunluğu ise (3.40) ifadesini işlemsel kuvvetlendiricinin fark işaret kazancına bölünmesiyle elde edilir:

$$\overline{v_{eq}^2} = \frac{\overline{v_{n6}^2}}{g_{m1}^2 R_1^2} + 2 \cdot \overline{v_{n1}^2} \left[1 + \left(\frac{g_{m3}}{g_{m1}} \right)^2 \left(\frac{v_{n3}}{v_{n1}} \right)^2 \right] \quad (3.41)$$



Şekil-3.29. Düşük gürültülü işlemsel kuvvetlendirici yapısının gürültü modeli.

Bu eşitlikten de fark edilebileceği gibi, ikinci kattan ileri gelen gürültü, ilk kattan ileri gelen gürültüye ifadeye katılabilir. Bu nedenle, bu gürültü ihmal edilebilmektedir. Şekil-3.28'deki devrenin gürültüsünü minimize etmek için,

3. 41

(3.41) bağıntısının minimize edilmesi gerektiği açıktır. $g_{m1} \gg g_{m3}$ şartının sağlanmasıyla (3.41) bağıntısı minimize edilebilir. Bu durumda, giriş gürültüsünün baskın bileşeni giriş tranzistorları tarafından üretilen gürültü olur.

Daha önce de belirtildiği gibi, girişte PMOS tranzistorların kullanılmasının nedeni, PMOS tranzistorların gürültü performanslarının daha iyi olmasıdır. Gürültünün sıcaklığa bağlı bileşeninin azaltılması için, giriş tranzistorunun geçiş iletkenliği artırılabilir. Bunu sağlamak üzere de tranzistorların savak akımları ve/veya W/L oranları artırılabilir. Devrenin girişindeki elemanların ürettiği 1/f gürültü bileşeninin azaltılması için de W veya L değerleri artırılabilir.

BJT'ler için köşe frekansı (1/f gürültüsü ile sıcaklığa bağlı gürültü daha düşüktür. Dolayısıyla, düşük frekanslarda (1 kHz'den daha küçük frekanslarda) gürültüye önem veriliyorsa, MOS tranzistor yerine bipolar tranzistor kullanılması yeğlenebilir.

KAYNAKLAR

- [1] H. Kuntman, Analog tümdevre tasarımı, Sistem yayınları, İstanbul, 1992.
- [2] H. Kuntman, Analog MOS tümdevre tasarımı (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), Uygulamaya özgü tümdevre teknolojileri yaz okulu notları, İstanbul, 1993.
- [3] H. Kuntman, İleri analog tümdevre tasarımı: Analog devreler, (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), İstanbul, 1994.
- [4] P.R. Gray, R.G. Meyer, Analysis and design of analog integrated circuits, John Wiley, 1984.
- [5] R. Gregorian, G.C. Temes, Analog MOS integrated circuits for signal processing, John Wiley, 1986.
- [6] A.B. Grebene, Bipolar and MOS analog integrated circuit design, John Wiley, 1984.
- [7] F. Riedel, MOS Analogtechnik, Oldenburg Verlag, Wien, 1988.
- [8] P.E. Allen and D.R. Holberg, CMOS analog circuit design, Holt, Rinehart and Winston Inc., New York, 1987.