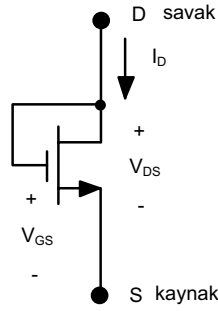


2. TEMEL YAPITAŞLARI

Bu bölümde temel NMOS ve CMOS yapıblokları olan akım kaynakları, gerilim referansları, temel kazanç katları genel özellikleri açısından ele alınacaktır.

2.1. Diyot bağlı NMOS tranzistor



Şekil-2.1. Diyot bağlı NMOS tranzistor.

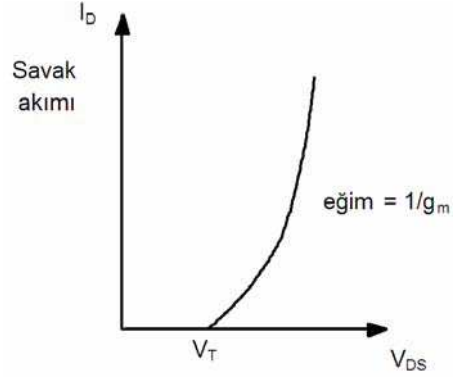
Bipolar tranzistorlardaki diyot bağlamaya benzer bir yapı MOS tranzistorlarda da kullanılmaktadır. Yapı Şekil-2.1'de görülmektedir. Bu yapıda $V_{GS} = V_{DS}$ yapılmıştır. Tranzistor iletimdeyken daima doymadadır. Zira, daima $V_{GS} = V_{DS}$ olmakta, bu nedenle $V_{DS} \geq V_{DS} - V_T = V_{GS} - V_T$ şartı sağlanmaktadır. $V_{GS} = V_T$ olana kadar tranzistor akım iletmez. $V_{GS} \geq V_T$ olunca iletim başlar. Yapının akım-gerilim karakteristiği Şekil-2.2'de verilmiştir. Tranzistor doymada çalıştığından, akım-gerilim bağıntısı

$$I_D = \frac{\beta}{2} [V_{GS} - V_T]^2 = \frac{\beta}{2} [V_{DS} - V_T]^2 \quad (2.1)$$

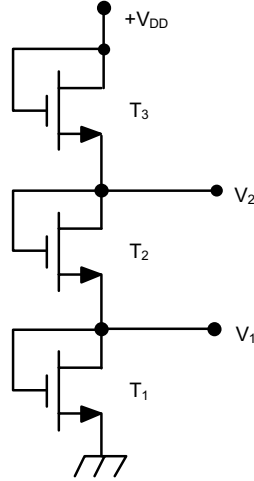
şeklindedir. Yapının dinamik direnci

$$r_o = \frac{1}{g_m} = \frac{1}{\mu \cdot C_{OX} \frac{W}{L} (V_{GS} - V_T)} = \frac{1}{\beta (V_{GS} - V_T)} \quad (2.2)$$

bağıntısıyla hesaplanabilir. Görülebileceği gibi, dinamik direnç (W/L) ile ters orantılıdır. Yapının geniş bir uygulama alanı bulunmaktadır. Bunlardan biri olan gerilim bölücü Şekil-2.3'de gösterilmiştir. Yapıda, her bir tranzistor bir direnç gibi kullanılmaktadır. Bunun yanısıra, diyot bağlı tranzistor, kutuplama elemanı ve aktif yük olarak da uygulama alanı bulmaktadır.



Şekil-2.2. Diyot bağlı NMOS tranzistorun akım-gerilim karakteristiği.

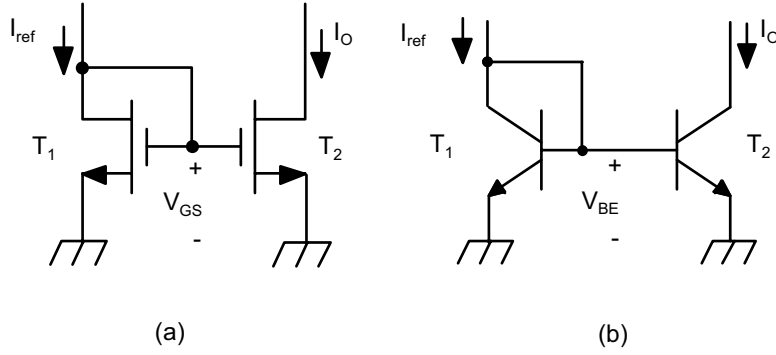


Şekil-2.3. Diyotlu gerilim bölücü.

2.2. NMOS akım aynaları

Basit akım aynası, Wilson akım aynası, kaskod akım aynası gibi bipolar tekniğinden bilinen yapılar MOS tekniğine de uygulanabilmektedir.

Basit akım aynası



Şekil-2.4. NMOS basit akım aynası ve bipolar tekniğindeki karşılığı.

Basit akım aynası devresi Şekil-2.4'de verilmiştir. Devrenin karşı düştüğü bipolar tranzistorlu akım kaynağı yapısı da yine şekilde gösterilmiştir. Tranzistorların doymada çalıştıkları varsayımı ile akım-gerilim bağıntıları yazılırsa

$$I_{ref} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_1 [V_{GS} - V_T]^2 \quad (2.3)$$

$$I_O = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_2 [V_{GS} - V_T]^2 \quad (2.4)$$

Tranzistorların aynı prosesle oluşturuldukları ve geometri dışında eş özellik gösterdikleri göz önüne alınacak olursa, iki koldaki akımların oranı

$$\frac{I_O}{I_{ref}} = \frac{(W/L)_2}{(W/L)_1} \quad (2.5)$$

şeklinde ve tam olarak 1 yapılabilir. Bipolar tranzistorlu düzenlerde bu oran, tranzistorlar eş olsa bile, baz akımları nedeniyle

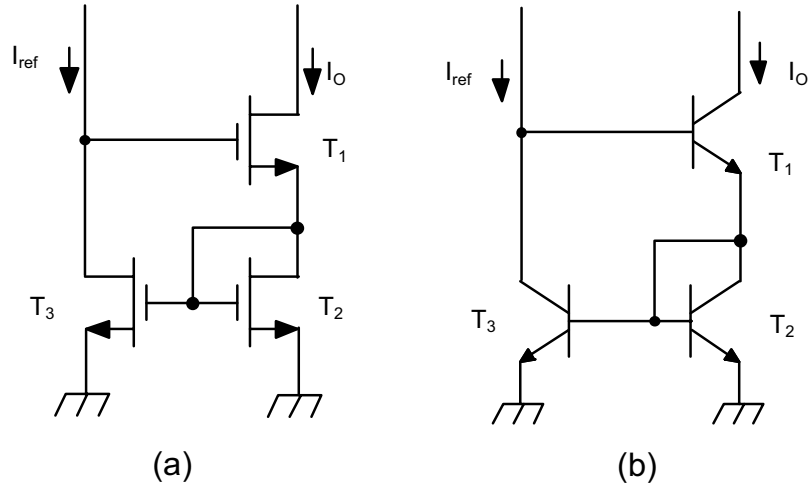
$$\frac{I_O}{I_{ref}} = \frac{1}{1 + \frac{2}{\beta_F}} < 1$$

bağıntısıyla tanımlanır. Basit akım aynasının çıkış direnci

$$R_O = \frac{1}{\lambda \cdot I_O} \quad (2.6)$$

olur.

Wilson akım kaynağı



Şekil-2.5. Wilson akım kaynağı

NMOS tranzistorlarla gerçekleştirilen Wilson akım kaynağı devresi, eşdeğer bipolar yapı ile birlikte Şekil-2.5'de görülmektedir. Bu yapıda da akım yansıtma oranı

$$\frac{I_O}{I_{ref}} = \frac{(W/L)_2}{(W/L)_3} \quad (2.7)$$

şeklindedir.

Tranzistorların tümüyle eş olmaları halinde

$$I_O = I_{ref} \quad (2.8)$$

olur. Eşdeğer bipolar yapıda ise akımların ilişkisi

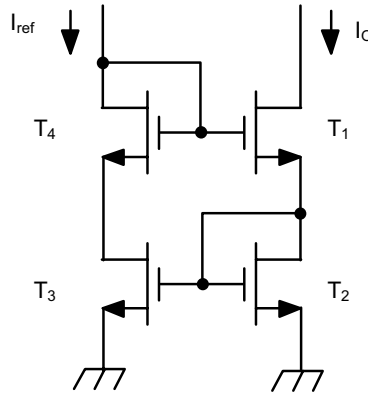
$$I_O = I_{ref} \cdot \left(\frac{\beta_F^2 + 2\beta_F}{\beta_F^2 + 2\beta_F + 2} \right)$$

şeklindedir; başka bir deyişle, yansıtma oranı birden küçüktür. Her iki yapıda da T_3 tranzistoru üzerinden sağlanan geribesleme, devrenin çıkış direncini yükseltmektedir. Küçük işaret eşdeğer devresi kullanılarak R_O çıkış direnci hesaplanırsa

$$R_O = r_{O1} g_{m3} r_{O3} \quad (2.9)$$

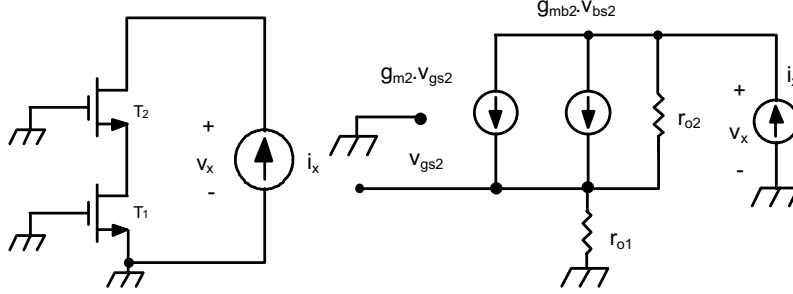
bağıntısı elde edilir. r_{O1} büyüklüğü T_1 tranzistorunun, r_{O3} de T_3 tranzistorunun çıkış direnci, g_{m3} büyüklüğü ise T_3 ' ün eğimi olmaktadır. $g_m \cdot r_o$ çarpanı 50-100 mertebesinde dir.

İyileştirilmiş Wilson akım kaynağı



Şekil-2.6. İyileştirilmiş Wilson akım kaynağı.

MOS Wilson akım kaynağı yapılarında MOS tranzistorların eşik gerilimlerinin büyük olması durumunda, T_3 tranzistorunun savak-kaynak gerilimi, T_2 tranzistorunun savak-kaynak geriliminden 1V yahut daha fazla



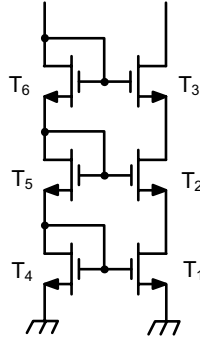
Şekil-2.8. Kaskod devrenin çıkış direncinin hesaplanması

elde edilir. Diğer bir deyişle, tranzistorun çıkış direnci $1+g_m \cdot r_o$ çarpanı ile çarpılarak çıkışa yansımaktadır. Gerçekte, çıkış direncini hesaplariken gövde etkisini de dikkate almak gerekir; zira, T_2 tranzistorunun kaynak ucu toprak potansiyelinde değildir. Bunun için Şekil-2.8'deki eşdeğer devreden hareket edilirse

$$R_o = r_{o2} [1 + (g_{m2} + g_{mb2}) r_{o1}] + r_{o1} \quad (2.11)$$

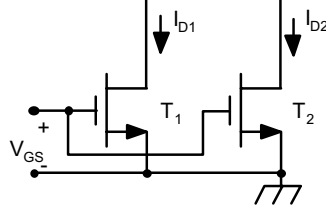
olur. Bu sonuçta ilginç olan, gövde etkisinin de çıkış direncini arttıracak yönde etki etmesidir.

MOS tekniğinde istenilen değerdeki yüksek empedans, çok sayıda kaskod katın üst üste yerleştirilmesi ile elde edilebilir. Örnek bir yapı Şekil-2.9'da görülmektedir. Bu yapılarda her bir kaskod çıkış direncini $1+g_m r_o$ kadar yükseltmektedir. Bipolar tekniğinde ise, baz akımlarının etkisi nedeniyle, bu mümkün değildir.



Şekil-2.9. Üç katlı kaskod akım kaynağı.

MOS akım kaynaklarında tranzistor dengesizliklerinin etkisi



Şekil-2.10. MOS akım aynalarında dengesizlik.

İmalat toleransları nedeniyle, birbirinin eşi olan iki tranzistoru gerçekleştirmenin mümkün olamayacağı, tranzistorlar arasındaki farklılıklar nedeniyle akım kaynaklarının performansının olumsuz yönde etkileneceği açıktır. Şekil-2.10'daki gibi bir çoğaltmalı akım kaynağının tranzistorlarının (W/L) oranları ve V_T eşik gerilimleri arasında dengesizlik bulunduğu varsayalım. Bu durumda, aynı kutuplama gerilimi yardımıyla kutuplanan tranzistorların savak akımları

$$I_{D1} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_1 [V_{GS} - V_{T1}]^2 \quad (2.12)$$

$$I_{D2} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_2 [V_{GS} - V_{T2}]^2 \quad (2.13)$$

olur.

$$I_D = \frac{I_{D1} + I_{D2}}{2}$$

$$\Delta I_D = I_{D1} - I_{D2}$$

$$\frac{W}{L} = \frac{\left(\frac{W}{L} \right)_1 + \left(\frac{W}{L} \right)_2}{2} \quad (2.14)$$

$$\Delta \frac{W}{L} = \left(\frac{W}{L} \right)_1 - \left(\frac{W}{L} \right)_2$$

$$V_T = \frac{V_{T1} + V_{T2}}{2}$$

$$\Delta V_T = V_{T1} - V_{T2}$$

şeklinde ortalama ve fark büyüklükler tanımlansın. Bunların akım-gerilim bağıntılarında yerlerine konması halinde, yüksek dereceden terimler ihmal edilirse, dengesizlikler nedeniyle akımın nominal değerinde ortaya çıkacak bağıl hata

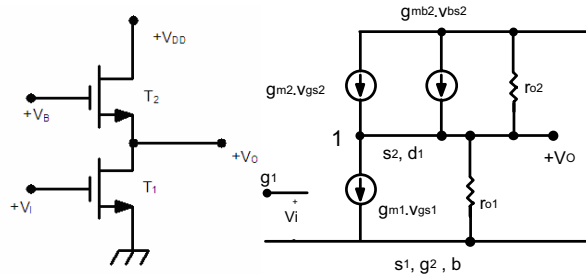
$$\frac{\Delta I_D}{I_D} = \frac{\Delta \frac{W}{L}}{\frac{W}{L}} - 2 \frac{\Delta V_T}{V_{GS} - V_T} \quad (2.15)$$

olur. Bağıntıdan görülebileceği gibi, akım dengesizliğinin iki bileşeni bulunmaktadır. Bunlardan birincisi geometriye bağlıdır ve kutuplamadan bağımsızdır. İkinci bileşen ise eşik dengesizliğinden kaynaklanmaktadır ve kutuplamaya bağlıdır, diğer bir deyişle $V_{GS} - V_T$ azaldıkça artmaktadır.

2.3. Kuvvetlendirici Yapıları

Bu bölümde, NMOS ve CMOS aktif yüklü kuvvetlendirici yapıları ele alınacaktır. İlk başta, sadece kanal oluşturmali NMOS yapılar incelenecek, daha sonra kanal oluşturmali ve kanal ayarlamali tranzistorların birlikte kullanıldıkları yapılara yer verilecek, en sonda ise CMOS yapılara değinilecektir.

Aktif yüklü savak çıkışlı kuvvetlendirici yapısı



Şekil-2.11. Savak çıkışlı kuvvetlendirici ve bu yapının eşdeğer devresi.

2.10

Aktif yüklü savak çıkışlı bir kuvvetlendirici devresi Şekil-2.11'de gösterilmiştir. Yine, yapının eşdeğer devresi şekil üzerinde yer almaktadır. Devrenin gerilim kazancı eşdeğer devre yardımıyla hesaplanabilir. Devre gövde etkisi de dikkate alınarak incelenir. Eşdeğer devreden hareketle 1 düğümü için akım denklemi yazılır ve düzenlenirse

$$g_{m1} \cdot v_i = -v_o (g_{m2} + g_{mb} + 1/r_{o1} + 1/r_{o2})$$

elde edilir. $1/r_{o1}$ ve $1/r_{o2}$ terimlerinin g_{mb} ve g_{m2} iletkenliklerinin yanında ihmal edilebilecekleri düşünülürse

$$K_V = -\frac{g_{m1}}{g_{m2} + g_{mb}} \quad (2.16)$$

bağıntısı bulunur.

Daha önce gövde etkisi için verilen tanımlar kullanılırsa

$$g_{mb} = \lambda_b \cdot g_m$$

olduğundan, gerilim kazancı bağıntısı

$$K_V = -\frac{g_{m1}}{g_{m2}} \frac{1}{1 + \lambda_b} \quad (2.17)$$

şeklini alır.

$$\alpha_b = \frac{1}{1 + \lambda_b} \quad (2.18)$$

biçiminde yeni bir büyüklük tanımlanırsa, bağıntı

$$K_V = -\alpha_b \frac{g_{m1}}{g_{m2}} \quad (2.19)$$

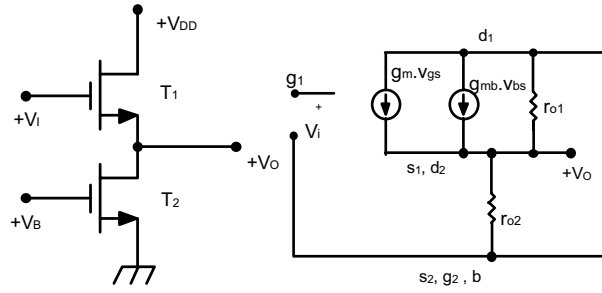
biçiminde yazılabilir. Bu bağıntılardaki α_b büyüklüğü gövde etkisi katsayısı adını alır ve değeri daima 1 den küçüktür; diğer bir deyişle α_b büyüklüğü, kazancı azaltan bir faktör olarak kendini gösterir. Gövde etkisinin ihmal edilmesi, yani $\alpha_b = 1$ olması durumunda, devrenin gerilim kazancı

$$K_V = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (2.20)$$

olur. Bu bağıntıdan hareketle, MOS tranzistorlu kuvvetlendiricilerde kazancın neden düşük değerli olduğu izlenebilir. (W/L) oranlarını istenildiği kadar büyük tutmak pratikte olanak dışıdır. Bu oranın büyük tutulmaya çalışılması halinde

parazitik kapasiteler sorun olmaya başlarlar. Bunun yanısıra, kazancı 10 defa arttırmak üzere, (W/L) oranlarının 100 defa değiştirilmesi gerekeceği de açıktır. Bütün bunların yanısıra, gövde etkisi nedeniyle de kazancın biraz daha düşük çıkacağı dikkate alınmak zorundadır.

Aktif yüklü kaynak çıkışlı kuvvetlendirici



Şekil-2.12. Aktif yüklü kaynak çıkışlı kuvvetlendirici ve bu yapının eşdeğer devresi.

Bipolar tekniğindeki benzer biçimde, NMOS transistörler kullanılarak emetör (kaynak) çıkışlı kuvvetlendiriciler gerçekleştirilebilir. Bu şekilde gerçekleştirilmiş bir kuvvetlendirici yapısı ve buna ilişkin eşdeğer devre Şekil-2.12'de görülmektedir. Eşdeğer devreden hareket edilirse, kuvvetlendiricinin gerilim kazancı için

$$K_V = \frac{v_o}{v_i} = \frac{g_m}{\alpha_b + \frac{1}{r_{o1}} + \frac{1}{r_{o2}}} \quad (2.21)$$

bağıntısı elde edilir. Genelde, r_{o1} ve r_{o2} yeteri kadar büyük olduklarından, g_m/α_b teriminin yanında ihmal edilebilirler. Böylece, devrenin gerilim kazancı

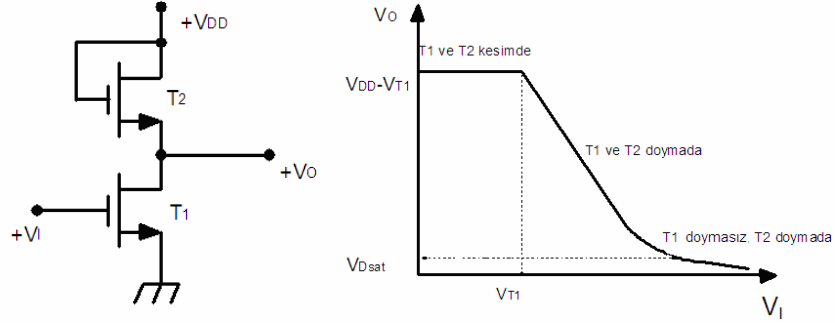
$$K_V = \frac{v_o}{v_i} = \alpha_b \quad (2.22)$$

ve çıkış direnci de

$$r_o = \frac{1}{g_m} \quad (2.23)$$

olur.

Diyot bağı kanal oluşturmali NMOS un yük olarak kullanılması



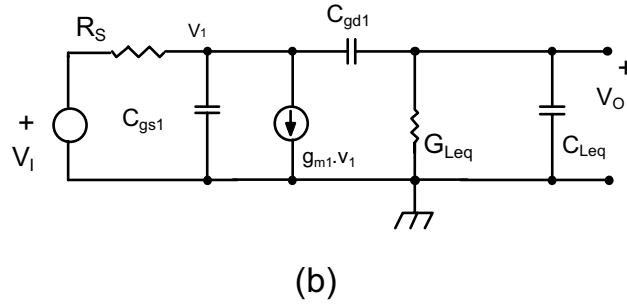
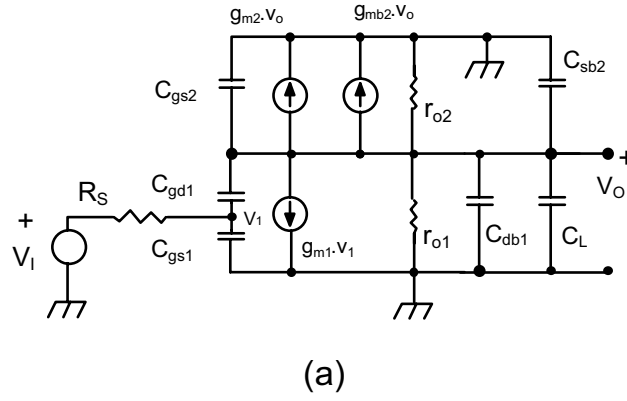
Şekil-2.13. Diyot bağı kanal oluşturmali NMOS yüklü savak çıkışlı kuvvetlendirici ve gerilim geçiş eğrisi.

Savak çıkışlı kuvvetlendirici yapısının özel bir hali olan bu yapı, ilk başta, kanal ayarlamalı yük ve eşlenik elemanın bulunmadığı zamanlarda, MOS dijital devrelerde kullanılmıştır. Yapı Şekil-2.13’de verilmiştir. Giriş geriliminin bir eşik geriliminden daha az olması durumunda T₁ kesime gider ve devreden akım akmaz. Giriş geriliminin eşik gerilimini aşması halinde ise her iki tranzistor doymaya girer ve devre kuvvetlendirici olarak çalışır. Genel savak çıkışlı kuvvetlendirici yapısında olduğu gibi, bu yapıda da gerilim kazancı, gövde etkisinin ihmal edilmesi durumunda

$$K_V = -\frac{g_{m1}}{g_{m2}} = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (2.24)$$

şeklinde dir. Pratik eleman geometrileri için bu bağıntı, maksimum gerilim kazancını 10- 20 değerleri arasında sınırlar. Bununla beraber, bu tür eviriciler geniş bantlı, düşük kazançlı ve lineerliği yüksek devre oluşturmak açısından yarar sağlarlar.

Diyot yüklü NMOS kuvvetlendiricinin frekans cevabı



Şekil-2.14. Diyot yüklü kuvvetlendiricinin küçük işaret eşdeğer devresi.

Diyot yüklü NMOS kuvvetlendiricinin frekans cevabı eşdeğer devre yardımıyla incelenebilir. Eşdeğer devre Şekil-2.14'de görülmektedir. Eşdeğer devredeki büyüklükler

$$G_{Leq} = (1/r_{o1}) + (1/r_{o2}) + g_{m2} + g_{mb2} \quad (2.25)$$

$$C_{Leq} = C_{db1} + C_{gs2} + C_{sb2} + C_L \quad (2.26)$$

şeklinde tanımlanmışlardır. Bu devre yardımıyla transfer fonksiyonu hesaplanırsa

$$K_V(s) = \frac{V_O}{V_I} = \frac{G_S(sC_{gd1} - g_{m1})}{(sC_{in} + G_S) \cdot [s(C_{Leq} + C_{gd1}) + G_{Leq}]} \quad (2.27)$$

elde edilir. Bu bağıntıdaki C_{in} giriş kapasitesi

$$C_{in} = C_{gs1} + (1 + g_{m1} / G_{Leq}) \cdot C_{gd1} \quad (2.28)$$

bağıntısıyla tanımlanmaktadır.

Transfer fonksiyonunun sıfır ve kutupları araştırılırsa

$$s_z = \frac{g_{m1}}{C_{gd1}} \quad (2.29)$$

$$s_{p1} = -\frac{G_S}{C_{in}} \quad (2.30)$$

$$s_{p2} = -\frac{G_{Leq}}{C_{Leq} + C_{gd1}} \quad (2.31)$$

Genelde, C_{gd1} küçük değerlidir. $s_z \gg |s_{p1}|$ ve C_{Leq} eşdeğer yük kapasitesi küçük olduğundan, $|s_{p2}| \gg |s_{p1}|$ olur. Bu nedenle, $j\omega$ eksenine yakın olan s_{p1} baskın kutuptur. Frekans eğrisinin 3 dB düştüğü açısız frekans

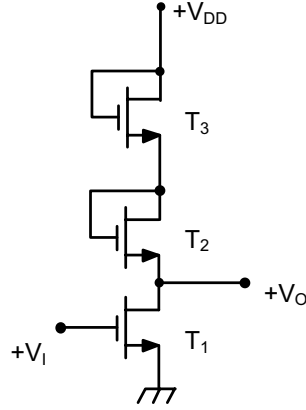
$$\omega_{3dB} = |s_{p1}| = \frac{G_S}{C_{in}} \quad (2.32)$$

olur. Yüksek değerli alçak frekans kazancı elde edilebilmesi için (W/L) oranı küçük olmalıdır. W genişliğinin minimum değeri prosesin geometrik rezolüsyonu ile sınırlı olduğundan, T nin kanal boyunun uzun tutulması gerekir. Bu ise, C_{gs2} ve C_{Leq} kapasitelerinin artmasına, dolayısıyla $|s_{p2}|$ nin düşmesine ve frekans eğrisinin bu kutup tarafından yararlı bölgede daha fazla etkilenmesine neden olur.

Bu etki, pozitif gerilim dalgalanmasının biraz azalmasına razı olunarak iki yahut daha fazla parçalı yük tranzistoru kullanılarak giderilebilir. Böyle bir devre Şekil-2.15'de gösterilmiştir. Belirli bir g_{m1} eğimi için devrenin yükü tek bir yük elemanına göre yarı geçit alanına gereksinme göstermekte, böylece

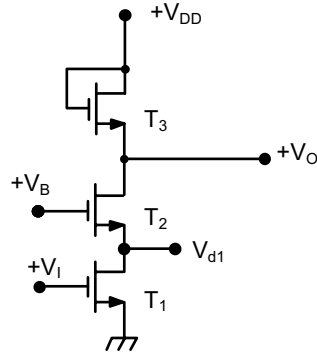
2.15

etkin yük kapasitesi C_{Leq} azalmaktadır. Buna karşılık, iki diyot seri bağlanarak yük oluşturulduğundan, alçak frekanslardaki kazanç önceki devreyle aynı olur.



Şekil-2.15. Parçalı yüklü kuvvetlendirici.

Kaskod devre



Şekil-2.16a. Kaskod yüklü kuvvetlendirici.

Aktif yüklü kuvvetlendiricilerde yük transistörleri kendilerini süren kata önemli bir kapasitif yük oluşturabilirler. C_{gs} ve C_{gd} kapasiteleri sorun yaratmaya başlarlar, özellikle C_{gd} kapasitesi Miller etkisi nedeniyle sorun çıkarır. Bu problem kaskod devre yardımıyla çözülebilir. Kaskod devre Şekil-2.16a'da verilmiştir. Kaskod yapıda, T_1 transistörünün savak ucuna ortak geçitli olarak

çalışan T_2 tranzistoru bağlanmıştır. Devrenin gerilim kazancı eşdeğer devre yardımıyla hesaplanabilir. Girişten ilk tranzistorun savak ucuna kadar olan kazanç

$$\frac{v_{d1}}{v_i} = -\frac{g_{m1}}{g_{m2}} \alpha_{b2} = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \alpha_{b2} \quad (2.33)$$

ikinci tranzistorun kaynak ucundan savak ucuna kadar olan kazanç da

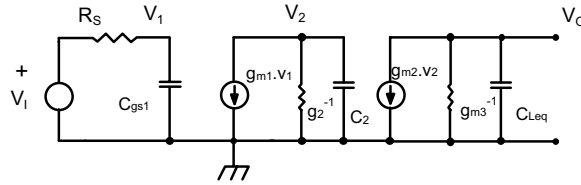
$$\frac{v_o}{v_{d1}} = \alpha_{b3} \frac{g_{m2}}{g_{m3}} \frac{1}{\alpha_{b2}}$$

bağıntısıyla verilir. Buradan hareketle toplam kazanç hesaplanırsa

$$\frac{v_o}{v_i} = -\alpha_{b3} \frac{g_{m1}}{g_{m3}} \frac{1}{\alpha_{b2}} = -\sqrt{\frac{(W/L)_1}{(W/L)_3}} \quad (2.34)$$

bulunur. Miller etkisi nedeniyle C_{gd1} kapasitesi v_{d1}/v_i ile çarpılarak girişe yansır. Bu etkiyi minimum düzeyde tutabilmek üzere, $(W/L)_1 = (W/L)_2$ seçilerek $v_{d1}/v_i = 1$ olması sağlanır. $(W/L)_3$ oranı küçük tutularak da istenilen kazanç değeri sağlanır.

Kaskod devrenin frekans cevabı



Şekil-2.16b Kaskod devrenin küçük işaret eşdeğer devresi.

Kaskod devrenin frekans cevabı eşdeğer devre kullanılarak incelenebilir. Kaskod devrenin eşdeğer devresi Şekil-2.16b’de görülmektedir. Eşdeğer devrede görülen büyüklükler

$$\begin{aligned}
g_2 &= g_{m2} + \frac{1}{r_{o1}} \\
C_1 &= C_{gs1} + (1 + g_{m1} / g_{m2}) \cdot C_{gd1} \\
C_2 &= C_{gd1} + C_{db1} + C_{gs2} + C_{sb2} \\
C_{Leq} &= C_{gd2} + C_{db2} + C_{sb3} + C_{gs3} + C_L
\end{aligned} \tag{2.35}$$

şeklindedir. Miller teoreminin uygulanmasıyla devrenin transfer fonksiyonu

$$K_V(s) = \frac{G_S g_{m2} (sC_{gd1} - g_{m1})}{(sC_1 + G_S) \cdot (sC_2 + g_2) \cdot (sC_{Leq} + g_{m3})} \tag{2.36}$$

olur. Bu transfer fonksiyonunun sıfır ve kutupları

$$s_z = \frac{g_{m1}}{C_{gd1}} \tag{2.37}$$

$$s_{p1} = -\frac{G_S}{C_1} \tag{2.38}$$

$$s_{p2} = -\frac{g_2}{C_2} \tag{2.39}$$

$$s_{p3} = -\frac{g_{m3}}{C_{Leq}} \tag{2.40}$$

şeklindedir. Pratikte karşılaşılan değerler ele alınırsa, $|s_{p1}| \ll s_z$, $|s_{p2}|$, $|s_{p3}|$ ve böylece s_{p1} baskın kutup olur. Buna göre, kazanç fonksiyonunun 3 dB düşme frekansı

$$f_{3dB} = \frac{G_S}{2\pi \cdot C_1} \tag{2.41}$$

olur. Tipik olarak $g_{m1} = g_{m2}$ olduğundan, kaskod devrede C_{in} giriş kapasitesi

$$C_{in} = C_1 = C_{gs1} + 2C_{gd1} \tag{2.42}$$

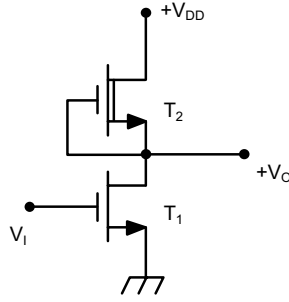
değerindedir. Böylece, 3 dB frekansı da

$$f_{3dB} = \frac{G_S}{2\pi \cdot (C_{gs1} + 2 \cdot C_{gd1})} \tag{2.43}$$

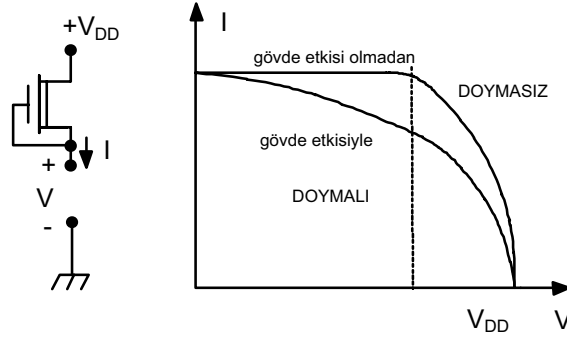
olur. (2.28) ve (2.30) bağıntılarıyla karşılaştırılırsa, giriş kapasitesinin küçülmesi nedeniyle band genişliğinin artacağı kolayca görülebilir.

Kanal ayarlamalı NMOS yüklü kuvvetlendiriciler

NMOS teknolojisinde karşılaşılan en büyük sorun, yeterli derecede yüksek kazançların elde edilememesidir. Bu sorunun çözülmesi için başvurulan bir yol, kanal ayarlamalı NMOS transistörlerin yük transistörü olarak kullanılmasıdır. Modern NMOS prosesinin getirdiği kanal ayarlamalı NMOS transistörler bu sorunun çözümünü sağlamaktadır.



Şekil-2.17. NMOS kanal ayarlamalı yüklü kuvvetlendirici ve gerilim geçiş eğrisi.



Şekil-2.18. Kanal ayarlamalı yük transistörünün I-V eğrisi.

Kanal ayarlamalı yüklü kuvvetlendirici devresi Şekil-2.17'de gösterilmiştir. NMOS kanal ayarlamalı yük transistörünün I-V eğrisi Şekil-2.18'de verilmiştir. Kanal oluşturmaya doymalı yükten farklı olarak, yük transistörü, çıkış ucu V_{DD} besleme gerilimine ulaşana kadar akım akıtmaktadır. Ayrıca, yük direncinin doymada bulunduğu bölgede oldukça büyük bir gerilim

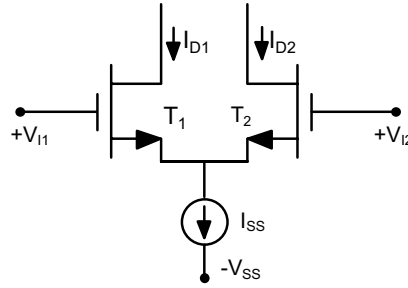
kazancı elde edilmektedir. Başka bir deyişle, analog kuvvetlendirme açısından bakıldığında, her iki tranzistorun doymada bulunduğu bölge önem kazanmaktadır. Eşdeğer devre yardımıyla devrenin gerilim kazancı hesaplanırsa

$$K_V = -\frac{g_{m1}}{g_{mb}} = -\frac{1}{\lambda_b} \frac{g_{m1}}{g_{m2}} \quad (2.44)$$

$$K_V = -\frac{g_{m1}}{g_{mb}} = -\frac{1}{\lambda_b} \sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (2.45)$$

bulunur. Diğer bir deyişle, kazanç iki elemanın eğimleri oranının $1/\lambda_b$ ye bölünmesiyle hesaplanmaktadır. λ_b nin 0.1 mertebesinde olduğu düşünülecek olursa, bu yapının kanal oluşturmali yapıya kıyasla daha yüksek kazanç sağlayacağı açıktır.

MOS emetör bağlamalı kuvvetlendiriciler



Şekil-2.19. Kaynak bağlamalı kuvvetlendirici.

Bipolar tranzistorlu yapılarda olduğu kadar MOS tekniğinde de önemli bir yapıtaşısı olan emetör yahut kaynak bağlamalı kat Şekil-2.19'da gösterilmiştir. Bu devredeki tranzistorlara ilişkin akım-gerilim bağıntıları, tranzistorların çıkış dirençlerinin ve gövde etkisinin ihmal edilmesi halinde

$$I_{D1} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_1 [V_{GS1} - V_T]^2$$

$$I_{D2} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_2 [V_{GS2} - V_T]^2$$

şeklinde yazılabilir. Öte yandan giriş fark gerilimi de

$$\Delta V_I = V_{I1} - V_{I2} = V_{GS1} - V_{GS2}$$

olur. Bu bağıntıların biraraya getirilmesiyle, devreye ilişkin çıkış fark akımı hesaplanırsa

$$\Delta I_D = \frac{1}{2} \mu \cdot C_{OX} \left[\frac{W}{L} \right] \cdot \Delta V_I \sqrt{\frac{2I_{SS}}{\mu \cdot C_{OX} \left[\frac{W}{2 \cdot L} \right]} - (\Delta V_I)^2} \quad (2.46)$$

bulunur. Bu bağıntı her iki tranzistorun da doymada kaldıkları varsayılarak elde edilmiştir. Fark edilebileceği gibi, elde edilen bağıntı

$$\Delta V_I \leq \sqrt{\frac{2I_{SS}}{\mu \cdot C_{OX} \left[\frac{W}{L} \right]}} \quad (2.47)$$

şartı altında geçerli olmaktadır. Eğer

$$\Delta V_I \geq \sqrt{\frac{2I_{SS}}{\mu \cdot C_{OX} \left[\frac{W}{L} \right]}} \quad (2.48)$$

ise, tranzistorlardan birinin iletkenliği diğerine göre çok yüksektir, bu nedenle bütün akım iletkenliği yüksek olan tranzistordan geçer; diğer bir deyişle, $\Delta I_D = I_{SS}$ olur.

Bipolar emetör bağlamalı kuvvetlendirici yapısındakine benzer biçimde, kaynak bağlamalı çift de, giriş geriliminin belirli bir değeri aşması halinde, sınırlayıcı etkisi gösterir. Ancak, bipolar emetör bağlamalı kuvvetlendirici yapısından farklı olarak, kaynak bağlamalı yapıda bu sınırlama kutuplama akımına ve elemanın boyutlarına bağlıdır. Bu açıdan bakıldığında, yapı, bipolar tranzistorlarda emetöre seri direnç bağlanarak giriş gerilimi değişim aralığının istenen değere getirilmesine benzer bir davranış gösterir. Çıkartılan bağıntılardan, bir tranzistorun kesime sürülebilmesi için gerekli olan fark giriş geriliminin, denge konumunda çalışan tranzistorlara ilişkin $V_{GS} - V_T$ değerinin $(2)^{0.5}$ katı olması gerekeceği bulunabilir.

Kutuplama akımını arttırarak, kanal boyunu arttırarak ve kanal genişliğini azaltarak, her iki elemanın da aktif oldukları bölgenin sınırları genişletilebilir. İşlemsel kuvvetlendirici giriş katlarında $V_{GS} - V_T$ birkaç yüz

milivolt mertebesinde tutulur. Böyle bir yapının farklı kutuplama durumları için elde edilecek geçiş karakteristikleri Şekil-2.20'de görülmektedir.

Analog uygulamalar için önem taşıyan diğer bir büyüklük de kaynak bağlamalı katın eğimidir. Bu eğim

$$G_m = \left(\frac{d\Delta I_D}{d\Delta V_I} \right)_{\Delta V_I=0} \quad (2.49)$$

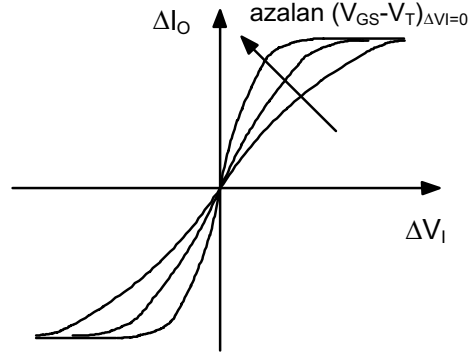
şeklinde tanımlanmaktadır. ΔI_D için verilmiş olan (2.46) bağıntısından türev alınırsa

$$\begin{aligned} \frac{d\Delta I_D}{d\Delta V_I} &= \frac{1}{2} \mu \cdot C_{ox} \left[\frac{W}{L} \right] \cdot \sqrt{\frac{2I_{SS}}{\mu \cdot C_{ox} \left[\frac{W}{2 \cdot L} \right]} - (\Delta V_I)^2} \\ &- \frac{1}{2} \mu \cdot C_{ox} \left[\frac{W}{L} \right] \cdot \frac{(\Delta V_I)^2}{\sqrt{\frac{2I_{SS}}{\mu \cdot C_{ox} \left[\frac{W}{2 \cdot L} \right]} - (\Delta V_I)^2}} \end{aligned} \quad (2.50)$$

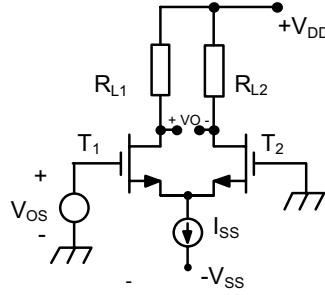
bulunur. $\Delta V_I=0$ olması, yani sükunet şartı altında eğim bağıntısı

$$G_m = g_{m1} = g_{m2} = \sqrt{I_{SS} \mu \cdot C_{ox} \left[\frac{W}{L} \right]} \quad (2.51)$$

şeklini alır. Diğer bir deyişle, kaynak bağlamalı çiftin eğimi, bipolar yapılardaki gibi, her bir tranzistorun sükunetteki eğimine eşittir. Ancak, bipolar yapılarda eğim sadece kutuplama akımına bağlıdır ve eleman boyutlarından bağımsızdır. MOS fark kuvvetlendiricilerinde ise eğim hem kutuplama akımına hem de elemanın boyutlarına bağlı olmaktadır.



Şekil-2.20. MOS fark kuvvetlendiricisinin geçiş karakteristiği.



Şekil-2.21. MOS fark kuvvetlendiricisinde dengesizlik.

Kaynak bağlamalı çiftin incelenmesi gereken diğer bir özelliği de giriş dengesizlik gerilimidir. İncelemede basitlik sağlamak amacıyla devrede yük olarak R_L dirençlerinin kullanıldığı varsayalım (Şekil-2.21). Giriş dengesizlik gerilimine neden olan başlıca etkenlerin yük dirençlerinin, tranzistorların W/L oranlarının ve eşik gerilimlerinin değerleri arasındaki dengesizlikler olduğu kabul edilirse, dengesizlik gerilimi

$$V_{OS} = V_{GS1} - V_{GS2}$$

$$V_{OS} = V_{T1} + \sqrt{\frac{2 \cdot I_{D1}}{\mu \cdot C_{OX} (W/L)_1}} - V_{T2} - \sqrt{\frac{2 \cdot I_{D2}}{\mu \cdot C_{OX} (W/L)_2}} \quad (2.52)$$

biçiminde ifade edilebilir. Daha önce de yapıldığı gibi, fark ve ortalama büyüklükler tanımlanırsa

$$\begin{aligned}
\Delta I_D &= I_{D1} - I_{D2} \\
I_D &= \frac{I_{D1} + I_{D2}}{2} \\
\Delta \left(\frac{W}{L} \right) &= \left(\frac{W}{L} \right)_1 - \left(\frac{W}{L} \right)_2 \\
\left(\frac{W}{L} \right) &= \frac{\left(\frac{W}{L} \right)_1 + \left(\frac{W}{L} \right)_2}{2} \\
\Delta V_T &= V_{T1} - V_{T2} \\
V_T &= \frac{V_{T1} + V_{T2}}{2} \\
\Delta R_L &= R_{L1} - R_{L2} \\
R_L &= \frac{R_{L1} + R_{L2}}{2}
\end{aligned} \tag{2.53}$$

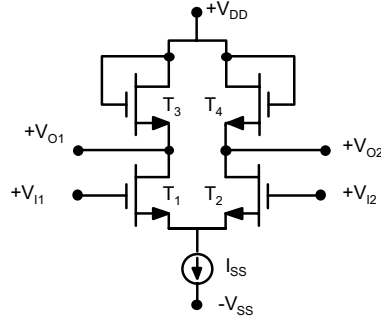
elde edilir. V_{OS} giriş dengesizlik gerilimi, tanım olarak, eleman toleransları nedeniyle ortaya çıkacak fark çıkış gerilimini tam olarak sıfır yapan giriş gerilimidir ve $I_{D1} \cdot R_{L1} = I_{D2} \cdot R_{L2}$ şartını gerektirmektedir. Bu şart ve yukarıda tanımlanan büyüklükler V_{OS} için elde edilen bağıntıya götürülür ve yüksek dereceden terimler ihmal edilirse, giriş dengesizlik gerilimi

$$V_{OS} = \Delta V_T + \frac{V_{GS} - V_T}{2} \left[\left(\frac{-\Delta R_L}{R_L} \right) - \left(\frac{\Delta(W/L)}{(W/L)} \right) \right] \tag{2.54}$$

bağıntısıyla verilebilir. Bu bağıntıda ΔR_L , ΔV_T , $\Delta(W/L)$ iki eleman arasındaki fark bileşenlerini, R_L , V_T ve (W/L) de ortalama değerleri gösterirler. Bağıntıdan fark edilebileceği gibi, yük elemanları arasındaki bir dengesizlik veya W/L oranlarındaki bir dengesizlik gerilimi doğrudan doğruya $V_{GS} - V_T$ ile çarpılmaktadır. $V_{GS} - V_T$ büyüklüğü tipik olarak birkaç yüz milivolt mertebesinde olur. Bipolar emetör bağlamalı çiftlerde aynı dengesizlik terimleri kT/q ile, yani çok daha küçük değerli bir çarpanla çarpılır. Bu nedenle, MOS kaynak bağlamalı çift bipolar emetör bağlamalı çifte göre, aynı orandaki geometrik dengesizlikler için daha yüksek bir giriş dengesizliği gösterir.

Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi

Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi Şekil-2.22'de verilmiştir.



Şekil-2.22. Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi.

Küçük işaret eşdeğer devresinden yararlanılırsa, devrenin fark gerilim kazancı

$$K_d = -\alpha_{b3} \frac{g_{m1}}{g_{m3}} \quad (2.55)$$

ortak işaret kazancı

$$K_C = -\frac{\alpha_{b1} \alpha_{b3}}{2 \cdot R_S \cdot g_{m3}} \quad (2.56)$$

ortak işareti zayıflatma oranı da

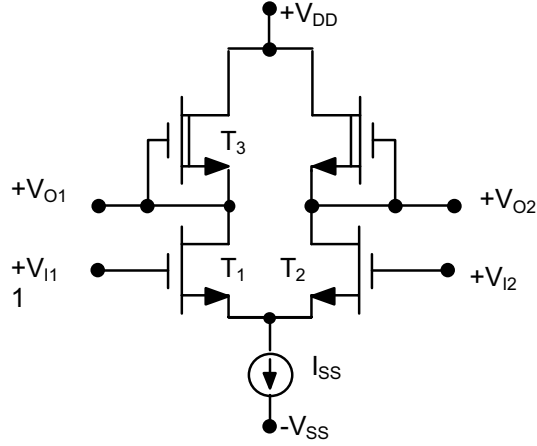
$$CMRR = \frac{K_d}{K_C} = \frac{2g_{m1} \cdot R_S}{\alpha_{b1}} \quad (2.57)$$

olur. Fark işaret kazancını veren (2.55) bağıntısında g_{m1} ve g_{m3} büyüklükleri (W/L) oranları cinsinden yerlerine konursa

$$K_d = -\alpha_{b3} \frac{g_{m1}}{g_{m3}} = -\alpha_{b3} \sqrt{\frac{(W/L)_1}{(W/L)_3}} \quad (2.58)$$

bağıntısı elde edilir. Daha önce tek katlı doymalı kanal oluşturmali yüklü kuvvetlendirici için elde edilen sonuçlarla karşılaştırılırsa, bu bağıntının önceki bağıntı ile aynı olduğu kolayca fark edilebilir.

Kanal ayarlamalı yüklü fark kuvvetlendiricisi



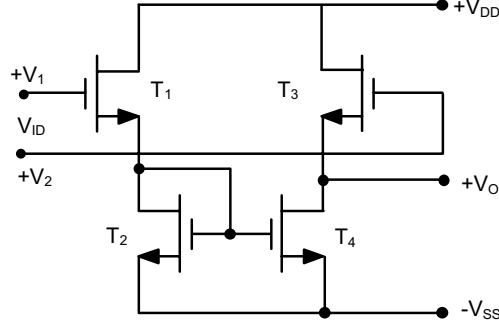
Şekil-2.23. Kanal ayarlamalı yüklü fark kuvvetlendiricisi.

Fark kuvvetlendiricisi gerçekleştirilirken, yük olarak kanal ayarlamalı tranzistorlardan yararlanmak da mümkündür. Böyle bir yapı Şekil-2.23'de görülmektedir. Devrenin simetrik olması, T_1 - T_2 ve T_3 - T_4 ün eş geometriye sahip olmaları şartı altında, K_d fark işaret kazancı

$$K_d = -\frac{g_{m1}}{g_{mb}} = -\frac{1}{\lambda_b} \sqrt{\frac{(W/L)_1}{(W/L)_3}} \quad (2.59)$$

olur. Tek katlı aktif yüklü kuvvetlendiricilerde olduğu gibi, bu yapıda da aktif yük olarak kanal ayarlamalı tranzistor kullanılması, kanal oluşturmali doymalı yüklü kuvvetlendiriciye göre kazancın $1/\lambda_b$ kadar daha yükselmesi sonucunu getirmektedir.

Diferansiyelden tek uca dönüştürücü



Şekil-2.24. Diferansiyelden tek uca dönüştürücü.

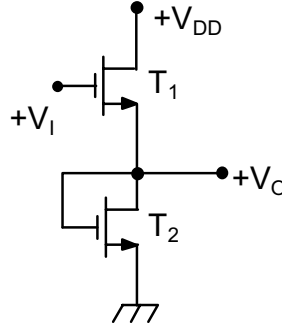
Bir çok durumda fark kuvvetlendiricisinin iki çıkış ucu arasındaki simetrik gerilimin tek uca dönüştürülmesi istenir. Bunun için kullanılan devre Şekil-2.24'de verilmiştir. Bu devrenin fark işareti fazla bir kayba uğratmadan tek uca çevirmesi gerekir. Yapı, aynı zamanda bir doğru gerilim öteleme işlevini de yerine getirir. Devrenin ne şekilde çalıştığını inceleyelim. T_1 transistörünün geçidine uygulanan v_1 gerilimi bu transistörün kaynağında aynı fazda elde edildikten sonra T_4 transistörünün geçidine uygulanır. Başka bir deyişle, T_1 - T_2 çifti kaynak çıkışlı olarak çalışır. T_3 - T_4 çifti ise savak çıkışlı kat olarak görev yapar ve v_1 geriliminin fazını çevirerek bir kez daha kuvvetlendirir. Bundan başka T_3 - T_4 çifti kaynak çıkışlı kat olarak çalışır ve v_2 geriliminin çıkış düğümüne yansımalarını sağlar. Böylece, iki ayrı yoldan çıkış düğümüne ulaşan v_1 ve v_2 gerilimleri burada aynı yönde toplanarak çıkış gerilimini oluştururlar. Devrenin gerilim kazancı

$$K_V = \frac{v_o}{v_{id}} \approx \frac{g_{m1} \cdot g_{m4}}{g_{m3} \cdot (g_{m1} + g_{m2})} \quad (2.60)$$

şeklinde dir. Bu bağıntı çıkartılırken elemanların çıkış direnci sonsuz büyük olarak alınmış ve gövde etkisi ihmal edilmiştir. Elemanların tümünün aynı geometriye sahip olmaları halinde kazanç 1/2 olur. Yüksek kazanç elde etmek üzere g_{m4} 'ün değerinin ve bunun için de T_4 'ün boyutlarını arttırmak gerekir.

NMOS çıkış katları

NMOS tekniğinde, eşlenik tranzistor bulunmaması nedeniyle, çıkış katı tasarımı oldukça sınırlanmıştır. Elemanın çalışması için gerekli olan büyük değerli geçit-kaynak gerilimi çıkış gerilimi dalgalanmasını sınırlamakta, bunun yanısıra, g_m eğiminin düşük değerli olması, düşük empedanslı çıkış elde edilmesini sınırlamaktadır. NMOS tasarımında en basit çıkış katı yapısı, daha önce ele alınmış ve Şekil-2.12'de verilmiş olan kaynak çıkışlı kuvvetlendiricidir. Bunun iki temel yetmezliği bulunur. Birincisi, çıkış direncinin $1/g_{m1}$ olmasıdır. Bu büyüklük sadece büyük sükunet akımlarında ve büyük W/L oranlarında büyüdüğünden, düşük değerli çıkış direnci elde edilmesi zordur.

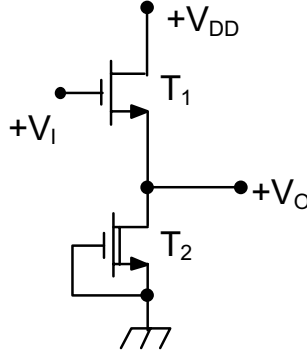


Şekil-2.25. NMOS çıkış katı.

İkinci yetmezlik, bipolar emetör çıkışlı katlarda da olduğu gibi, içeriye doğru akım akıtma yeteneğinin sınırlı olmasıdır. Bu nedenle, yüksek değerli kapasitif yüklerin sürülmesi sırasında sorun çıkabilir. Temel devrenin özel bir biçimi, yük olarak diyot bağlamalı tranzistor kullanılmasıdır. Böyle bir yapı Şekil-2.25'de verilmiştir. Daha önce ele alınan yapıda gerekli olan ek kutuplama gerilimi, diyot bağlamalı NMOS kullanılarak ortadan kaldırılmıştır. Yine, basit kaynak çıkışlı devre için yapılan analizlerden elde edilen sonuçlar, diyot bağlı NMOS tranzistor için gerekli düzeltmeler yapılmak kaydıyla bu devre için de geçerlidir. $g_{m2} \gg g_{o1}$, g_{mb1} şartı altında devrenin gerilim kazancı

$$K_V = \frac{1}{1 + g_{m2} / g_{m1}} \quad (2.61)$$

olur. Kazancın bire yakın olabilmesi için $1 \gg g_{m2}/g_{m1}$, dolayısıyla $g_{m2} \ll g_{m1}$ olmalıdır; bu ise $(W/L)_2 \ll (W/L)_1$ olmasını, yani bu çıkış katı için kırkık üzerinde geniş bir alanın harcanmasını zorunlu kılar.



Şekil-2.26. NMOS çıkış katında kanal ayarlamalı yük kullanılması.

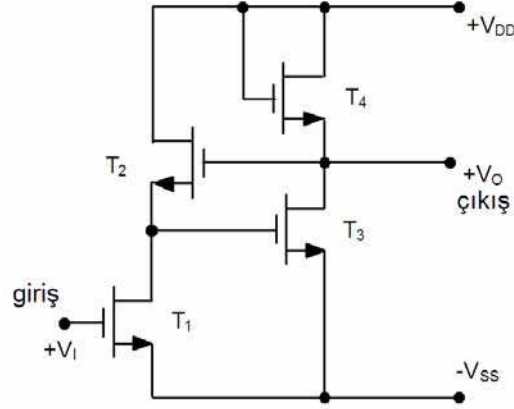
Yapının özelliklerinin iyileştirilmesi için başvurulacak diğer bir yol, yük olarak kanal ayarlamalı NMOS tranzistor kullanmaktır. Böyle bir yapı Şekil-2.26'da görülmektedir. Yapının gerilim kazancı hesaplanırsa

$$K_V = \frac{\frac{g_{m1}}{g_{o1} + g_{o2} + g_{mb1}}}{\frac{g_{m1}}{g_{o1} + g_{o2} + g_{mb1}} + 1} \quad (2.62)$$

bulunur. $g_{m1} \gg g_{o1} + g_{o2} + g_{mb1}$ şartı altında $K_V = 1$ kabul edilebilir. Söz konusu yapıda, büyük yüzey harcamaya gerek duyulmaksızın bu şart sağlanabilir. Devrenin neden olacağı doğru gerilim seviye ötelemesi ise $(W/L)_2$ ve $(W/L)_1$ oranları ile ayarlanabilir.

Kaynak çıkışlı katların yukarıda değinilen sakıncalarını gidermek üzere değişik düzenler geliştirilmiştir. Negatif geribeslemeli bir çıkış katı yapısı Şekil-2.27'de verilmiştir. Devrede yer alan tranzistorların savak-kaynak iletkenlikleri sıfır kabul edilirse, gerilim kazancı

$$K_V = \frac{v_o}{v_i} = \frac{g_{m1} / g_{m2}}{1 + g_{m4} / g_{m3}} \quad (2.63)$$



Şekil-2.27 Negatif geribeslemeli NMOS çıkış katı.

çıkış direnci de

$$R_O = \frac{1}{g_{m3} + g_{m4}} \quad (2.64)$$

olur. (W/L) oranlarının uygun seçilmesiyle K_V gerilim kazancı 1'e yaklaştırılabilir. Yine, T_3 ve T_4 tranzistorlarının W/L oranları büyük tutularak R_O çıkış direnci küçültülebilir. Yükleme nedeniyle V_O çıkış geriliminde ortaya çıkacak düşme, T_2 ve T_1 üzerinden T_3 tranzistorunun geçidine yansır. T_3 'ün iletkenliği azalır ve çıkış gerilimi tekrar yükselir.

Yapının çıkış gerilimi pozitif yönde $V_{DD} - V_{GS4}$ değerine kadar, negatif yönde de $V_{SS} + V_{GS3} - V_T$ değerine kadar değişebilir. Devrenin akım akıtma yeteneği de önceki devrelere göre üstünlük göstermektedir. Çıkış akımı sadece çıkış tranzistorlarının boyutları ile sınırlıdır.

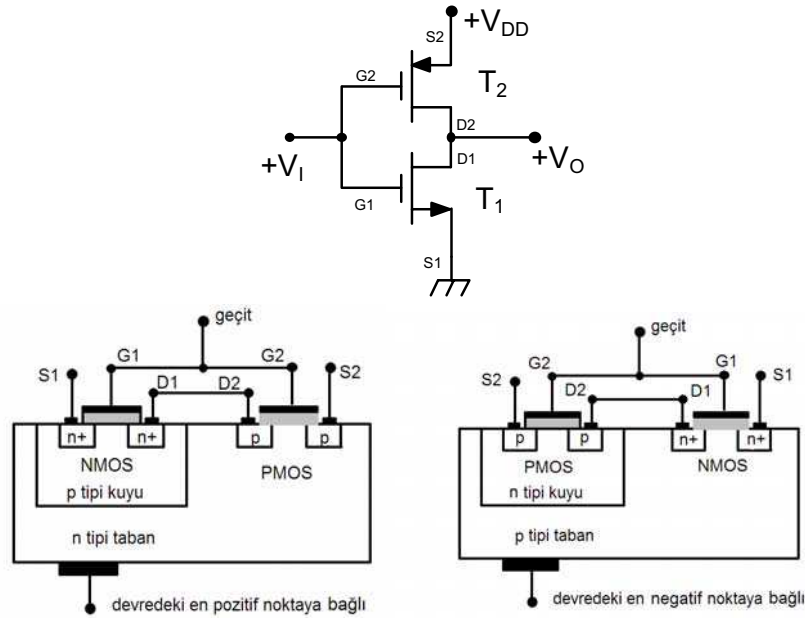
Sistemin geometrisini tayin ederken tatmin edici bir kazanç, maksimum çıkış salınımı, güç tüketimi ve harcanan kırmık yüzeyi gibi faktörlerin tümünün dikkate alınması gerekir.

CMOS kuvvetlendirici yapıları

Günümüzde yaygın olarak kullanılan analog MOS tümdevre tekniği CMOS (eşlenik MOS) teknolojisidir. Bu teknolojiye eşlenik tranzistor bulunmakta, dolayısıyla, bipolar devrelerde olduğu gibi, CMOS tekniğinde de gerilim öteleyici katlara gerek bulunmamaktadır. Hem eşlenik tranzistorun

bulunmasının sağladığı yararlar, hem de yüksek kazanç sağlamaları nedeniyle, CMOS devreler birçok uygulama alanında NMOS devrelere tercih edilmektedir.

CMOS evirici



Şekil-2.28. CMOS evirici ve evirici yapısının kesiti.

En basit şekliyle bir CMOS evirici Şekil-2.28'de görülmektedir. Bu yapı, dijital devre tekniğinden bilinen evirici yapısından başka bir şey değildir. Devreyi oluşturan tranzistorların yapı kesiti de yine şekilde görülmektedir. Bir n kanallı tranzistor ile bir p kanallı tranzistor seri olarak savak uçlarından birbirlerine bağlanmışlardır. V_I giriş gerilimi her iki tranzistorun geçit uçlarına birlikte uygulanır. Dijital devrelerdekinden farklı olarak yapı geçiş bölgesinde, her iki tranzistor da doymada olacak şekilde çalıştırılır. Bu bölgede geçiş eğrisinin eğimi çok yüksektir ve bu nedenle yüksek kazanç değerleri elde edilebilir.

Küçük işaret eşdeğer devresi kullanılarak evircinin kazancı hesaplanırsa

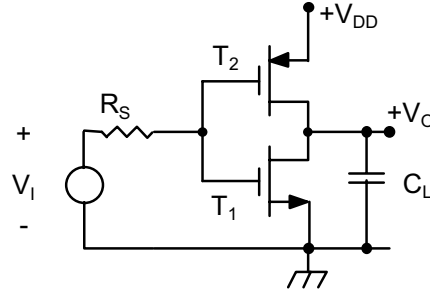
$$g_{o1} = \frac{1}{r_{o1}} \quad (2.65)$$

$$g_{o2} = \frac{1}{r_{o2}} \quad (2.66)$$

olmak üzere

$$K_V = \frac{v_o}{v_i} = -\frac{g_{m1} + g_{m2}}{g_{o1} + g_{o2}} \quad (2.67)$$

bulunur. Bu bağıntıda yer alan r_{o1} ve r_{o2} büyüklükleri T_1 ve T_2 tranzistorlarının kanal boyu modülasyonundan ileri gelen çıkış dirençleridir. CMOS yapının özelliği nedeniyle gövde etkisi etkili olmaz.



Şekil-2.29. R_S iç dirençli bir işaret kaynağı ile sürülen CMOS evirci ve bu evircinin eşdeğer devresi.

CMOS evircinin Şekil-2.29'daki gibi R_S iç dirençli bir V_i işaret üreticiyle sürüldüğü varsayılınsın. Şekilde verilen eşdeğer devre yardımıyla transfer fonksiyonu hesaplınsın.

$$G_{Leq} = g_{o1} + g_{o2}$$

$$C_{Leq} = C_{db1} + C_{db2} + C_L$$

$$C_{in} = C_{gs1} + C_{gs2} + \left(1 + \frac{g_{m1} + g_{m2}}{G_{Leq}}\right) (C_{gd1} + C_{gd2}) \quad (2.68)$$

olmak üzere

$$K_V(s) = \frac{V_O}{V_I} = \frac{G_S [s(C_{gd1} + C_{gd2}) - (g_{m1} + g_{m2})]}{(sC_{in} + G_S) [s(C_{Leq} + C_{gd1} + C_{gd2}) + G_{Leq}]} \quad (2.69)$$

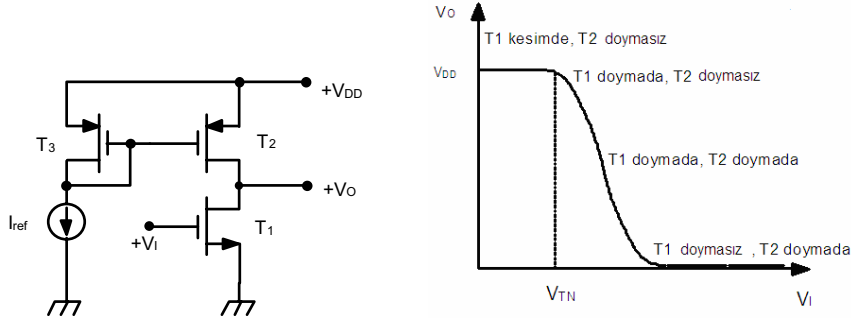
elde edilir. Sıfır ve kutuplar hesaplanırsa

$$s_z = \frac{g_{m1} + g_{m2}}{C_{gd1} + C_{gd2}}$$

$$s_{p1} = -\frac{G_S}{C_{in}}$$

$$s_{p2} = -\frac{G_{Leq}}{C_{Leq} + C_{gd1} + C_{gd2}} \quad (2.70)$$

bulunur. Miller etkisi nedeniyle C_{in} giriş kapasitesinin değeri büyük, bu nedenle de s_{p1} baskın kutup olur.



Şekil-2.30. Aktif (akım aynası) yüklü CMOS kuvvetlendirici ve eşdeğer devresi.

CMOS tekniğinde çok sık kullanılan bir yapı da, bipolar tranzistorlu aktif yüklü kuvvetlendirici yapılarına benzeyen p kanallı akım kaynağı yüklü devredir. Bu devre Şekil-2.30'da geçiş eğrisi ile birlikte gösterilmiştir. Devre kanal ayarlamalı yüklü eviriciye göre üstünlük gösterir. Hemen hemen negatif besleme geriliminden pozitif besleme gerilimine kadar tüm çıkış gerilimi dalgalanma bölgesi için her iki tranzistor da doymada olur. Dolayısıyla CMOS evirici NMOS eviriciye göre daha iyi bir çıkış dalgalanma aralığı gösterir.

Bunun yanısıra, kutuplama akımlarının ve eleman boyutlarının her iki eleman için uygun olarak seçilmeleri halinde, yapı her iki kaynağın birkaç yüz mV yakınına ulaşılan kadar büyük gerilim kazancı sağlar. Eşdeğer devre yardımıyla gerilim kazancı hesaplanırsa

$$K_V = \frac{v_o}{v_i} = -\frac{g_{m1}}{g_{o1} + g_{o2}} \quad (2.71)$$

bulunur. Bu bağıntıda g_{o1} ve g_{o2} büyüklükleri n kanallı ve p kanallı tranzistorların çıkış iletkenlikleridir.

Elde edilen bağıntı CMOS eviricinin gerilim kazancının birinci derecede eğimin eviriciyi oluşturan tranzistorların çıkış iletkenlikleri toplamına oranıyla belirlendiğini göstermektedir. MOS ve bipolar teknolojileri arasındaki temel fark, aktif yüklü kuvvetlendiricinin açık devre gerilim kazancı g_m/g_o nun MOS tranzistorlar için bipolar tranzistorlara göre çok daha düşük olmasıdır. Tipik olarak aynı geometri ve akım değerleri için bu oran 10 ila 40 arasındadır. Bu kazanç faktörü, CMOS kuvvetlendirici tasarımında önemli olduğundan, açık devre kazancını sınırlayan faktörleri daha ayrıntılı incelemekte yarar vardır. Eğim ve çıkış dirençleri fiziksel büyüklükler cinsinden yazılırsa

$$g_{m1} = \sqrt{2\mu \cdot C_{ox} \left(\frac{W}{L}\right)_1 I_D} \quad (2.72)$$

$$r_{o1} = \frac{1}{\lambda_n \cdot I_D}$$

$$r_{o2} = \frac{1}{\lambda_p \cdot I_D} \quad (2.73)$$

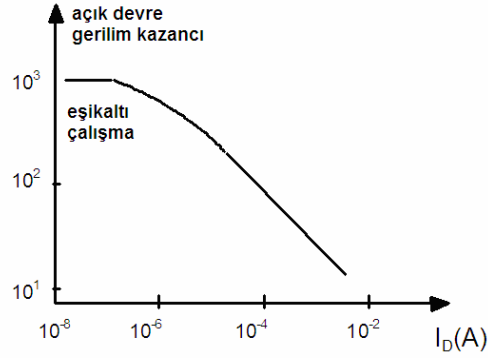
bulunur. Buna göre, gerilim kazancı

$$K_V = -g_{m1}(r_{o1} // r_{o2})$$

$$K_V = -\frac{1}{\sqrt{I_D}} \frac{1}{\lambda_n + \lambda_p} \sqrt{2\mu \cdot C_{ox} \left(\frac{W}{L}\right)_1} \quad (2.74)$$

olur. Bağıntılardan fark edilebileceği gibi

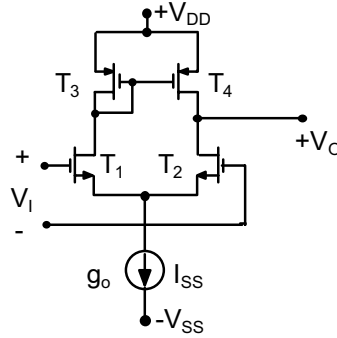
1. Eğim $\sqrt{I_D}$, tranzistorların çıkış dirençleri ise $1/I_D$ ile orantılıdır; bu nedenle, kazanç $1/\sqrt{I_D}$ ile orantılı olur.
2. Düşük akımda yüksek kazanç elde edilir.



Şekil-2.31. CMOS kuvvetlendiricide kazancın akıma bağımlılığı.

Elde edilen kazanç bağıntısının geçerlilik sınırlarının araştırılması gerekir. (2.74) bağıntısı $I_D \rightarrow 0$ için $K_V \rightarrow \infty$ sonucunu verir. Gerçekte ise böyle değildir. Çıkarılan bağıntı kuvvetli evirtim doyma bölgesi için geçerlidir. Düşük akımlarda çalışma durumunda zayıf evirtim bölgesine girilir (Bkz: Bölüm-9). Bu bölgede $g_m \sim I_D$ ve $r \sim 1/I_D$ olur; diğer bir deyişle eğim ve çıkış direncinin savak akımına bağımlılığı bipolar tranzistordaki gibidir, dolayısıyla K_V gerilim kazancı akımdan bağımsız olur. Kazancın akıma bağımlılığı Şekil-2.31’de verilmiştir. Verilen bir kutuplama akımı için W/L oranı değiştirilerek kazanç arttırılabilir.

CMOS fark kuvvetlendirici



Şekil-2.32. CMOS aktif yüklü fark kuvvetlendiricisi.

Eşlenik tranzistorun bulunması, bipolar tranzistorlu aktif yüklü kuvvetlendirici benzeri bir yapıyı mümkün kılar. Yapı Şekil-2.32'de verilmiştir. giriş tranzistorlarının eğimleri ve çıkış iletkenlikleri g_{mi} ve g_{di} , yük tranzistorlarının eğimleri ve çıkış iletkenlikleri g_{ml} ve g_{dl} ile gösterilirse, devrenin fark, ortak işaret kazançları ile ortak işareti zayıflatma oranı, g_{mi} , g_{ml} $\gg g_{di}$ ve g_{dl} şartı altında

$$K_d = \frac{v_o}{v_i} = \frac{g_{mi}}{g_{di} + g_{dl}} \quad (2.75)$$

$$K_C = -\frac{g_O \cdot g_{di}}{2 \cdot g_{mi} (g_{di} + g_{dl})} \quad (2.76)$$

$$CMRR = 2 \frac{g_{mi} \cdot g_{ml}}{g_O \cdot g_{di}} \quad (2.77)$$

olarak elde edilir.

Puşpul kazanç katları

Asimetrik giriş ve çıkışlı, yüksek kazançlı kat gerçekleştirmenin bir yolu, puşpul kazanç katı gerçekleştirmektir. Bu tür bir devre yapısı, Şekil-2.33'de verilmiştir. Bu devrede n kanallı T_1 ve p kanallı T_2 tranzistorları kaynak izleyici olarak çalışmaktadır; T_3 ve T_4 tranzistorları ise ortak geçitli kat işlevini yerine getirirler. Ortak geçitli katlar, T_1 ve T_2 üzerinden sürülmektedir. Ortak geçitli katların yükü olarak T_5 - T_6 ve T_7 - T_8 akım aynaları kullanılmıştır. Ortak geçitli katlar, $\pm V_B$ simetrik gerilimleriyle kutuplanmışlardır. Bu kutuplama gerilimlerinin değeri

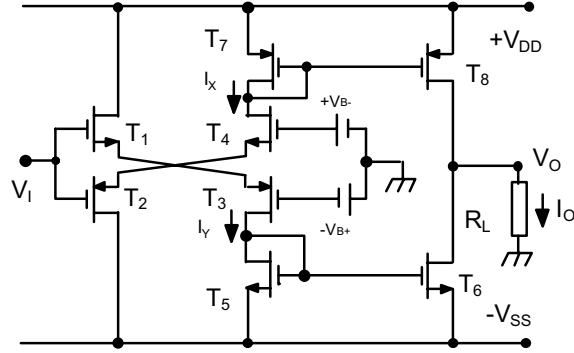
$$V_B = V_{TN} + |V_{TP}|$$

olacak biçimde seçilmiş ve geçiş distorsiyonu oluşması önlenmiştir.

$V_1 = 0$ olması durumunda, dört giriş elemanından da küçük bir sükunet akımı akar.

$V_1 > 0$ ise I_X akımı azalırken I_Y akımı artar.

$V_1 < 0$ ise I_Y akımı azalırken I_X akımı artar.



Şekil-2.33. Puşpul kazanç katı.

Devrenin çıkış akımı

$$I_O = I_X - I_Y \quad (2.78)$$

olduğuna göre, giriş geriliminin alacağı değerlere bağlı olarak çıkış akımının da pozitif ve negatif değerler alacağı açıktır. Kuvvetlendiricideki transistörlerin eğimleri eş ise, toplam yapının eğimi

$$G_m = \frac{g_{m1} \cdot g_{m3}}{g_{m1} + g_{m3}} \quad (2.79)$$

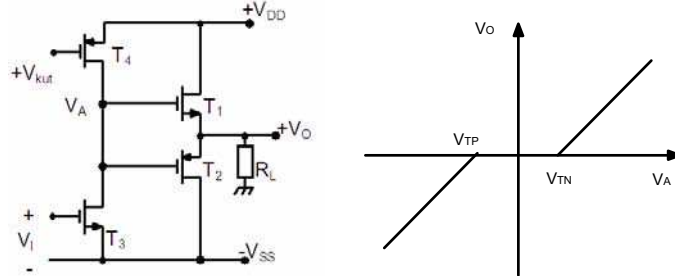
ve gerilim kazancı da

$$K_V = -G_m \cdot (R_L // r_{O6} // r_{O8}) \quad (2.80)$$

olur. Puşpul kazanç katı AB sınıfı kuvvetlendirici olarak çalışır. Büyük genlikli giriş işareti uygulandığında, çıkıştan akan akım devrenin kutuplama akımından çok yüksek olur. Bu tür bir yapı, özellikle, kapasitif yükleri sürmeye elverişli olmaktadır.

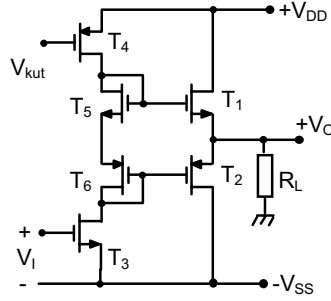
CMOS çıkış katları

CMOS elemanlarla B veya AB sınıfı çıkış katları gerçekleştirilebilir. Bu tür bir çıkış katı devresi Şekil-2.34'de geçiş eğrisi ile birlikte verilmiştir. Devre tümüyle bipolar transistörlerle gerçekleştirilen devrenin karşılığıdır. T₁-T₂ transistörleri puşpul çalışan çıkış katını, T₃-T₄ ise bu katı süren sürücü katı oluşturmaktadır.



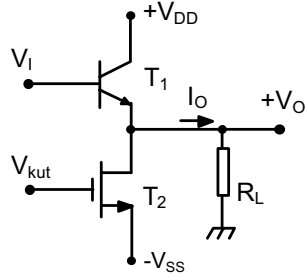
Şekil-2.34. CMOS çıkış katı ve geçiş eğrisi.

Geçiş eğrisinden fark edilebileceği gibi, eşik gerilimlerinin büyük olması nedeniyle devrenin geçiş distorsiyonu da oldukça fazladır. Ayrıca g_m eğiminin düşük olması da çıkış direncinin büyük olmasına neden olur. Yine, bipolar tranzistorlardakine benzer bir yol izleyerek, geçiş distorsiyonunu azaltmak mümkündür. Bu yapı Şekil-2.35'de gösterilmiştir. Burada T_5 ve T_6 tranzistorları diyot bağlamalı olarak devreye iki sürücü tranzistorun geçitleri arasına yerleştirilmiştir ve bipolar tranzistorlu devrelerde kullanılan diyotlara karşı düşerler.

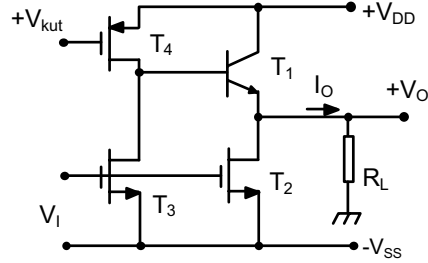


Şekil-2.35. AB sınıfı CMOS çıkış katı.

CMOS teknolojisi ile gerçekleştirilen devreler, yapıları gereği bipolar tranzistorları da içerirler. Şekil-2.28'deki gibi p kuyulu bir yapıda, n tipi



Şekil-2.36 Bipolar tranzistorlu çıkış katı

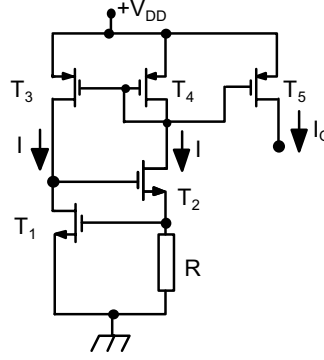


Şekil-2.37. Bipolar tranzistorlu çıkış katının gerçekleştirilmesi.

gövde tranzistorun kolektörü, p tipi kuyu bölgesi tranzistorun bazını, kuyu bölgesi içindeki n tipi savak ve kaynak difüzyonları ise emetörü oluştururlar. CMOS devrelerde hiç bir jonksiyonun iletim yönünde kutuplanmaması için gövde daima en yüksek potansiyelli noktaya bağlanır. Bu yüzden bipolar tranzistor sadece emetör çıkışlı olarak kullanılabilir. Bipolar tranzistorun kullanıldığı bir çıkış katı yapısı Şekil-2.37' de verilmiştir. Yapı A sınıfı kuvvetlendirici olarak çalışır. Bu devrenin sakıncası, çıkış gerilimi salınımlarının pozitif ve negatif yönde eşit olmaması, iki yöndeki akım akıtabilme kapasitesinin farklı olması, negatif yöndeki salınıminin T_2 nin kutuplama gerilimi ve akımıyla sınırlanmasıdır.

2.4. Referans gerilimi üreteçleri

Elektronikte birçok uygulamada sıcaklıktan olabildiğince bağımsız referans gerilimlerine gereksinme duyulur. Referans gerilimi üretmek üzere çeşitli yöntemlerden yararlanılabilir. Bu yöntemlerden V_T eşik gerilimi, V_{GS} geçit-kaynak gerilimi farkı referansı MOS tekniğine has bir yöntemdir. Bunun yanısıra, CMOS tekniğinde bipolar tranzistorun bulunmasından da yararlanılarak, bipolar teknolojisinden bilinen kT/q referansı, V_{BE} referansı ve band-aralığı (band-gap) referansı gibi gerilim referanslarının gerçekleştirilmesi de mümkündür. Ayrıca, eşikaltı çalışmada akım-gerilim bağıntısının üstel olmasından yararlanılarak (Bkz: Bölüm-9) band-aralığı referansı gerçekleştirilmesi gibi MOS teknolojisine has başka yöntemler de bulunmaktadır.

Eşik referansı

Şekil-2.38. Kendiliğinden kutuplamalı eşik referansı devresi.

Kendiliğinden kutuplamalı eşik referansı devresi Şekil-2.38’de görülmektedir. Bu devrede T_2 , T_3 ve T_4 tranzistorları geribesleme ile T_1 tranzistorundan R direncindekiine eşit bir akım akmasını sağlarlar. Böylece devre

$$V_{GS1} = I \cdot R = V_{T1} + \sqrt{\frac{2 \cdot I}{\mu \cdot C_{OX} \cdot (W/L)_1}} \quad (2.81)$$

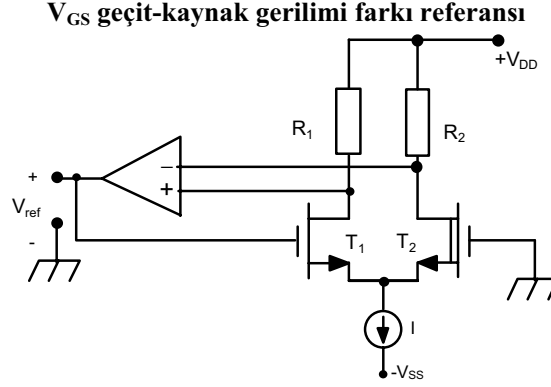
çalışma noktasında çalışır. Bu bağıntıda kanal boyu modülasyonu ihmal edilmiştir. Eşitlikteki ikinci terim T_1 tranzistoruna ilişkin $V_{GS1} - V_T$ farkını verir ve yeteri kadar büyük (W/L) oranları için yeteri kadar küçüktür. Bu terimin ihmal edilmesi halinde

$$I = \frac{V_T}{R} \quad (2.82)$$

bağıntısı elde edilir. Bu nedenle, devre, eşik gerilimi referansı devresi olarak isimlendirilmektedir.

Yapının kötü bir özelliği, MOS tranzistorun V_T eşik geriliminin değerinin tam olarak kontrol edilememesi, tipik olarak 0.5V ile 0.8V arasında bulunmasıdır. Yine, bir MOS tranzistorun eşik geriliminin sıcaklık katsayısı

$-2\text{mV}/^\circ\text{C}$ mertebesinde; difüzyonlu bir direncin sıcaklık katsayısı ise pozitifdir. Bu nedenle, çıkış akımı büyük değerli ve negatif bir sıcaklık katsayısı gösterir; bu da devrenin performansını kötüleştirir.



Şekil-2.39. Geçit-kaynak gerilimi farkı referansı.

Eşik geriliminden referans gerilimi olarak yararlanmanın diğer bir yolu, aynı tipten (NMOS veya PMOS) olan, ancak kanal katkı yoğunlukları, dolayısıyla eşik gerilimleri farklı iki elemandan yararlanmaktır. Bu ilkeye dayanan, dolayısıyla bir kanal oluşturmalı ve bir de kanal ayarlamalı tranzistörün geçit-kaynak gerilimleri arasındaki farktan yararlanılarak gerçekleştirilen referans gerilimi düzeni Şekil-2.39'da görülmektedir. T_1 tranzistörünün geçidi ile toprak arasındaki gerilim farkı referans olarak alınırsa

$$V_{ref} = V_{GSE} - V_{GSD} \quad (2.83)$$

elde edilir. E indisi kanal oluşturmalı, D indisi de kanal ayarlamalı tranzistörleri belirtmek için kullanılmıştır. Devrede görülen işlemsel kuvvetlendirici, negatif geribesleme ile T_1 ve T_2 tranzistörlerinin aynı koşullar altında çalışmalarını sağlar. Referans geriliminin sıcaklığa bağımlılığı incelenirse

$$\frac{dV_{ref}}{dT} = \frac{d}{dT}(V_{GSE} - V_{GSD})$$

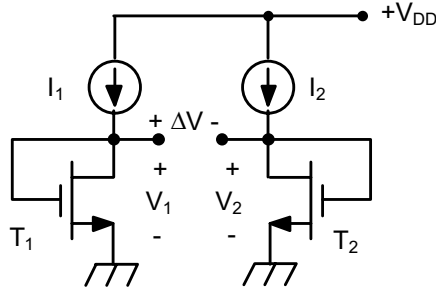
$$\frac{dV_{ref}}{dT} = \frac{d}{dT}(V_{TE} - V_{TD}) + \frac{d}{2\sqrt{I}} \left(\frac{1}{\sqrt{k_E}} - \frac{1}{\sqrt{k_D}} \right) \frac{dI}{dT} + \frac{\sqrt{I}}{2} \left(\frac{1}{\sqrt{k_D}} \frac{1}{\mu_D} \frac{d\mu_D}{dT} - \frac{1}{\sqrt{k_E}} \frac{1}{\mu_E} \frac{d\mu_E}{dT} \right) \quad (2.84)$$

bulunur.

Bu bağıntıdaki terimlerin tek tek sıcaklığa bağımlılıkları incelenebilir. İkinci terimin sıcaklığa bağımlılığa etkisi $k_E = k_D$ yapılarak, yani $\mu_E \cdot (W/L)_E = \mu_D \cdot (W/L)_D$ alınıp sıfıra eşitlenerek ortadan kaldırılabılır. Birinci ve üçüncü terimlere ilişkin değişimlerin ise zıt yönde oldukları fark edilebilir. Bu ise devrenin çıkış geriliminin sıcaklığa bağımlılığının azalacağını göstermektedir.

Eşikaltı iletim karakteristiği kullanılarak CMOS gerilim referansı elde edilmesi

MOS tranzistor çok düşük akımlarda çalışırken, geçit altındaki kanalda difüzyon akımı baskındır; yani eleman zayıf evrimde yahut eşikaltı çalışma bölgesinde çalışır. Akımın kanal genişliğinde mil başına $10\mu A$ 'den küçük kalması durumunda, klasik bağıntılar geçersiz olur. Bu bölgede I_D savak akımı geçit ve savak gerilimlerine üstel bağımlılık gösterir.



Şekil-2.40. Eşikaltı iletim karakteristiği yardımıyla gerilim referansı üretilmesi.

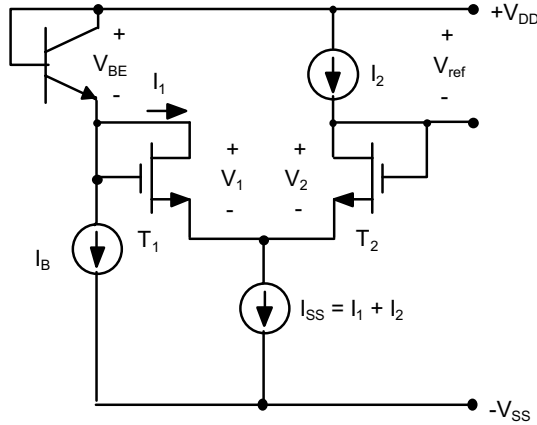
Zayıf evirtimde çalışan iki MOS tranzistor Şekil-2.40'da gösterildiği gibi iki akım kaynağı ile kutuplansın. Tranzistorların üzerinde düşen gerilimlerin farkı sıcaklıkla orantılı olur. V_1 ve $V_2 \gg kT/q$ şartı altında, bu fark gerilimi

$$A_X = \frac{n \cdot k}{q} \cdot \ln \left[\frac{I_1 \cdot (W/L)_2}{I_2 \cdot (W/L)_1} \right] \quad (2.85)$$

olmak üzere

$$\Delta V = V_1 - V_2 = A_X \cdot T \quad (2.86)$$

bulunur. Burada n prosese bağlı bir parametredir. Elde edilen gerilim pozitif sıcaklık katsayıdır; sıcaklık katsayısı $+1500 \text{ ppm}/^\circ\text{C}$ mertebesinde olur. Bu ilkeye dayanarak oluşturulan band aralığı referansı benzeri bir referans gerilimi üreticinin yapısı Şekil-2.41'de görülmektedir. Devrede ΔV geriliminin pozitif



Şekil-2.41. Eşikaltı iletim karakteristiğine dayanılarak gerçekleştirilen gerilim referansı devresi.

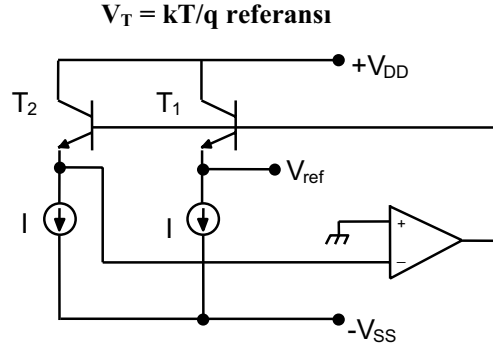
sıcaklık katsayısı, bipolar tranzistorun V_{BE} geriliminin negatif sıcaklık katsayısını kompanze etmektedir. Bipolar tranzistor, CMOS yapıdaki taban npn tranzistoru ile gerçekleştirilmiştir. Devredeki akım kaynakları

$$I_1 = I_{SS} - I_2 \gg I_2$$

şartı sağlanacak, yani akım seviyeleri eşit olmayacak biçimde çalıştırılırlar. Böylece

$$V_{ref} = V_{BE} + V_1 - V_2 = V_{BE} + A_X \cdot T \quad (2.87)$$

olur. Bağlıtıdan fark edilebileceği gibi, oluşturulan referans üretici band aralığı referansına benzemektedir. Yapının çıkış geriliminin sıcaklık katsayısı, $-55^\circ\text{C} \leq T \leq 100^\circ\text{C}$ aralığında $100\text{ppm}/^\circ\text{C}$ değerinden küçük tutulabilir.



Şekil-2.42. Düşey bipolar tranzistorlarla V_T referansı gerçekleştirilmesi.

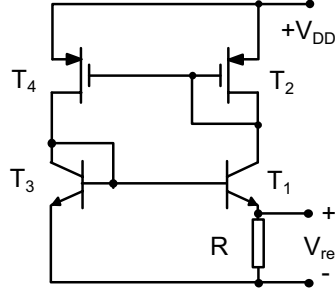
CMOS yapıda bulunan düşey (taban) npn tranzistorların kullanılmasıyla gerçekleştirilen bir kT/q referansı Şekil-2.42'de görülmektedir. Bu devredeki akım kaynakları ve işlemsel kuvvetlendirici CMOS yapılarla gerçekleştirilmiştir. Taban tranzistorlarının emetör kesit alanları A_1 (T_1) ve A_2 (T_2) ile gösterilsin. Bu kesit alanları arasındaki ilişkinin

$$A_1 = K \cdot A_2 \quad (2.88)$$

olması halinde, devrenin çıkış gerilimi

$$V_{ref} = \frac{k \cdot T}{q} \cdot \ln(K) \quad (2.89)$$

olur.



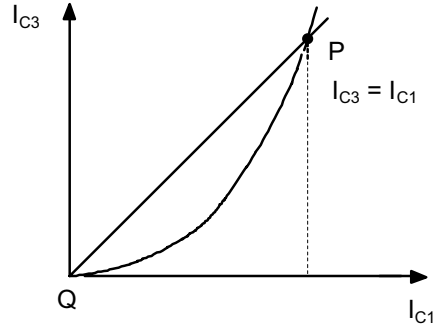
Şekil-2.43. Enine npn tranzistorlarla V_T referansı gerçekleştirilmesi.

CMOS yapıda bulunan enine npn tranzistorların kullanılmasıyla gerçekleştirilen bir kT/q referansı Şekil-2.43'de verilmiştir. p kuyulu bir CMOS yapıda, Şekil-2.28'den de fark edilebileceği gibi, kaynak (n), kuyu (p) ve savak (n) bölgeleri enine bir bipolar tranzistor oluşturmaktadır. Bunlardan yararlanılarak kurulan kT/q referansı devresinde tranzistorların emetör kesit alanlarının $A_1 = K \cdot A_3$ ve PMOS tranzistorların (W/L) oranlarının eş olması halinde, devrenin çıkış gerilimi için

$$V_{ref} = \frac{k \cdot T}{q} \cdot \ln(K) \quad (2.90)$$

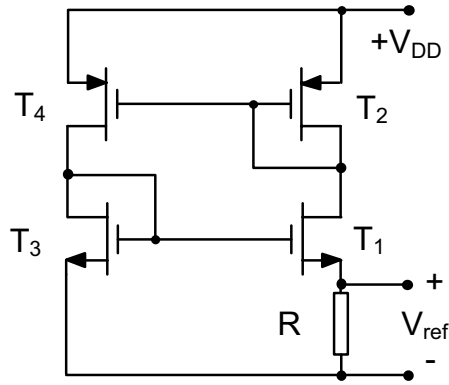
elde edilir. Kendiliğinden kutuplamalı yapı olarak kurulan bu devrede, tüm kendiliğinden kutuplamalı devrelerde olduğu gibi, başlatma problemi vardır ve devreye bir başlatma devresinin eklenmesi gerekmektedir. Şekilden fark edilebileceği gibi üstteki akım aynası nedeniyle tranzistorlardan akacak akımlar eşit olmaya zorlanmaktadır. Bunun yanısıra, bipolar tranzistorların akımları arasında üstel bir bağıntı bulunur. Bu iki karakteristiğin iki ortak çözümü vardır. Bu çözümler Şekil-2.44'de gösterilmiştir. Şekilden fark edilebileceği gibi, Q ile gösterilen çözüm sıfır noktasında ortaya çıkmaktadır ve bu konum istenmeyen bir çalışma noktasıdır. P ile gösterilen çözüm ise devrenin gerçek çalışma noktası olmaktadır. Başlatma devresi ile devrenin daima P noktasında çalışması sağlanır.

2.45



Şekil-2.44. Kendiliğinden kutuplamalı V_T referansının çalışma noktası.

$V_T = kT/q$ referansının zayıf evirtimde elde edilmesi



Şekil-2.45. Zayıf evirtimde çalışan MOS tranzistorlarla V_T referansı.

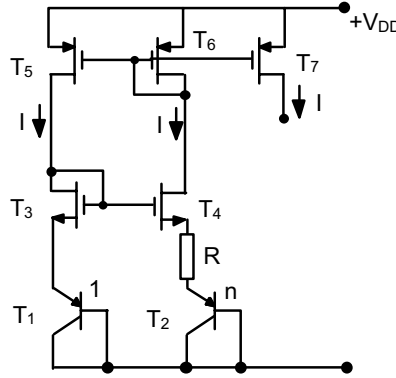
Zayıf evirtimde çalışan MOS tranzistorların akım-gerilim karakteristiklerinin üstel olmasından yararlanılarak kT/q referansı devresi gerçekleştirmek mümkündür. Bu şekilde çalışan bir referans gerilimi üretici Şekil-2.45’de görülmektedir. Devrede yer alan T_1 ve T_3 NMOS tranzistorları zayıf evirtimde (eşikaltında), T_2 ve T_4 PMOS tranzistorları ise kuvvetli evirtimde çalıştırılmaktadır. $A_1 = (W/L)_1$, $A_2 = (W/L)_2$, $A_3 = (W/L)_3$ ve $A_4 = (W/L)_4$ olmak üzere devrenin çıkış gerilimi hesaplanırsa

$$V_{ref} = \frac{k.T}{q} \ln \left[\frac{A_1 A_4}{A_3 A_2} \right] \cdot \Delta V_T \quad (2.91)$$

elde edilir. Bu bağıntıdaki ΔV_T büyüklüğü, T_1 - T_3 tranzistorlarının üzerlerinde düşen gerilimler arasındaki dengesizliği göstermektedir. Fark edilebileceği gibi, V_{ref} gerilimi R direncinden bağımsızdır.

Taban pnp tranzistorlar yardımıyla V_T üretici

Taban npn tranzistorlarıyla kurulan kT/q referansı üreticinin benzeri, p tabanlı CMOS teknolojisindeki taban pnp tranzistorları yardımıyla da gerçekleştirilebilir. Bu şekilde gerçekleştirilen bir yapı, Şekil-2.46'da verilmiştir. Yapı, kT/q referanslı akım kaynağı olarak çalışır. Yapıda bulunan T_1 - T_2 taban pnp tranzistorlarının emetör kesit alanları 1:n oranında seçilmiştir. T_3 , T_4 , T_5 ve T_6 tranzistorları ile kurulan akım kaynağı, iki koldan akan akımları eş olmaya



Şekil-2.46. Taban pnp tranzistorlarıyla V_T üretici gerçekleştirilmesi.

zorlar. Bu durumda tranzistorların baz-emetör gerilimleri arasındaki ΔV_{BE} farkı R direncinin üzerindeki gerilime eşit olur. Böylece, elde edilecek akım

$$I = \frac{k.T}{q.R} \cdot \ln(n) \quad (2.92)$$

bağıntısıyla hesaplanabilir.

V_T ısı geriliminin sıcaklık katsayısı pozitiftir. Yine, devrede yer alan difüzyonlu direnç de pozitif bir sıcaklık katsayısı gösterir. Devrenin çıkış akımının sıcaklık katsayısı hesaplanırsa

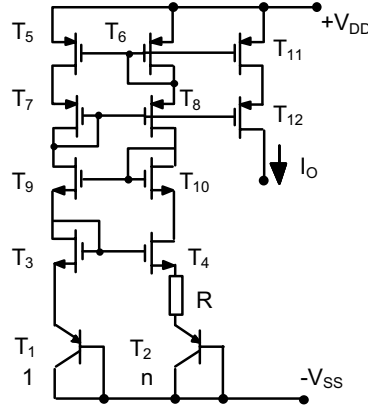
$$TC_{VT} = \frac{1}{V_T} \frac{dV_T}{dT} \quad TC_R = \frac{1}{R} \frac{dR}{dT} \quad (2.93)$$

olmak üzere

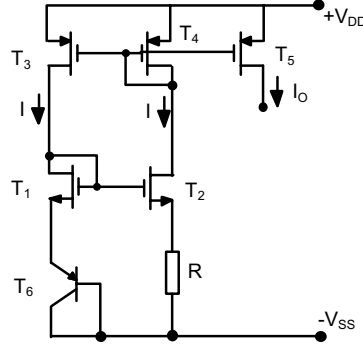
$$TC_I = TC_{VT} - TC_R \quad (2.94)$$

bulunur. Bağıntıdan fark edilebileceği gibi, V_T referansı devrelerinde çıkış büyüklüğünün sıcaklık katsayısı, iki pozitif büyüklüğün farkı biçimindedir. Bu nedenle, V_T referansı devrelerinde sıcaklık katsayısı düşük değerli olur.

Devrede T_3 ve T_4 tranzistorlarının V_{GS} gerilimleri arasında oluşacak bir dengesizlik, R direnci üzerindeki gerilim düşümü 100mV 'lar mertebesinde olduğundan, büyük çıkış akımı dengesizliğine neden olabilir. Yine, tranzistorların V_{DS} gerilimlerinin farklı olması nedeniyle, kanal boyu modülasyonu etkisi ortaya çıkar ve akımlar birbirinden farklı olabilir. V_{GS} dengesizliklerini azaltmak üzere, pratikte, büyük tranzistor geometrileri kullanılır. Kanal boyu modülasyonunun etkisinin azaltılması için de kaskod akım kaynağı veya Wilson akım kaynağı yapılarının kullanılması yoluna gidilir. İyileştirilmiş Wilson akım kaynağı kullanılarak gerçekleştirilen bir yapı Şekil-2.47'de görülmektedir.



Şekil-2.47. Wilson akım kaynakları ile devrenin özelliklerinin iyileştirilmesi.

V_{BE} referansıŞekil-2.48. Taban pnp tranzistoruyla V_{BE} referansı.

p tipi tabandaki parazitik tranzistorlardan yararlanılarak gerçekleştirilen bir V_{BE} referansı devresi Şekil-2.48'de gösterilmiştir. Devredeki T₁, T₂, T₃ ve T₄ tranzistorları ile yapıya geribesleme uygulanmaktadır. pnp tipi T₁ bipolar tranzistor ile R direncinden akan akımlar, yapının zorlaması nedeniyle, birbirine eşittir. Böylece, devreden hareketle

$$I \cdot R = V_{BE} = \frac{k \cdot T}{q} \cdot \ln \left(\frac{I}{I_S} \right) \quad (2.95)$$

yahut

$$I = \frac{V_{BE}}{R} \quad (2.96)$$

yazılabilir. Bipolar tranzistorun V_{BE} baz-emetör gerilimi oldukça iyi kontrol edilebilen bir parametredir; bu gerilim %5 hata ile belirlenebilmektedir. Bu tür bir yapının başlıca sakıncası, V_{BE} geriliminin negatif sıcaklık katsayısı nedeniyle ortaya çıkmaktadır. Şekilde verilen devre için çıkış akımının sıcaklık katsayısı hesaplanırsa

$$TC_{V_{BE}} = \frac{1}{V_{BE}} \frac{dV_{BE}}{dT} \quad (2.97)$$

olmak üzere

$$TC_I = TC_{V_{BE}} - TC_R \quad (2.98)$$

elde edilir.

Yapıda yer alan difüzyonlu direncin sıcaklık katsayısı pozitifdir. (2.98) bağıntısı uyarınca V_{BE} geriliminin negatif sıcaklık katsayısı ile direncin pozitif sıcaklık katsayısı birbirine eklenecek biçimde biraraya gelmektedir. Bu nedenle, çıkış akımının sıcaklık katsayısının çok yüksek değerli ve negatif olacağı açıktır.

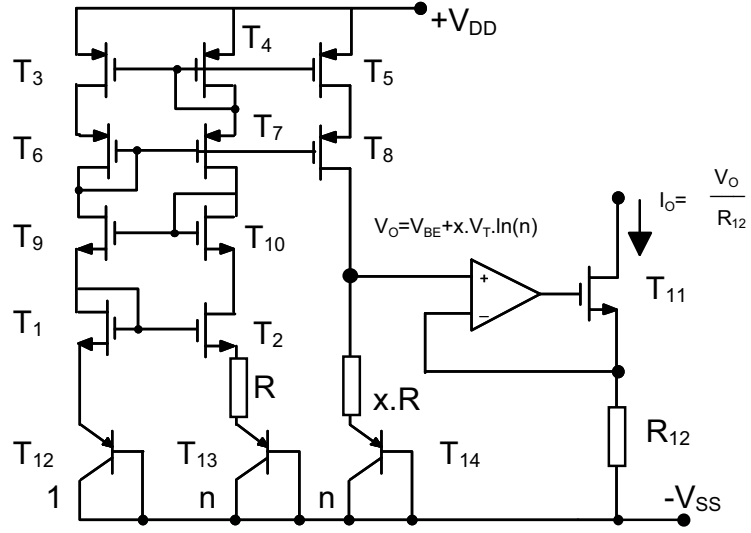
Band-aralığı referansı

CMOS tekniğinde bulunan bipolar tranzistörlerden yararlanılarak bipolar tekniğinden bilinen band-aralığı referansının bu teknikte gerçekleştirilmesi mümkündür. Bilindiği gibi, V_{BE} geriliminin sıcaklık katsayısı negatif, kT/q ısıl geriliminin sıcaklık katsayısı ise pozitifdir. Bu iki zıt yönlü değişimin

$$V_O = V_{BE} + K.V_T \quad (2.99)$$

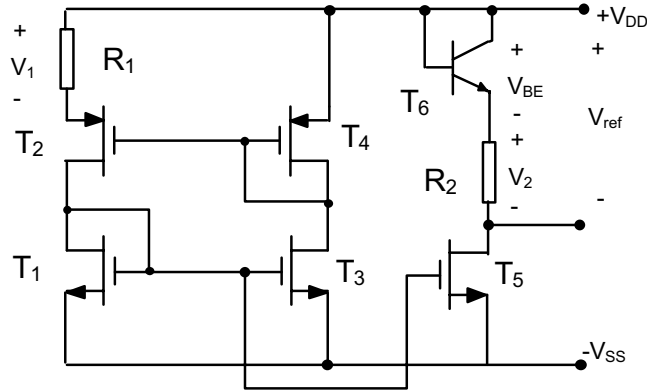
şeklinde bir gerilim oluşturacak şekilde biraraya getirilmesi halinde, K nın uygun bir değerinde ve belirli bir T_0 çalışma sıcaklığında V_O geriliminin sıcaklık katsayısı sıfır olur. Bu şartın sağlandığı gerilim, Si malzemenin yasak enerji bandı gerilime eşit olması nedeniyle, yapı band aralığı gerilimi referansı olarak isimlendirilmektedir.

P tabanlı CMOS teknolojisindeki taban pnp tranzistörlerinden yararlanılarak gerçekleştirilen bir band aralığı referansı üretici Şekil-2.49'da verilmiştir. Şekilden fark edilebileceği gibi, V_{BE} ve kT/q nun uygun katsayılarla çarpılıp toplanmasıyla band aralığı referansı elde edilmektedir. Devrenin sıcaklık katsayısı, tasarımın yapıldığı T_0 sıcaklığında sıfır, bunun dışındaki sıcaklıklarda da çok düşük değerli olur. x büyüklüğü, çıkış geriliminin kT/q ya bağlı bileşenini ayarlar. MOS yapılarda işlemsel kuvvetlendiricinin giriş dengesizliği ve giriş dengesizlik geriliminin sıcaklıkla sürüklenmesi yüksek olur ve bu çıkış gerilimini olumsuz yönde etkiler.



Şekil-2.49. Taban pnp tranzistorlarıyla band aralığı referansı.

Düşey (taban) bipolar tranzistorlarıyla gerçekleştirilen band aralığı referansı devresi



Şekil-2.50. Taban npn tranzistoruyla band aralığı referansı.

CMOS yapıda bulunan taban tranzistorlarından yararlanılarak gerçekleştirilen bir band aralığı referansı devresi Şekil-2.50'de verilmiştir. Bu yapıda T_2 - T_4 tranzistorları zayıf evirtimde (eşikaltı bölgesi, bkz. Bölüm-9) çalıştırılmaktadır. Bu nedenle, R_1 direncinin üzerindeki gerilim düşümü

$$V_1 = I_{D1} \cdot R_1 = \frac{k \cdot T}{q} \cdot \ln\left(\frac{(W/L)_2}{(W/L)_4}\right) = \frac{k \cdot T}{q} \cdot \ln\left(\frac{A_2}{A_4}\right) = V_{GS4} - V_{GS2} \quad (2.100)$$

olur. R_2 direncinin uçlarındaki V_2 gerilimi

$$V_2 = I_{D5} \cdot R_2 = \frac{(W/L)_5}{(W/L)_1} I_{D1} \cdot R_2 = \frac{A_5}{A_1} I_{D1} \cdot R_2 \quad (2.101)$$

şeklinde yazılabilir. Buradan hareket edilir ve devreden yararlanılırsa, V_{ref} gerilimi için

$$V_{ref} = V_{BE} + V_2 = V_{BE} + \frac{A_5}{A_1} \frac{R_2}{R_1} R_2 \frac{k \cdot T}{q} \cdot \ln\left(\frac{A_2 \cdot A_3}{A_4 \cdot A_1}\right) \quad (2.102)$$

bulunur. Fark edilebileceği gibi, devre band aralığı referansı devresi olarak çalışmaktadır.

Enine bipolar tranzistorlarla gerçekleştirilen band aralığı referansı devresi

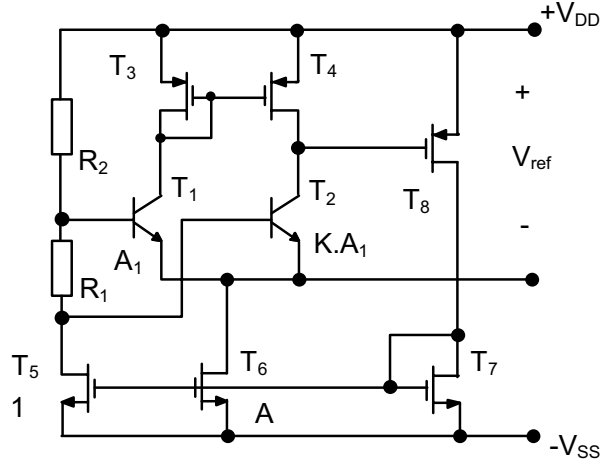
CMOS yapıda yer alan enine bipolar tranzistorlardan yararlanılarak da band aralığı referansı devresi gerçekleştirilebilir. Bu tür bir yapı, Şekil-2.51'de görülmektedir. Şekil-2.51'deki yapıda $A < 1$ alınmıştır; böylece $I_{B1} \ll I_R$, dolayısıyla, I_R akımının baz akımından etkilenmesi azaltılmış olur. R_1 direncinin uçlarında

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{kT}{q} \cdot \ln(K) \quad (2.103)$$

gerilimi oluşur. Devrenin V_{ref} çıkış gerilimi hesaplanırsa

$$V_{ref} = V_{BE2} + \frac{kT}{q} \left(1 + \frac{R_2}{R_1}\right) \ln(K) \quad (2.104)$$

bulunur.



Şekil-2.51. Enine npn tranzistorlarla band aralığı referansı.

KAYNAKLAR

- [1] H. Kuntman, Analog tümdevre tasarımı, Sistem yayınları, İstanbul, 1992.
- [2] H. Kuntman, Analog MOS tümdevre tasarımı (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), Uygulamaya özgü tümdevre teknolojileri yaz okulu notları, İstanbul,1993.
- [3] H. Kuntman, İleri analog tümdevre tasarımı: Analog devreler, (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), İstanbul,1994.
- [4] P.R. Gray, R.G. Meyer, Analysis and design of analog integrated circuits, John Wiley, 1984.
- [5] R. Gregorian, G.C. Temes, Analog MOS integrated circuits for signal processing, John Wiley, 1986.
- [6] A.B. Grebene, Bipolar and MOS analog integrated circuit design, John Wiley, 1984.
- [7] F. Riedel, MOS Analogtechnik, Oldenburg Verlag, Wien, 1988.
- [8] P.E. Allen and D.R. Holberg, CMOS analog circuit design, Holt, Rinehart and Winston Inc., New York, 1987.
- [9] W. Sansen, Analog functional blocks, nonlinear analog functional blocks, Swiss Federal Institute of Technology, Intensive Summer Course, 1989.