

VLSI II

1. TASARIM ÖDEVİ

Bu tasarım ödevinizde “1100” bulan sekans algılayıcı (sequence detector) yapmanız, Xilinx ve Cadence tasarım ortamlarında test etmeniz istenmektedir. Yapacağınız tasarımın özellikleri şunlardır:

1- Pin listesi:

clk, reset: Bildiğiniz clk, reset

serial_data: Bir bitlik seri veri girişi

frame_found: Bir bitlik seri veri girişinde istenilen frame’in bulunması halinde “1”

diğer durumlarda “0” olacak çıkış

2- Tek bitlik seri veriyolundan veriler önce LSB sonra MSB şeklinde verilmektedir.

Dolayısıyla gelen verinin aşağıdaki gibi olması halinde bulunması beklenen sekanslar alt çizgiyle belirtilmiştir.

Son bit → 110010010101011100101010001010101100101101 → İlk bit

Görüldüğü gibi bulunması beklenen sekans “1100” olduğu için sırasıyla 0→0→1→1 gelmesi halinde doğru sekans bulunmuş olacaktır.

Raporunuza kodunuz ve kod açıklamalarınıza ek olarak tasarladığınız sonlu durum makinesinin durum diyagramını, testbench’inizi, kodunuzun çıktısının ekran görüntüsünü ve yorumlarınızı eklemeyi unutmayın. Raporunuzun rapor formatına uygun olmasına, ekran görüntülerinin okunaklı olabilmesine dikkat edin.

Teslim tarihi: 28 Şubat 2008 – VLSI II Dersi