

GİRİŞ

LOJİK KAPILARIN GERÇEKLENMESİ

0.1 Genel Açıklamalar

Genel olarak Boolean değerlerinin gösterimi için gerilim değerleri kullanılır ve iki adet Boolean durumunu (lojik 0 ve 1) göstermek için iki gerilime ihtiyaç duyulur. Eğer lojik 1 değerini temsil etmek için kullanılan gerilim değeri, lojik 0 değerini temsil eden gerilim değerinden daha büyükse, bu gösterime pozitif lojik gösterim denilir. Aksine, eğer lojik 1 değerini temsil etmek için kullanılan gerilim değeri, lojik 0 değerini temsil eden gerilim değerinden daha küçükse, bu gösterime negatif lojik gösterim denilir. Tüm deneyler boyunca pozitif lojik gösterimi kullanılacaktır.

Lojik kapılar, diyotlar ve dirençler, tranzistorler ve dirençler, veya diyotlar, tranzistorler ve dirençler ile bu elemanların, bir anahtar elemanı fonksiyonunu gerçekleyecek şekilde tasarlanması ile elde edilir.

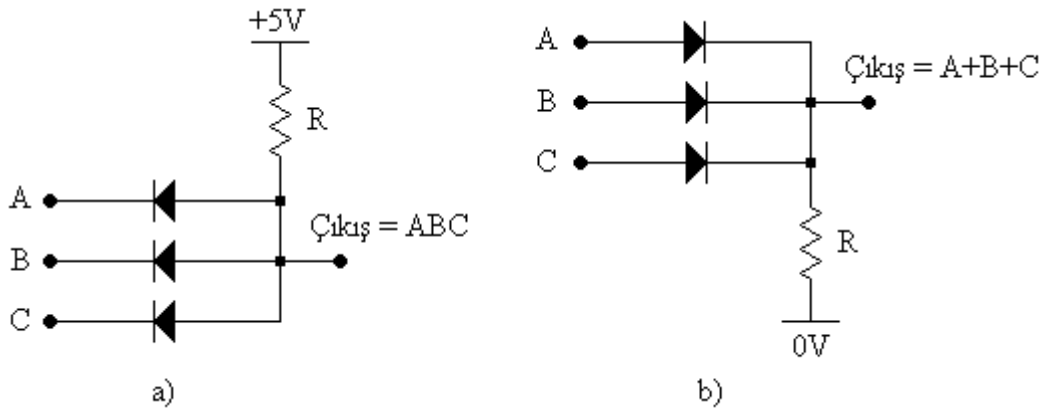
0.1.1 Lojik Kapıların Diyotlar ile Gerçeklenmesi

İlk olarak $p-n$ diyotunu ele alalım. Diyot üzerindeki gerilim yaklaşık olarak 0.7V'a ulaştığında, akım, diyot üzerinden ileri yönde (diyot sembolünde verilen yönde) akar. Bu durumda diyotun ileri yönde iletme geçtiği (kutuplandığı) belirtilir. Akım değeri artmaya başladıkça, diyot üzerindeki gerilim fazla artmaz ve genel olarak sabit kaldığı varsayılır. 0.7V'tan düşük veya negatif gerilim uygulandığında, sızıntı akımları ihmal edilirse, diyot üzerinden akım akmaz. Negatif gerilim uygulandığında ise diyotun geri yönde kutuplandığı belirtilir.

Üç girişli AND kapısının diyotlar ile tasarımı, Şekil 0.1a'da verilmiştir. Ek girişler, ek diyotların eklenmesi ile sağlanabilir. Şekil 0.1'de verilen diyotların, 0.7V'ta ileri yönde iletme geçtiği, lojik 0 için gerilim değerinin 0V ve lojik 1 için gerilim değerinin 5V olduğu kabul edilmiştir. Tüm girişler 0V'a sahip olduklarında, tüm diyotlar ileri yönde iletme geçer ve akım, 5V'luk kaynaktan R direnci, diyotlar ve giriş noktaları üzerinden akar. Eğer diyotlar eş ise, akım, diyotlar üzerine eşit olarak bölünür. Bu yüzden çıkış gerilimi, 0.7V ile giriş gerilimi (0V) arasındaki gerilim farkı, yani 0.7V olur. Bu gerilim, *çıkış 0* seviyesi olarak alınır. Eğer girişlerden birinin gerilimi 5V (lojik 1 değerini temsilen) yapılırsa, ilgili diyot ters yönde kutuplanacaktır fakat diğer diyotlar hala ileri yönde iletimde oldukları için akım, bu diyotlar üzerinden akmaya devam edecektir ve çıkış, lojik 0 seviyesinde kalacaktır. Bütün girişlere 5V uygulandığında ise, bütün diyotlar açık devre olacaktır ve çıkış gerilimi, 5V

olacaktır. Burada şuna dikkat etmek gerekir; çıkışın lojik 0 seviyesini temsil eden çıkış gerilimi, giriş geriliminden 0.7V daha büyüktür ve çıkışın lojik 1 seviyesini temsil eden çıkış gerilimi, giriş gerilimi (5V) ile aynı değere sahiptir. Eğer benzer yapıları bir kapı ile bu kapı ard arda bağlanırsa, ikinci kapı çıkışının 0 seviyesinin gerilimi maksimum 1.4V, eğer bir üçüncü kapı bağlanırsa, üçüncü kapı çıkışının 0 seviyesinin gerilimi maksimum 2.1V olacaktır. Her kaskad kapı bağlantısı sırasında lojik 0 seviyesi lojik 1 seviyesine yaklaştığı için diyotlar ile tasarlanan birçok AND kapısı kaskad bağlanamaz.

Şekil 0.1b’de üç girişli diyotlu OR kapısı verilmiştir. Yine ek girişler, ek diyotların eklenmesi ile sağlanabilir. Bütün girişlere 0V uygulandığında, çıkış gerilimi, bütün diyotlar açık devre olduğu için 0V olacaktır. Eğer girişlerden herhangi birine 5V uygulanırsa, ilgili diyot iletime geçer ve çıkış gerilimi, giriş geriliminin 0.7V eksisine yani 4.3V’a sahip olur ve bu gerilim, lojik 1 seviyesi olarak alınır. Diyotlu AND kapısı için verilen aynı nedenlerden dolayı diyotlar ile tasarlanan birçok OR kapısı kaskad bağlanamaz.



Şekil 0.1 : a) Üç girişli AND kapısı b) Üç girişli OR kapısı

0.1.2 Lojik Kapıların İki Kutuplu Tranzistorler ile Gerçeklenmesi

Temel Boolean işlemlerinden biri olan NOT işlemi, diyot ve direnç elemanları ile gerçekleştirilemez. NOT işlemi için aktif elemanların (tranzistor) kullanılması gerekir. Lojik kapıların tasarımında tranzistorler, genellikle tam iletim ya da tam kesim durumlarında çalıştırılır. Tam iletim durumu doyma, tam kesim durumu ise kesim olarak adlandırılır.

İlk olarak iki kutuplu tranzistorü ele alalım. Bu tranzistorün üç adet bağlantısı, emetör (emeter), baz (base) ve kollektör (collector), ve bu bağlantılar ile ilişkili üç adet akımı, I_E , I_B ve I_C vardır. Emetör akımının akış yönü, tranzistorün tipine göre tranzistor üzerinde verilen sembol yönündedir. *n-p-n* tranzistorlerde emetör akımı, emetörden dışarı doğru, baz ve kollektör akımı ise içeri doğru akar. Bir *p-n-p* tranzistorde ise durum, *n-p-n* tranzistordekinin

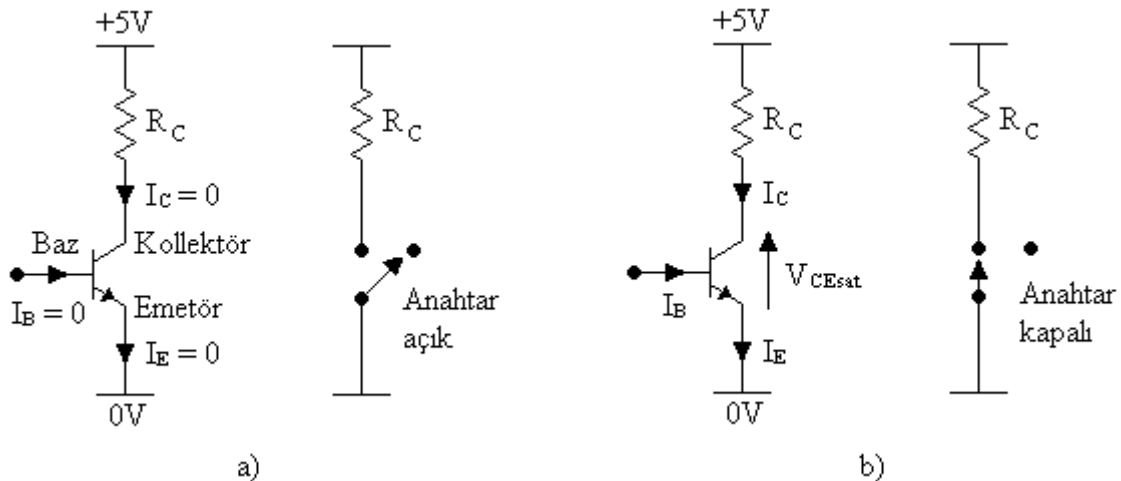
tersidir. Emetör akımının değeri, baz ve kollektör akımlarının toplamı, $I_E = I_B + I_C$, ile belirlenir. Bir iki kutuplu tranzistörde baz-emetör ve baz-kollektör jonksiyonları diyotlardan oluşur ve baz-emetör gerilimi yaklaşık olarak 0.6V ve 0.7V arasında iken kolektör akımı;

$$I_C = h_{FE} I_B \quad (0.1)$$

ilişkisi ile belirlenir. Burada h_{FE} , DC akım kazancıdır. Bu değer genellikle 100'den büyüktür ve bu yüzden baz akımı, kollektör akımından oldukça küçüktür ve emetör akımı, yaklaşık olarak kollektör akımına eşittir. Baz akımı 0A olduğu müddetçe, sızıntı akımları da ihmal edilirse, kollektör ve emetör akımları 0A olacaktır. Bu durumda tranzistörün kesimde olduğu ve tranzistörün emetör ve kollektör bağlantıları arasının açık olduğu bir anahtar gibi davrandığı belirtilir. (Şekil 0.2a) Besleme kaynağı ile kollektör arasındaki kutuplama direnci R_C üzerinden akım akmadığı için bu direnç üzerinde bir gerilim oluşmayacaktır. Bu yüzden kollektördeki gerilim, besleme gerilimine, 5V, eşit olacaktır. Kesim durumu genellikle baz ve emetör arasına 0V'un uygulanması ile sağlanır ama 0.6V'un altında bir gerilim uygulamak da yeterlidir. Baz-emetör gerilimi 0.6V'u aştığında ise baz akımı artacak ve (0.1)'e göre kollektör akımı da artacaktır. Bu durumda, kutuplama direnci üzerindeki gerilim artar ve kollektör gerilimi düşmeye başlar. Kollektör ve emetör arasında doyma gerilimi V_{CEsat} , olarak adlandırılır ve yaklaşık olarak 0.2V olan bir minimum gerilim değerine sahip olduğu için kollektör gerilimi, 0.2V'un altına düşemez. Baz akımı artmaya devam ettikçe kollektör ve baz akımı arasındaki ilişki, (0.1), korunamayacaktır ve kollektör gerilimi ve akımı yaklaşık olarak sabit kalacaktır. Bu durumda, tranzistörün doyuma ulaştığı belirtilir. (Şekil 0.2b) Doyma durumunda kollektör akımı, besleme gerilimi, 5V, ve kutuplama direnci R_C ile

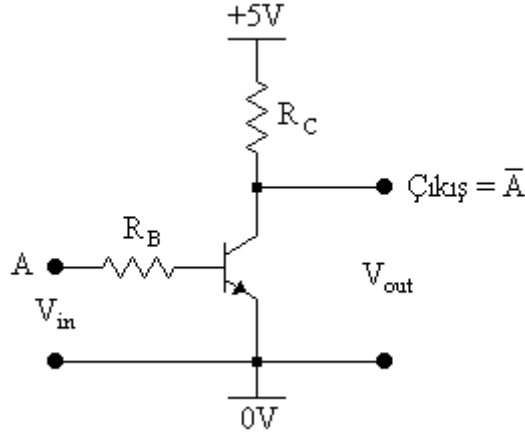
$$I_C = (5 - V_{CEsat})/R_C$$

şeklinde tanımlanır.



Şekil 0.2 : İki kutuplu tranzistörün bir anahtar elemanı olarak davranışı

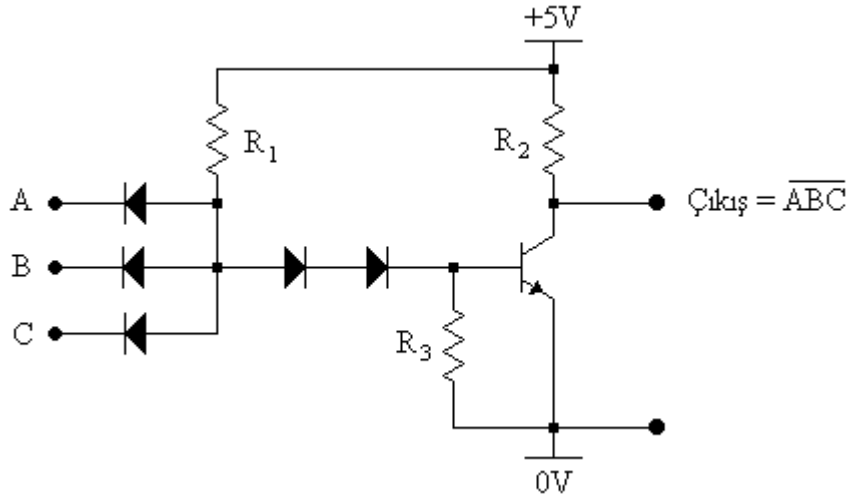
Şekil 0.3'te bir NOT kapısını gerçekleyen tranzistor devresi verilmiştir. Eğer giriş gerilimi 0V (veya 0.6V'tan düşük) ise baz ve kollektör akımı oluşmayacaktır ve kollektör gerilimi 5V olacaktır. Giriş gerilimi, 0.7V'tan yeterince büyük olduğu müddetçe tranzistor doyuma ulaşacaktır ve çıkış gerilimi 0.2V'a, (V_{CEsat}) düşecektir. Bu yüzden devre, çıkışın lojik 0 seviyesi 0.2V ve lojik 1 seviyesi 5V olan bir NOT kapısı gibi davranacaktır.



Şekil 0.3 : NOT kapısı

0.1.3 Diyot-Tranzistor-Lojik (DTL) Kapılar

Bölüm 0.1.1'de verilen diyotlu AND kapısı ve Bölüm 0.1.2'de verilen tranzistorlü NOT kapısı ile diyot-tranzistorlü bir DTL NAND kapısı yapısı, Şekil 0.4'te verilmiştir.

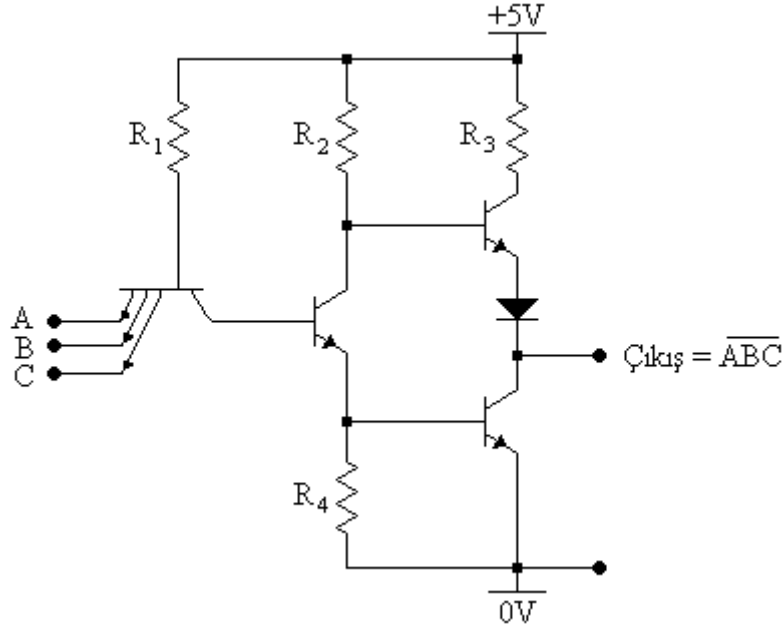


Şekil 0.4 : DTL NAND kapısı

0.1.4 Tranzistor-Tranzistor-Lojik (TTL) Kapılar

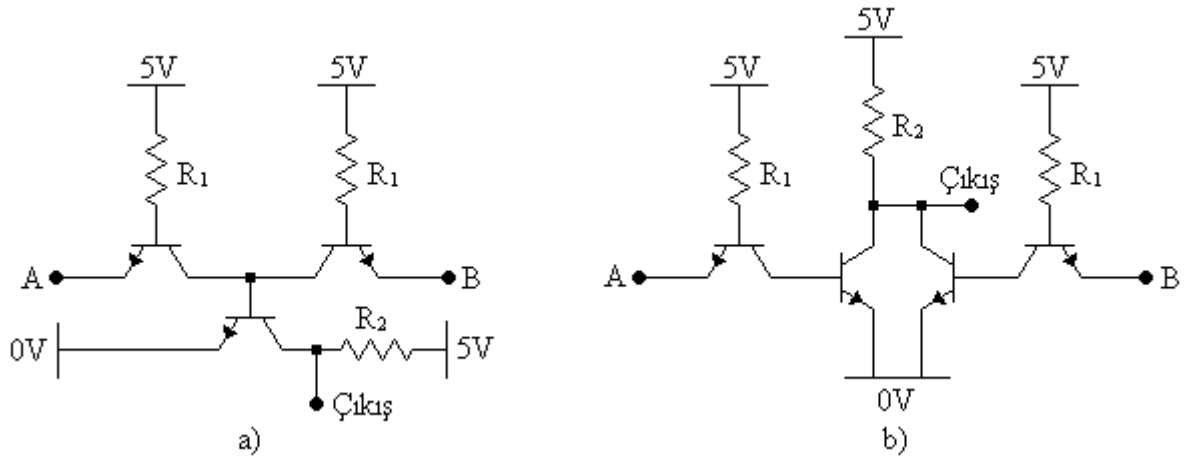
İlk standart TTL, 1963 yılında sunulmuştur ve bugünkü birçok lojik devre elemanına temel oluşturmuştur. Bir DTL kapı, bir TTL kapıya giriş diyotlarının yerine bu diyotlar ile aynı

işlevi gerçekleştiren çoklu-emetör tranzistorün kullanılması ile dönüştürülebilir. Bir çoklu-emetör tranzistor, birden fazla emetör bölgesi olan bir tranzistordür ve her bir emetör-baz jonksiyonu, diyotlu AND devresindeki bir diyot olarak işlev görür. Çoklu-emetör tranzistor kullanılarak tasarlanan bir TTL NAND kapısı, Şekil 0.5'te verilmiştir.



Şekil 0.5 : TTL NAND kapısı

Bunun yanında tranzistorler ile gerçekleştirilen iki girişli NAND ve NOR kapıları Şekil 0.6'da verilmiştir.



Şekil 0.6 : a) TTL NAND kapısı b) TTL NOR kapısı

0.1.5 Schottky TTL (TTL-S)

TTL kapılarda tranzistorler, ya kesimde ya da doymada çalışarak bir anahtarlama devresi oluştururlar. Bir tranzistor doymaya ulaştığı zaman tranzistorün bazına, kollektör akımını

sağlamak için yeterli olan akımdan daha fazla akım girer ve tranzistorün doymadan çıkması için atılması gereken aşırı yük birikimine neden olur. Bu aşırı yükü atmamak nanosaniyeler mertebesinde zaman alır ve devrenin çalışma hızı, tranzistorün doymaya girmeyecek şekilde düzenlenmesi ile artırılır. Bu yüzden tranzistorün baz ile kollektörü arasına Schottky adı verilen bir diyot yerleştirilir. TTL devreler üzerinde gerçekleştirilen bu değişiklik, ilk olarak 1969 yılında yapılmıştır. Düşük güç tüketimine sahip Schottky TTL (TTL-LS) ise 1971 yılında sunulmuştur. Bunun üzerine geliştirilmiş düşük güç tüketimine sahip TTL-ALS yapıları sunulmuştur. TTL ailesi içinde propagasyon gecikme süresi ile güç tüketimi arasındaki bu karşılaştırma, Tablo 0.1’de verilmiştir.

Tablo 0.1 : Farklı TTL serilerinin performans karşılaştırılması

Lojik seriler	Propagasyon gecikme süresi (ns)	Güç tüketimi (mW)	Hız-güç çarpımı (pJ)
TTL	10	10	100
TTL-S	3	19	57
TTL-LS	9,5	2	19
TTL-AS	1,5	20	30
TTL-ALS	4	1	4

0.1.6 Emetör Kuplajlı Lojik (ECL)

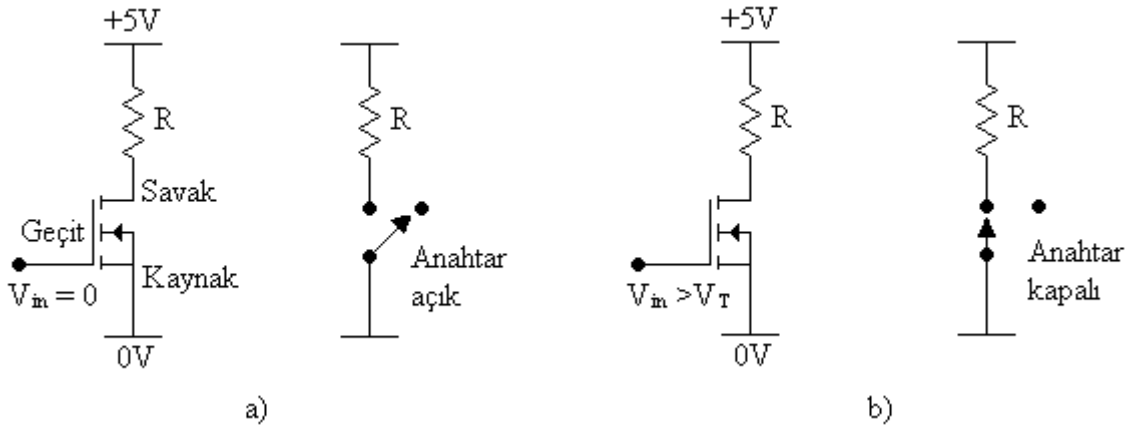
ECL tasarımda elemanların yüksek işlem hızına sahip olabilmeleri için tranzistorlerin doyuma girmeleri, uygun eleman değerlerinin seçimi ile önlenir. Bir ECL devresindeki tranzistorler, kesim veya iletim durumunda çalışırlar. Besleme gerilimleri 0V ve $-5.2V$ ’tur ve lojik seviyeleri TTL’de verilenler ile aynı değildir.

0.1.7 Metal-Oksit-Yarıiletken (MOS) Kapılar

TTL ve ECL kapılarında kullanılan iki kutuplu tranzistorler yerine metal-oksit-yarıiletken alan etkili tranzistorlerin (MOSFET) kullanılması ile bir alternatif kapı ailesi ortaya çıkmıştır. Bir MOSFET, *n-kanal* (nMOS) veya *p-kanal* (pMOS) olarak gerçekleştirilebilir ve bu iki tür, kanal oluşturmaya (enhancement) ve ayarlamaya (depletion) modlarda çalıştırılabilir. Bir MOS tranzistorün üç adet bağlantısı, kaynak (source), geçit (gate) ve savak (drain), vardır.

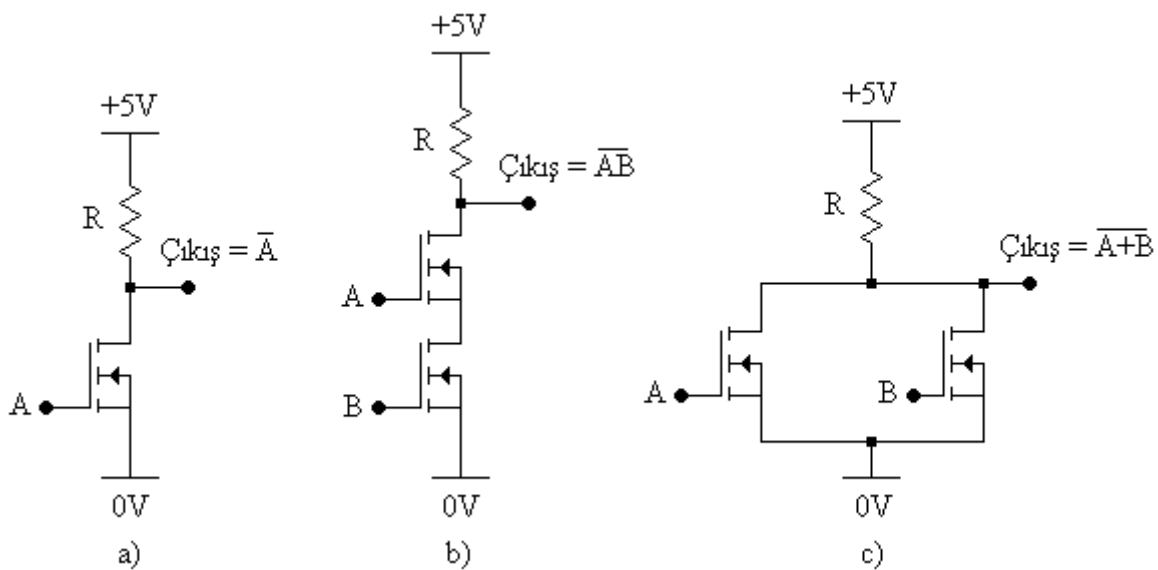
Kanal oluşturmaya modda çalışan bir *n-kanal* MOSFET’i ele alalım. Bu tranzistor genel olarak savak bağlantısına, kaynak bağlantısına göre pozitif bir gerilimin uygulanması ile çalıştırılır. Geçit-kaynak gerilimi, V_{GS} , 0V olduğunda kaynak ile savak arasından akım akmaz (Şekil 0.7a) ve V_{GS} gerilimi artırıldığında kaynak ile savak arasında iletimin olduğu bir noktaya ulaşılır (Şekil 0.7b). İletimin başladığı bu gerilim, eşik gerilimi, V_T , olarak adlandırılır. Geçit-kaynak arasındaki gerilim, eşik gerilimini aşmaya başladığında I_{DS} akımının değeri artar.

Böylece bu eleman, iletim ve açık devre konumları ile bir lojik eleman olarak davranır. V_T gerilimi yaklaşık 1V'tur.



Şekil 0.7 : Kanal oluşturmali n-kanal MOSFET'in bir anahtar elemanı olarak davranışı

Kanal ayarlamalı çalışan bir *n-kanal* MOSFET'te ise V_T gerilimi negatiftir. V_{GS} gerilimi 0V olduğunda, kaynak ile savak arasında iletim başlar. Geçit-kaynak gerilimi, negatif eşik geriliminden düşük olduğu zaman ise iletim durur. Böylece bir iki-durumlu eleman elde edilir. pMOSFET'ler, nMOSFET'lere benzer şekilde çalışır fakat bütün gerilimlerin polaritesi değiştirilir. pMOSFET'in bir anahtar elemanı olarak davranışı, nMOSFET'te verilenin tersi şeklindedir. pMOS, nMOS'un gerçekleşmesi sırasında karşılaşılan zorluklardan dolayı daha önce ortaya çıkmıştır ve nMOS elemanlar, pMOS elemanlardan yaklaşık olarak 2-3 kat daha hızlı işlem yapabilmektedirler. Şekil 0.8'de, kanal oluşturmali modda çalışan nMOSFET'ler ile tasarlanan NOT, NAND ve NOR kapıları verilmiştir.



Şekil 0.8 : a) MOS NOT kapısı b) MOS NAND kapısı c) MOS NOR kapısı

0.1.8 Tümlmeli Metal-Oksit-Yarıiletken (CMOS) Kapılar

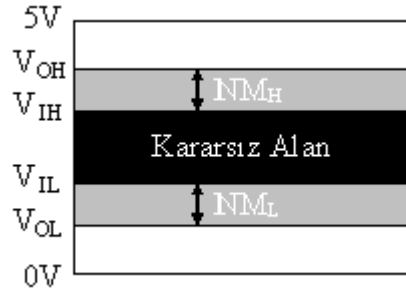
Tümlmeli MOS (CMOS) yapının temel taşlarını, *n-kanal* ve *p-kanal* MOSFET tranzistorler oluşturur ve lojik kapılar, bu yapılar kullanılarak gerçekleştirilebilir. CMOS teknolojisinde temel fikir, besleme ve toprak işaretlerinin hiçbir zaman birleşmemesidir. 74C00, dört adet iki girişli AND kapısı içeren TTL 7400 tümldevresinin CMOS karşılığıdır. Birçok uygulamada, TTL'in CMOS versiyonlarının kullanılmasının sebebi, bu tümldevrelerin TTL'e nazaran daha az güç tüketmesidir. Fakat bu tümldevreler, TTL'e nazaran daha yavaş çalışır.

DENEY 1 : TTL ve CMOS KAPI KARAKTERİSTİKLERİ

1.1 Genel Açıklamalar

Sayısal tümdevrelerin temel karakteristikleri, tümdevrelere ait olan giriş/çıkış-düşük/yüksek seviye gerilim ve akım değerlerinin yanı sıra gürültü marjları, propagasyon gecikme süreleri, güç tüketimleri, giriş ve çıkış yelpaze sayısı olarak bilinir.

Gürültü marjı (NM), gürültünün kapı tarafından tolere edilebileceği en büyük genlik değeridir. Lojik kapılarda gürültü, kapının girişindeki istenmeyen akım ve gerilim değişiklikleri olarak tanımlanır. Gürültünün değeri çok büyük olursa, istenmeyen çıkışlara neden olabilir. Bununla beraber, sayısal sistem girişindeki gürültü gerilim seviyesi, gürültü marjından düşük seviyede ise bu gürültü, analog sistemlerde olduğu gibi birikerek çıkışa aktarılmaz. Şekil 1.1’de gürültü marjının grafiksel gösterimi verilmiştir.



Şekil 1.1 : Gürültü marjının grafiksel gösterimi

Şekil 1.1’de,

V_{IL} : Kapının düşük (LOW) olarak algılayabileceği en yüksek giriş gerilim seviyesi,

V_{IH} : Kapının yüksek (HIGH) olarak algılayabileceği en düşük giriş gerilim seviyesi,

V_{OL} : Kapının düşük (LOW) olarak verebileceği en büyük gerilim seviyesi,

V_{OH} : Kapının yüksek (HIGH) olarak verebileceği en düşük gerilim seviyesi

olarak tanımlanır. Gürültü marjı, yüksek seviye için, $NM_H = V_{OH} - V_{IH}$, düşük seviye için,

$NM_L = V_{IL} - V_{OL}$, olarak tanımlanır. Bir lojik kapının istenen çıkışı vermesi için kapının

girişindeki gürültü geriliminin değeri, Şekil 1.1’de gösterilen gri renkli bölgelerdeki gürültü

marj değerlerine eşit veya küçük olmalıdır. Siyah renkli bölge ise kapı çıkışının kararsız hale

geldiği giriş gerilimi değer aralığını göstermektedir. Gürültünün genliği, bu gürültü marjları

dışına çıktığında kapı, istenmeyen çıkışlar verebilir veya kararsız hale gelebilir. Sayısal

devrelerde kapılar, birbirine kaskad olarak bağlandığı için düşük seviyeli giriş gerilimi, V_{OL}

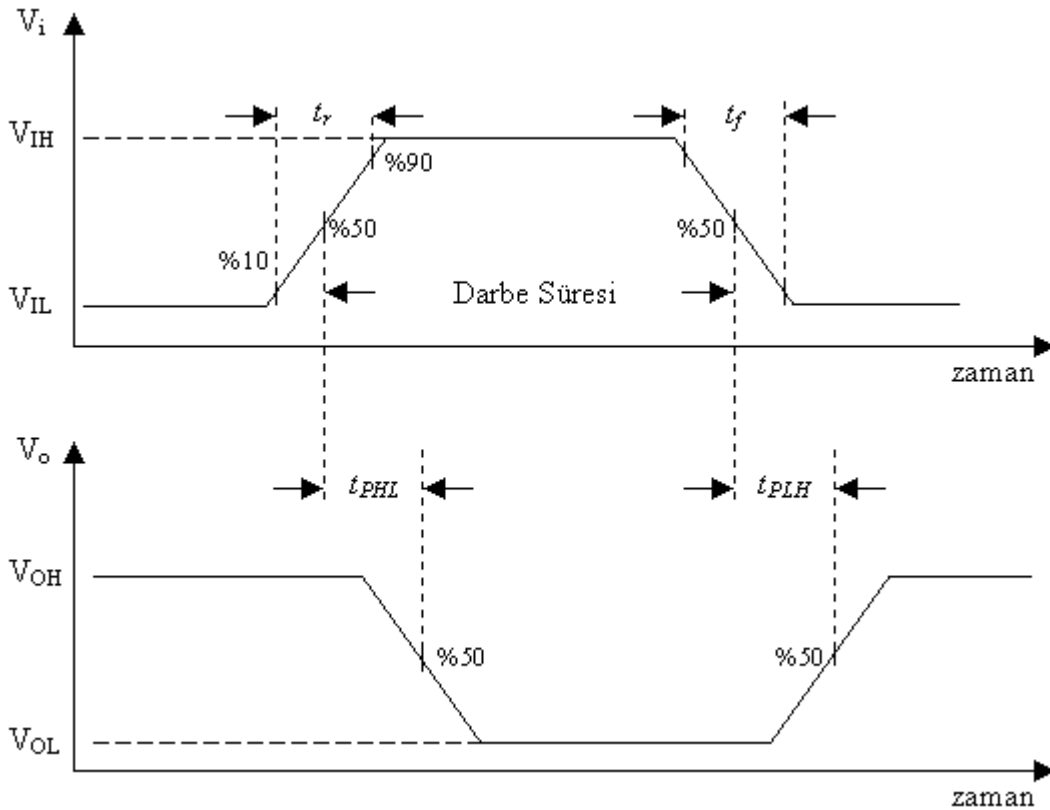
değerinden daha yüksek ve yüksek seviyeli giriş gerilimi, V_{OH} değerinden daha düşük olamaz.

Propagasyon gecikme süresi, t_p , bir elemanın girişindeki seviye değişimi ile elemanın

çıkışında oluşacak seviye değişimi (yüksek seviyeden alçak seviyeye, H-L, alçak seviyeden yüksek seviyeye, L-H) için geçen süredir. t_{PHL} , giriş geriliminin V_{IH} 'ye veya V_{IL} 'ye göre %50 değiştiği andan itibaren çıkış geriliminin V_{OH} 'den V_{OL} 'ye %50 değişene kadar geçen süredir. t_{PLH} de benzer şekilde çıkışın V_{OL} 'den V_{OH} 'ye geçişi için tanımlanır. t_{PLH} ve t_{PHL} genellikle birbirine eşit değildir ve kapının ortalama gecikme süresi;

$$\tau_{ort} = \frac{t_{PLH} + t_{PHL}}{2}$$

şeklinde belirlenir. Propagasyon gecikme süresi, kapının çalışabileceği en büyük frekans değeri ile doğrudan ilgilidir. Genellikle sayısal devrenin çalışma frekansı, toplam en kötü gecikme süresi ile belirlenir. Yükselme süresi (t_r); giriş geriliminin V_{IL} değerinin %10 fazlasından, V_{IL} 'nin %90 fazlasına kadar artımı sırasında geçen süredir. Düşme süresi (t_f) ise V_{IH} değerinin %10 eksiğinden, V_{IH} 'nin %90 eksiğine kadar azalması sırasında geçen süre olarak tanımlanır. Propagasyon gecikme, yükselme ve düşme sürelerinin genlik-zaman diyagramı, Şekil 1.2'de verilmiştir.



Şekil 1.2 : Propagasyon gecikme süreleri, yükselme ve düşme süreleri

Güç tüketimi, kapı elemanın çalışması sırasında harcadığı güç olarak tanımlanır ve

$P_{dis} = V_{CC} \cdot I_{CC}$ ifadesiyle hesaplanır. I_{CC} değeri, düşük ve yüksek seviyelerde harcanan akımların aynı olmamasından dolayı bu iki değerın ortalaması, $I_{CC} = (I_{CCH} + I_{CCL})/2$, olarak

ifade edilir. Tüm elektronik elemanlarda olduğu gibi lojik kapılarda da bir miktar enerji ısıya dönüşür. Bu ısı, tümdevrede fiziksel hataların oluşmasına ve tümdevrenin yıpranmasına neden olur. Bu yüzden tümdevre tasarımlarında, genellikle güç tüketimi daha az olan ve aynı zamanda geniş ölçekli tasarımları destekleyen CMOS teknolojisi kullanılır.

Bir kapının giriş yelpaze sayısı, kapının destekleyebileceği giriş sayısı olarak tanımlanır. Çıkış yelpaze sayısı ise, kapının normal çalışma sınırları dışına çıkmadan bu kapının çıkışına bağlanabilecek maksimum kapı sayısıdır. Düşük seviye (lojik 0) çıkışa sahip bir kapının çıkış yelpaze sayısı, yüksek seviye (lojik 1) çıkışa sahip aynı kapının çıkış yelpaze sayısına, her bir seviyedeki maksimum çıkış akım değerleri ve giriş akım değerleri farklı olduğu için eşit değildir. Buna göre her bir seviyedeki çıkış yelpaze sayısı,

Lojik 1 çıkışına sahip kapının çıkış yelpaze sayısı : $I_{OH(max)}/I_{IH(max)}$,

Lojik 0 çıkışına sahip kapının çıkış yelpaze sayısı : $I_{OL(max)}/I_{IL(max)}$

olarak ve kapının çıkış yelpaze sayısı $\min(I_{OH(max)}/I_{IH(max)}, I_{OL(max)}/I_{IL(max)})$ olarak belirlenir.

Sayısal tümdevreler, üretilirken uygulanan teknolojilere göre şu şekilde sınıflandırılırlar:

- ECL : Emetör-kuplajlı lojik
- TTL : Tranzistor-tranzistor lojik
- I^2L : Entegre enjeksiyonlu lojik
- MOS : Metal-oksitli yarı iletken
- CMOS : Tümlemeli metal-oksitli yarıiletken

TTL, geniş çaplı bir sayısal fonksiyonlar listesine sahiptir. *ECL*, yüksek hızlı işlemler, *MOS* ve I^2L , yüksek bileşen yoğunluğu, *CMOS* ise düşük güç tüketimi gerektiren sistemlerde kullanılmaktadır. *TTL* ve *CMOS* lojik ailesine mensup tümdevrelerin kendilerine has özellikleri şu şekilde verilebilir:

TTL-teknolojisi (74xx) : Lojik devrelerde en sık kullanılan teknolojidir ve iki temel unsur ile karakterize edilebilir. Kapı başına gecikme süresi, yaklaşık olarak 20ns ve güç tüketimi 15mA/lojik kapı.

TTL-teknolojisi (54xx) : Temel olarak *TTL* tümdevreler ile aynı özelliklere sahiptir, fakat askeri amaçlara yönelik üretilirler.

TTL-L (74Lxx) : Daha az güç harcarken, daha düşük hıza sahiptirler.

TTL-S (Schottky : 74Sxx) : *TTL-LS* tümdevreler kadar hızlı olmasına rağmen fazla güç tüketirler.

TTL-LS (Low Schottky : 74LSxx) : *TTL* tümdevrelerden daha az güç tüketirken, *TTL* tümdevreler ile aynı işlem süresine sahiptir.

TTL-AS (Advanced Schottky : 74ASxx) : Yüksek frekanslarda çalışabilmelerine rağmen TTL tümdevrelerden daha fazla güç harcarlar.

TTL-ALS (Advanced LS : 74ALSxx) : LS tümdevrelerden daha hızlı ve daha yüksek çıkış akımına sahiptir.

TTL-H (High speed : 74Hxx) : Yüksek frekanslarda çalışabilmelerinin yanı sıra gürültü marjları yüksektir.

TTL-F (Fast I/O : 74F) : Yüksek hızlara sahiptir ve bunun için çok fazla güç harcar.

TTL-OC : Bu sayısal tümdevreler, TTL ile benzer özelliklere sahiptir fakat TTL ile karşılaştırıldığında daha fazla propagasyon gecikme süresine sahiptir.

CMOS (4xxx & 74Cxx) : Bu teknolojinin en önemli avantajı, düşük güç tüketimine sahip olmasıdır.

CMOS-AC (74ACxx) : Yüksek hızlı ve TTL uyumludur.

CMOS-HC (74HCxx) : Yüksek hızlara sahiptir.

CMOS-H (High speed : 74HCTxx) : Düşük güç tüketimi sağlarken daha yüksek frekanslarda çalışma olanağı sağlar.

Tablo 1.1'de bazı lojik ailelerin birbirleriyle çıkış yelpaze sayısı, güç tüketimi, gürültü marjı, propagasyon gecikme süresi ve çalışma frekansı açılarından karşılaştırması verilmiştir.

Tablo 1.1 : Bazı lojik ailelerinin birbirleriyle karşılaştırılması (VG: Çok iyi, G: İyi, P: Zayıf)

Aile	Lojik Kapı	Çıkış Yelpaze Sayısı	Güç Tüketimi (mW/kapı)	Gürültü Marjı	Propagasyon Gecikmesi (ns/kapı)	Frekans(MHz)
TTL	NAND	10	10	VG	10	35
TTL-H	NAND	10	22	VG	6	50
TTL-L	NAND	20	1	VG	33	3
TTL-LS	NAND	20	2	VG	9,5	45
TTL-S	NAND	10	19	VG	3	125
TTL-AS	NAND	40	10	VG	1,5	175
TTL-ALS	NAND	20	1	VG	4	50
ECL 10K	OR-NOR	25	40-55	P	2	>60
ECL100K	OR-NOR	??	40-55	P	0.75	600
MOS	NAND	20	0.2-10	G	300	2
74C	NOR/NAND	50	0.01/1	VG	70	10
74HC	NOR/NAND	20	0.0025/0.6	VG	18	60
74HCT	NOR/NAND	20	0.0025/0.6	VG	18	60
74AC	NOR/NAND	50	0.005/0.75	VG	5,25	100
74ACT	NOR/NAND	50	0.005/0.75	VG	4,75	100

1.2 Deney Öncesi Hazırlıklar

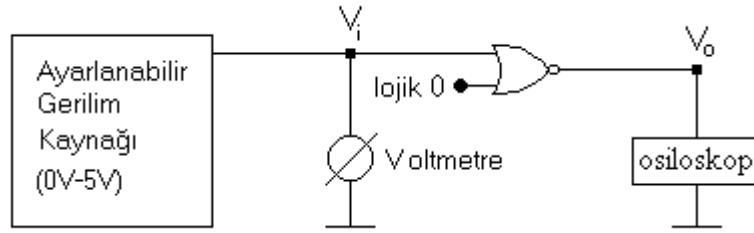
1. TTL ve CMOS teknolojileri arasındaki farklılıkların incelenmesi.
2. Deney sırasında gerçekleştirilecek olan Şekil 1.5'teki devrenin CAD araçları ile simülasyonun yapılıp kısa bir rapor halinde sonuçların getirilmesi.
3. Deney sırasında kullanılacak tümdevrelerin statik ve dinamik karakteristiklerinin tümdevre kataloglarından incelenmesi.

1.3 Deney Sırasında Yapılacaklar

1. TTL NOR Kapısının Statik Karakteristiklerinin Bulunması

1-A. Boşta Çalışma Karakteristiği

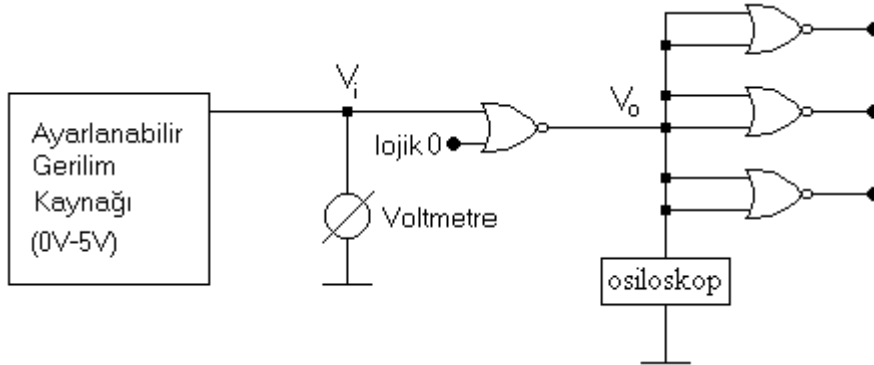
Boşta çalışma karakteristiği, kapı çıkışı yüksüz iken $V_o = f(V_i)$ bağıntısıdır. Şekil 1.3'te verilen devreyi deney setine kurarak boşta çalışma karakteristiğini, uygun değerler alarak bir tablo halinde elde ediniz.



Şekil 1.3 : Boşta çalışma karakteristiğinin çıkartılması için kurulacak devre

1-B. Yüklü Çalışma Karakteristiği

Yüklü çalışma karakteristiği, kapının çıkış ucuna belirli sayıda eleman bağlanarak yüklendiği durumdaki $V_o = f(V_i)$ bağıntısıdır. Şekil 1.4'teki devreyi deney setine kurarak yüklü çalışma karakteristiğini, uygun değerler alarak bir tablo halinde elde ediniz.



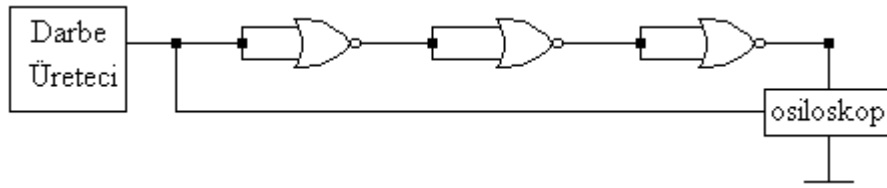
Şekil 1.4 : Yüklü çalışma karakteristiğinin çıkartılması için kurulacak devre

2. CMOS Kapıların Statik Karakteristiklerinin Bulunması

Birinci bölümde TTL NOR kapısı için yapılanları, CMOS NOR kapısı için tekrar ediniz.

3. TTL Kapılarının Dinamik Karakteristiklerinin Bulunması

Bir lojik kapının gecikmesinin Şekil 1.2’de gösterildiği gibi, t_{PLH} ve t_{PHL} olmak üzere iki bileşeni vardır. Deneyde bir kapının toplam gecikmesi, tek sayıda NOR kapısının oluşturduğu osilatör devresinin (ring osilatörü) ürettiği işaretin periyodunun ölçülmesiyle bulunacaktır. Bunun için Şekil 1.5’teki devreyi deney setine kurarak oluşan salınımların periyodunu osiloskop yardımıyla belirleyiniz.



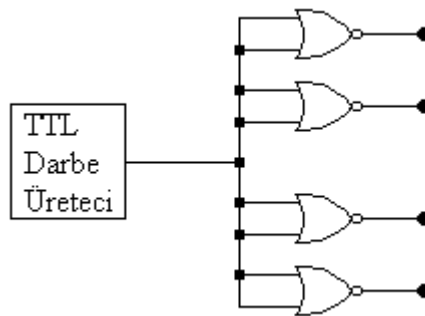
Şekil 1.5 : Ring Osilatörü

4. CMOS Kapıların Dinamik Karakteristiklerinin Bulunması

İkinci bölümde TTL NOR kapısı için yapılanları, CMOS NOR kapısı için tekrar ediniz.

5. TTL Kapıları Üzerinde Harcanan Gücün Ölçümü

TTL NOR kapısı üzerinde harcanan gücü, Şekil 1.6’daki devrede tüm girişlere 1Hz ile 1MHz arasında çeşitli frekanslarda TTL işareti uygulanmış iken ölçerek, $P_{dis} = g(f)$ bağıntısına ilişkin güç ve frekans değerlerini tablo halinde elde ediniz. ($V_{CC} = 5V$, $P_{dis} = V_{CC} \cdot I_{CC}$) I_{CC} akımı, gerilim kaynağı ile tümdevre arasına konulan $R = 100\Omega$ ’ luk direnç üzerindeki gerilim düşümü ile hesaplanacaktır.



Şekil 1.6 : TTL kapıları üzerinde harcanan gücün bulunması için kurulacak devre

6. CMOS Kapıları Üzerindeki Harcanan Gücün Ölçümü

Üçüncü bölümde TTL NOR kapısı için yapılanları, CMOS NOR kapısı için tekrar ediniz.

1.4 Raporda İstenilenler

1. TTL teknolojisi ile üretilmiş NOR kapısının propagasyon gecikmesinin değerini katalogdan bulunuz. NOR kapısının hızının ne olabileceğini belirtiniz. Bu hız pratikte çalışma frekansı olarak adlandırılır.
2. Gürültü marjının çok büyük veya çok küçük olmasının ne gibi yararlar veya zararlar sağlayacağını açıklayınız.
3. Tümdevrelerde güç kaybının ve tümdevre akım değerlerinin büyük olmasının, tümdevre ve tümdevrenin bulunduğu sistem içinde ne gibi sonuçları beraberinde getireceğini belirtiniz.
4. Günümüzde besleme gerilimi 5V olan tümdevreler yerine besleme gerilimi 3.3V olan tümdevreler kullanılmaya başlanmasının nedenlerini belirtiniz.
5. Çok geniş ölçekli devrelerin tasarımında CMOS teknolojisi TTL teknolojisine göre tercih edilmektedir. Bunun nedenlerini CMOS teknolojisini TTL teknolojisi ile karşılaştırarak açıklayınız.

Malzeme Listesi

- 1 adet 4001 CMOS NOR kapı tümdevresi
- 1 adet 7402 TTL NOR kapı tümdevresi
- 1 adet 100 ohm'luk direnç

DENEY 2 : KOMBİNEZONSAL DEVRE ANALİZİ

2.1 Genel Açıklamalar

Giriş değişkenleri $x = x_1, x_2, \dots, x_n$ ve çıkış değişkeni z olan bir Boolean fonksiyonu; eğer z çıkışının değeri, x değerlerinin sadece o anki değerlerine bağlı ve z 'nin önceki değerlerinden tamamen bağımsız ise bir kombinezonsal fonksiyondur. Bir kombinezonsal fonksiyonun devre elemanları kullanılarak gerçekleştirilmesi sonucu elde edilen devreye, kombinezonsal devre denilir. Kombinezonsal devrelerin grafları, yönlü ve çevre içermeyen graflardır (DAG) ve geribesleme bağlantıları içermez. Bu yüzden kombinezonsal devrelere çevrimsiz devreler de denilir.

Kombinezonsal devrelerin analizi, devre tarafından gerçekleştirilen fonksiyonun belirlenmesini içerir. Sayısal devre içinde kullanılan farklı elemanların Boolean ifadeleri ile devre içindeki her bir bağlantının Boolean ifadeleri belirlenebilir. Sayısal devreler, sayısal elemanların birleşmesinden meydana geldiği için devrenin çıkış fonksiyonu, Boolean cebri kullanılarak elde edilen ifadelerin yardımı ile Boolean ifadeleri cinsinden belirlenebilir. Bunun yanında iki değerli Boolean cebri, $B_2 = \{0,1\}$, sayısal devrelerin tanımlanmasında kullanılır. Devre içindeki her bir bağlantı, 0 ve 1 değerlerinden birini alabilecek değişken olarak gösterilir ve devrenin fonksiyonu, devre girişlerinin bütün olası kombinasyonlarına karşılık devre çıkışının aldığı değerlerin oluşturduğu doğruluk tablosu ile belirlenebilir. Böylece devre fonksiyonunun belirlenmesi, Boolean ifadeleri veya doğruluk tablosu formunda olabilir. Bir sayısal devre, devrenin kendi fonksiyonunu gerçekleştirip gerçekleştirmediğinin belirlendiği test aşamasında analiz edilir. Devrede bir hata olduğu belirlendikten sonra hata yerinin bulunması ve hata düzeltimi aşamalarına geçilir. Bunun yanında, verilen iki adet devrenin aynı fonksiyonu gerçekleştirip gerçekleştirmediğinin belirlenmesinde devre analizi yöntemleri kullanılır.

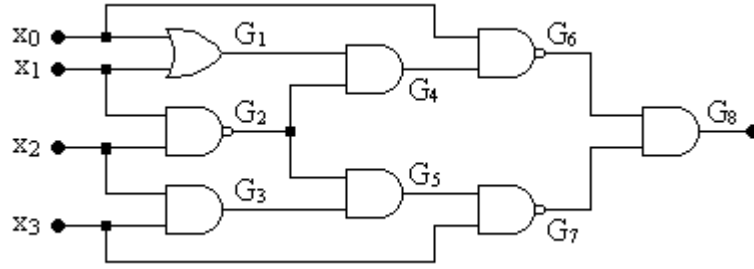
2.2 Deney Öncesi Hazırlıklar

1. Boolean cebrinin temel kurallarının ve kombinezonsal devrelerin incelenmesi.
2. Deney sırasında kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

2.3 Deney Sırasında Yapılacaklar

1. Şekil 2.1'de verilen devrenin her bir kapısına ilişkin Boolean ifadelerini, devrenin giriş değişkenleri cinsinden bulunuz. Şekil 2.1'deki devreyi deney setine kurunuz. Kullanılan bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik

anahtarlardan alıp, devredeki her bir kapının çıkışını LED'lere (Light Emitting Diode) bağlayınız ve Tablo 2.1'de verilen doğruluk tablosunu doldurunuz.

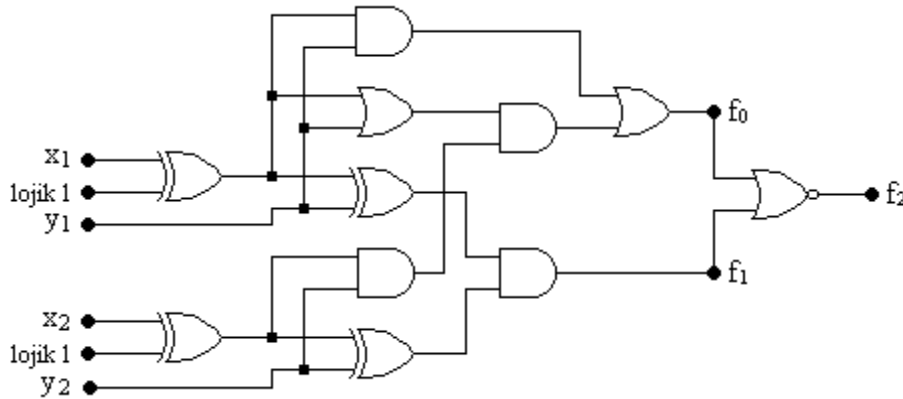


Şekil 2.1 : Analizi yapılacak kombinezonalsal devre

Tablo 2.1 : Şekil 2.1'de verilen devrenin doğruluk tablosu

x_3	x_2	x_1	x_0	G_1	G_2	G_3	G_4	G_5	G_6	G_7	G_8
0	0	0	0								
0	0	0	1								
0	0	1	0								
0	0	1	1								
0	1	0	0								
0	1	0	1								
0	1	1	0								
0	1	1	1								
1	0	0	0								
1	0	0	1								
1	0	1	0								
1	0	1	1								
1	1	0	0								
1	1	0	1								
1	1	1	0								
1	1	1	1								

2. Şekil 2.2'deki devreyi deney setine kurunuz. Kullanılan bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik anahtarlardan alıp, devre çıkışlarını LED'lere bağlayınız ve Tablo 2.2'de verilen doğruluk tablosunu doldurunuz. Elde edilen doğruluk tablosunun yardımıyla devrenizin fonksiyonunu belirleyiniz.



Şekil 2.2 : Fonksiyonu belirlenecek kombinezonalsal devre

Tablo 2.2 : Şekil 2.2’de verilen devrenin doğruluk tablosu

x ₁	x ₂	y ₁	y ₂	f ₀	f ₁	f ₂
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

2.4 Raporda İstenilenler

1. Boolean cebirinin temel kurallarını kullanarak $f_1 : x + x'y = x + y$ eşitliğinin geçerli olduğunu ispatlayınız. f_1 eşitliğini kullanarak $f_2 : a' + ab' + abc' + abcd'$ fonksiyonunun karşılığını bulunuz. $f_3 : a' \oplus ab' \oplus abc' \oplus abcd'$ fonksiyonunun f_2 fonksiyonu ile eşdeğerliğini, $f_4 : x \oplus x'y = x + y$ eşitliğinin geçerli olduğunu göstererek ispatlayınız.

2. Boolean cebirinin temel kurallarını kullanarak aşağıda verilen eşitliklerin geçerli olup olmadıklarını ispatlayınız.

a) $xy + x'y' + x'yz = xyz' + x'y' + yz$

b) $xyz + wy'z' + wxz = xyz + wy'z' + wxy'$

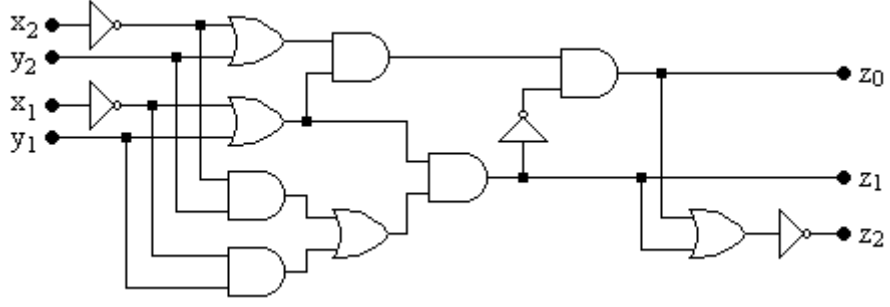
c) $x'y'(xz + y') + (x + y)(xy'z' + x'yz) = y'z' + x'z$

3. Bir $f(x)$ Boolean fonksiyonu, $f(x) = f_d = (f(x'))'$ eşitliğine sahip ise kendine özgü dualdir (self dual) denilir. Aşağıda verilen fonksiyonların kendilerine özgü dual olup olmadıklarını belirleyiniz.

a) $x_1x_2' + x_1'x_2 = f_1(x_1, x_2)$

b) $x_2'(x_1 + x_3') + x_1(x_2' + x_3') = f_2(x_1, x_2, x_3)$

4. Şekil 2.3’te verilen devrenin, Şekil 2.2’de verilen devre ile aynı fonksiyonları gerçekleştirdiğini, her iki devre için doğruluk tabloları oluşturarak ispatlayınız. Sonuç olarak iki devre arasındaki çıkış bağlantıları arasındaki karşılığı belirtiniz.



Şekil 2.3 : Şekil 2.2’de verilen devre ile aynı fonksiyonları gerçekleştiren devre

Malzeme Listesi

- 1 adet 7400 NAND kapı tümdevresi
- 1 adet 7402 NOR kapı tümdevresi
- 1 adet 7408 AND kapı tümdevresi
- 1 adet 7432 OR kapı tümdevresi
- 1 adet 7486 EXOR kapı tümdevresi

DENEY 3 : KOMBİNEZONSAL DEVRE SENTEZİ

3.1 Genel Açıklamalar

Bir kombinezonsal devrenin tasarımında ilk olarak sözle tanım ile ifade edilen devre fonksiyonu için devrenin x_1, x_2, \dots, x_n girişleri ile z çıkışına karşılık düşen doğruluk tablosu oluşturulur. Doğruluk tablosunda x_1, x_2, \dots, x_n değişkenlerinin bütün 2^n adet giriş kombinasyonlarının oluşturduğu küme, *n-küp* veya *n-boyutlu uzay* olarak anılır. *n*-boyutlu uzay içinde birer nokta olan 2^n adet giriş kombinasyonunun her biri için z çıkışının değeri, 1 (1-noktası), 0 (0-noktası) veya belirlenmemiş (keyfi noktası) olur. Bir giriş kombinasyonu için çıkışın belirlenmemiş olması, bu giriş kombinasyonunun asla uygulanmayacağını ve 0 ya da 1 olabileceğini gösterir. Eğer bir devrenin çıkışı, 1-noktasına karşılık gelen bütün girişler için 1 ve 0-noktasına karşılık gelen bütün girişler için 0 ise bu devre, çıkışına ait olan fonksiyonu gerçekler denilir. Kombinezonsal devre sentezinde amaç, verilen bir devre fonksiyonunun gerçekleştirilmesidir. Kombinezonsal lojik devre sentez yöntemleri genel olarak iki grupta toplanabilir. Birinci yöntem, elde edilen doğruluk tablosu yardımıyla Quine-McCluskey veya Karnaugh yöntemlerinin uygulanmasıyla minimal fonksiyonu bulmaktır. Minimal fonksiyonun bulunmasında kullanılacak yöntemin hangisi olacağına fonksiyon içinde bulunan bağımsız değişken sayısının belirlenmesi sonucu karar verilir. Değişken sayısı, 4-5'e kadar olan fonksiyonlarda Karnaugh yönteminin uygulanması daha çabuk sonuca ulaştıracağı için tercih edilir. Minimal fonksiyona karşı düşen devre, iki seviyeli (çarpımlar toplamı ya da toplamlar çarpımı) gerçekleştirilebileceği gibi belirli bir gecikme süresi göz önüne alınarak iki seviyeli devreden daha az devre karmaşıklığına sahip olacak şekilde çok seviyeli olarak da gerçekleştirilebilir. Çıkış sayısı birden fazla olan devrelerde aynı zamanda devre çıkışlarına ait olan fonksiyonlar iki seviyeli olarak birlikte indirgenerek devrenin, PLA devre karmaşıklığının azaltılması amaçlanır. Kombinezonsal devrelerde karmaşıklık, kapı sayısı artı giriş sayısı olarak tanımlanır. Ancak, tüm kapıların giriş sayıları aynı ise devre karmaşıklığı sadece kapı sayısı ile de belirlenebilir. Bir kombinezonsal devrenin seviyesi ise, devrenin her bir girişinden her bir çıkışına uzanan yollarda bulunan maksimum kapı elemanı sayısıdır. Kombinezonsal lojik devre sentezinde ikinci yöntem ise sözle tanımdan bir algoritma çıkararak, bu algoritmaya karşı düşen devreyi gerçekleştirmektir. Bu yöntem, genellikle değişken sayısı ve/veya keyfi çıkışları fazla olan fonksiyonların gerçekleştirilmesinde oldukça elverişlidir. Örnek olarak, karşılaştırıcı ve kodlayıcı devreleri bu yöntemle gerçekleştirilebilir.

Bu iki kombinezonsal devre sentez yöntemi karşılaştırıldığında, ilk yöntem için değişken sayısı arttığında doğruluk tablosunun üstel biçimde büyüdüğü görülmektedir. İkinci yöntemde ise böyle bir sorunla karşılaşılmaz ama sözle tanımdan her zaman bir algoritma çıkarabilmek de mümkün olmamaktadır.

Teorik olarak, kapı elemanları ile devre tasarımı gerçekleştirirken kullanılacak kapı ve kapı giriş sayısının minimalleştirilmesi esas alınır. Ancak, uygulamada tümdevreler kullanıldığı için minimallik kavramı, tümdevre sayısı ile ilişkili olmaktadır. Minimal tümdevre sayısını sağlamak için varolan farklı yöntemlerden biri, aynı tür kapı kullanımını için kullanılan ortak kapı dönüşümleridir.

Sözle Tanım 1 : BCD sayıları, (84-2-1) koduna dönüştüren kombinezonsal devrenin tasarlanması istenmektedir. BCD'den (84-2-1)'e kod dönüştürücü devresi, dört adet bağımsız giriş, $x_3x_2x_1x_0$, (x_3 : En anlamlı bit - Most Significant Bit: MSB) ve dört adet çıkıştan, 84-2-1, (8 : MSB) oluşmaktadır. Bu devrenin giriş değişkenleri, on tabanındaki sayıların ikili kodlanmış halinde iken, çıkışları bu sayıların (84-2-1) kodundaki karşılığıdır. Bir giriş kombinasyonunun (84-2-1) kod karşılığı, çıkışlarından her biri 0 veya 1 değerine sahip olan ve bu değerler ile çıkışa ait kodun katsayıları (8 4 -2 -1) ile çarpılıp toplandığında elde edilen sonuç, bu giriş kombinasyonunun on tabanındaki karşılığı olan değerler kombinasyonudur. On tabanındaki sayılar (0-9) haricinde geriye kalan altı giriş kombinasyonu için çıkışlar, keyfi değerlerini alır. Tablo 3.1'de bu kod dönüştürücünün doğruluk tablosu verilmiştir.

Tablo 3.1 : BCD – (84-2-1) kod dönüştürücü doğruluk tablosu

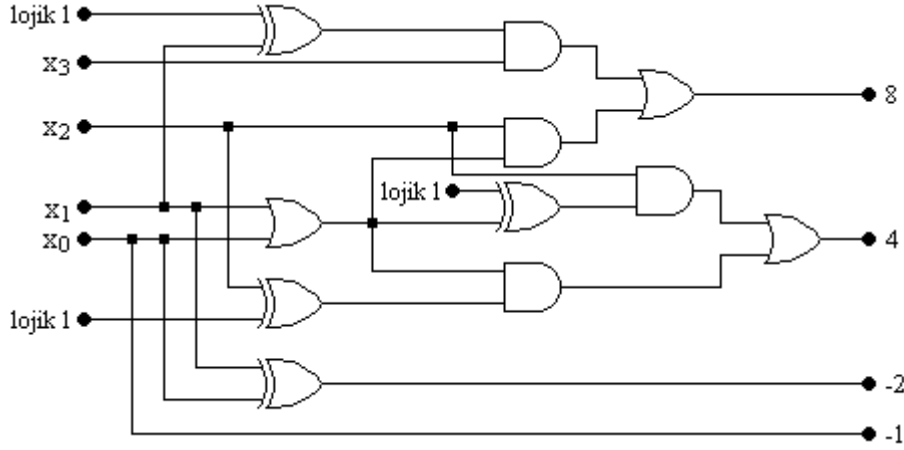
x_3	x_2	x_1	x_0	8	4	-2	-1
0	0	0	0	0	0	0	0
0	0	0	1	0	1	1	1
0	0	1	0	0	1	1	0
0	0	1	1	0	1	0	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	1	0	1	0
0	1	1	1	1	0	0	1
1	0	0	0	1	0	0	0
1	0	0	1	1	1	1	1
10-15				Keyfi			

Elde edilen doğruluk tablosundaki her bir çıkış için elde edilen Boolean fonksiyonları;

$$\mathbf{8} : x_0x_2 + x_1x_2 + x_1'x_3 \quad \mathbf{4} : x_0x_2' + x_1x_2' + x_0'x_1'x_2 \quad \mathbf{-2} : x_0x_1' + x_0'x_1 \quad \mathbf{-1} : x_0 \quad (3.1)$$

şeklindedir. Bu çıkış fonksiyonlarının iki seviyeli çarpımlar toplamı şeklinde AND, OR ve NOT kapıları kullanılarak gerçekleştirilmesi istendiğinde 7 adet iki girişli AND kapısı, 1 adet üç

girişli AND kapısı, 2 adet üç girişli OR kapısı, 1 adet iki girişli OR kapısı ve 3 adet NOT kapısı ile toplam 6 adet tümdevre gerekmektedir. Bu fonksiyonların ortak bileşenlerinin bulunmasına ve aynı tür kapıların kullanılmasına dikkat ederek 3 adet tümdevre ile 4 seviyeli olarak tasarlanan devre, Şekil 3.1’de verilmiştir.



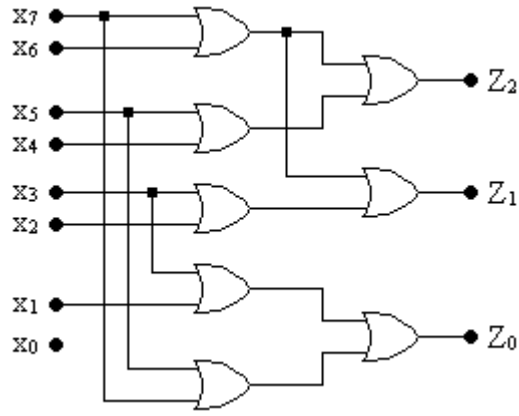
Şekil 3.1 : BCD'den 84-2-1'e kod dönüştürücü devresi

Sözle Tanım 2 : Sekiz girişli, $x_7x_6x_5x_4x_3x_2x_1x_0$, ve üç çıkışlı, $Z_2Z_1Z_0$, olan bir indis kodlayıcı devresi tasarlanmak istenmektedir. İndis, devre girişlerinde yer alan değişkenlerden birinin girişi lojik 1 değerine ve diğerlerinin lojik 0 değerine sahip olması ile belirlenir ve devrenin çıkış değerleri (Z_2 : MSB), bu girişin sahip olduğu indis değerinin ikili kodlanmış halidir. Öncelik kodlayıcısının doğruluk tablosu, Tablo 3.2’de verilmiştir.

Tablo 3.2 : İndis kodlayıcı doğruluk tablosu

x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	Z_2	Z_1	Z_0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1
Diğer giriş kombinasyonları								Keyfi		

İndis kodlayıcı devresinin tasarımı için 8 değişkenli 3 adet indirgenmiş fonksiyonu Quine-McCluskey veya Karnaugh yöntemi ile bulmak yerine her bir çıkış fonksiyon değerinin 1 olması için hangi giriş değişkenlerinin 1 olması gerektiği belirlenerek gerçekleştirilen devre, Şekil 3.2’de verilmiştir.



Şekil 3.2 : İndis kodlayıcı devresi

Bir Boolean fonksiyonu SSI kapı elemanları (Small Scale Integrated circuits) ile gerçekleştirilebildiği gibi aynı zamanda MSI (Medium Scale Integrated circuits), LSI (Large Scale Integrated circuits) ve VLSI (Very Large Scale Integrated circuits) ailesinden PLD (Programmable Logic Devices) ve PLD'lerin bir uzantısı olan FPGA (Field Programmable Gate Arrays) ve PLC (Programmable Logic Circuits) gibi elemanlar ile de gerçekleştirilebilir. SSI, MSI, LSI ve VLSI tümdevreler sırasıyla 1-10, 10-100, 100-1000 ve 1000-... arasında kapı elemanı içeren tümdevrelerdir.

3.2 Deney Öncesi Hazırlıklar

1. Boolean fonksiyonlarının minimal ifadelerinin bulunması için kullanılan yöntemlerin ve çok seviyeli kombinezonsal devre tasarım metodlarının incelenmesi.
2. (3.1)'de verilen dört adet fonksiyonun, 8, 4, -2, -1, Şekil 3.1'deki devre haline dönüştürülebilmesi için yapılan lojik işlemlerin kısa bir rapor halinde sunulması.
3. Deney sırasında kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

3.3 Deney Sırasında Yapılacaklar

1. Şekil 3.1'de verilen devreyi deney setine kurunuz. Kullanılan bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik anahtarlardan alıp devrenin çıkışlarını LED'lere bağlayınız. Doğruluk tablosunda verilen giriş kombinasyonlarını uygulayarak devrenizin istenilen fonksiyonu gerçekleştirip gerçekleştirmediğini saptayıp keyfi giriş kombinasyonlarına karşılık gelen çıkışların değerlerini belirleyiniz.
2. Şekil 3.2'de verilen devreyi deney setine kurunuz. Kullanılan bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik anahtarlardan alıp devrenin

çıkışlarını LED'lere bağlayınız. Doğruluk tablosunda yer alan giriş kombinasyonlarını uygulayarak devrenizin istenilen fonksiyonu gerçekleştirip gerçekleştirmediğini saptayınız.

3.4 Raporda İstenilenler

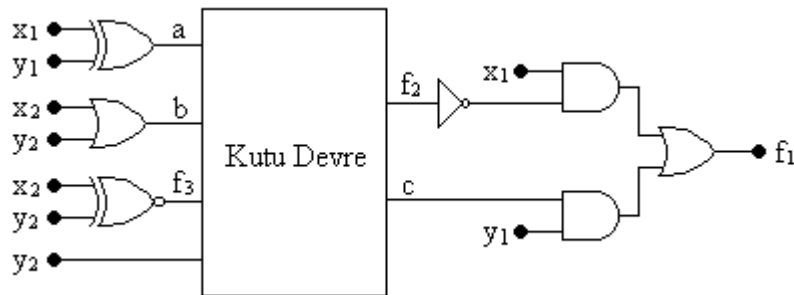
1. Şekil 3.1'de verilen devrede her bir çıkışa ait gecikme sürelerini bulunuz ve devrenizin çalışma frekansını belirleyiniz. Bu sonucu, (3.1)'de verilen devre fonksiyonlarının iki seviyeli olarak gerçekleştirildiği devrenin çalışma frekansı ile karşılaştırınız.

2. PLD ailesinden olan PLA tümdevresi, AND ve OR kapı girişlerinin programlanabildiği bir AND-OR yapısına sahiptir. PLUS 153B/D tümdevresinin lojik diyagramını kullanarak (3.1)'de verilen fonksiyonları gerçekleyiniz.

3. Girişlerine gelen iki bitlik iki sayıyı karşılaştırıp, karşılaştırma işleminin sonucunu ve büyük sayıyı çıkışlarda gösteren kombinezonsal devrenin tasarlanması istenmektedir. Buna göre devrenin dört adet girişi ve üç adet çıkışı vardır. Çıkışlardan biri, eşitlik durumunu (eğer her iki sayı eşit ise 0, eşit değil ise 1) gösterirken diğer iki çıkış, eğer iki sayı eşit ise sayılardan birinin, eğer iki sayı eşit değil ise büyük olan sayının ikili tabandaki (binary) karşılığını gösterecektir. Bu kombinezonsal devreyi kapı elemanları kullanarak çok seviyeli olarak tasarlayınız.

4. Şekil 3.3'te verilen kombinezonsal devre dört adet girişe, $x_1x_2y_1y_2$, ve üç adet çıkışa, $f_1f_2f_3$, sahip olan ve iki bitlik iki sayının (x_1 ve y_1 : MSB) toplamının bir fazlasını, iki tabanında devre çıkışlarında (f_1 : MSB) gösteren bir devredir. Verilenler ışığında kutu devrenin içini tasarlayınız.

İpucu : İlk olarak devre girişlerine ve çıkışlarına ilişkin doğruluk tablosunu oluşturunuz. Bu tablo yardımıyla devrenin çıkış değerlerini (f_1 , f_2 , f_3) belirleyiniz. Bunun yanında kutu devrenin diğer girişlerinin (a, b) ve diğer çıkışının (c) değerlerini belirleyiniz. Elde edilen doğruluk tablosunun yardımıyla kutu devrenin girişlerine karşılık düşen çıkış değerleri ile yeni bir doğruluk tablosu oluşturularak devre çıkışlarına ilişkin fonksiyonları bulunuz.



Şekil 3.3 : Tasarlanması istenen kutu devreyi içeren kombinezonsal devre

Malzeme Listesi

1 adet 7408 AND kapı tümdevresi

2 adet 7432 OR kapı tümdevresi

1 adet 7486 EXOR kapı tümdevresi

DENEY 4 : MSI KOD ÇÖZÜCÜLERİ, ÇOĞULLAYICILARI ve KODLAYICILARI ile KOMBİNEZONSAL DEVRE SENTEZİ ve ANALİZİ

4.1 Genel Açıklamalar

Kod çözücüler (decoder), genellikle n girişli 2^n çıkışlı MSI tümdevrelerdir. Yine de, ikili kodlanmış on tabanındaki sayılar (Binary Coded Decimal (BCD) : 0-9) için 4 girişli 10 çıkışlı, 4×10 , kod çözücüler de mevcuttur. Kod çözücü girişlerinin her bir değer kombinasyonu için bu kombinasyonun on tabanındaki karşılığı olan çıkış, aktif olurken diğer çıkışlar aktif değildir. Buna göre, aktif-0 ve aktif-1 çıkışlı olarak iki tür kod çözücü vardır. Aktif-0 çıkışlı bir kod çözücü tümdevresinde, uygulanabilecek her bir giriş kombinasyonuna karşılık ilişkili çıkış lojik 0 değerine sahip iken, diğer çıkışlar lojik 1 değerine sahip olur. (Benzer şekilde aktif-1 çıkışlı kod çözücü tümdevresinde ilişkili çıkış lojik 1 değerini alırken, diğer çıkışlar lojik 0 değerini alır.) Böylece, her bir çıkış, kod çözücünün giriş kombinasyonuna ilişkin maksterimini (veya minterimini) oluşturur. Bundan dolayı, kod çözücü tümdevreleri ile herhangi bir Boolean fonksiyonu gerçekleştirilebilir. Belirli giriş ve çıkış sayısına sahip olan kod çözücü tümdevreleri ile giriş ve çıkış sayıları arttırılmış kod çözücü yapıları elde edilebilir.

Çoğullayıcılar (multiplexer), seçilen bir girişteki veriyi, veri hattına aktarırlar. Çoğullama işlemi, çok sayıda bilginin daha az sayıda kanal veya hat üzerinden iletimidir. Böylece, birden fazla veri, istenen sırada tek bir veri hattından iletebilir. Bundan dolayı, çoğullayıcılar veri toplayıcı olarak da adlandırılır. Veri hattının diğer tarafında veri dağıtıcı (demultiplexer) kullanılarak birden fazla veri tek bir hat üzerinden zamanda çoğullama yapılarak iletebilir. Çoğullayıcılar, n adet kontrol girişi ve 2^n adet veri girişi olmak üzere toplam $n+2^n$ adet girişe sahiptir. Çoğullayıcılarda veri aktarımı, n adet kontrol girişinin yardımıyla 2^n adet girişteki verinin çıkışa aktarılması ile sağlanır. Çıkışa aktarılacak olan verinin bulunduğu giriş, indisi kontrol giriş kombinasyonunun on tabanındaki karşılığı olan giriştir. Böylece, $2^n \times 1$ 'lik bir çoğullayıcı kullanılarak n değişkenli bir Boolean fonksiyonu, fonksiyonun aldığı değerler veri girişlerine, değişkenleri ise kontrol girişlerine bağlanarak her bir giriş kombinasyonu için ilgili kombinasyona ait lojik değerın çıkışa aktarılması ile gerçekleştirilebilir. Belirli giriş sayısına sahip olan çoğullayıcı tümdevreleri ile giriş sayıları arttırılmış çoğullayıcı yapıları elde edilebilir.

Kodlayıcılar (encoder), 2^n adet girişe, n adet çıkışa sahiptir. Bu açıdan kod çözücünün yapısına göre ters bir yapıya sahiptir. Girişlerinden yalnızca bir tanesi aktif (Aktif-0 girişli kodlayıcı için sadece bir tane giriş lojik 0 ve diğer girişler lojik 1 değerini alır. Aktif-1 girişli kodlayıcı için sadece bir giriş lojik 1 değerini alırken, diğer girişler lojik 0 değerini alır.)

olduğunda, kodlayıcının çıkışı, aktif girişin indisinin iki tabanındaki karşılığıdır. Örneğin aktif-1 8x3 kodlayıcısına $x_7x_6x_5x_4x_3x_2x_1x_0$: 00010000 girişi uygulandığında, çıkış değeri olarak $(3)_{10} = (011)_2$ ikili kodu elde edilir. Birden fazla aktif giriş varsa, çıkış tanımsızdır. Öncelik kodlayıcılar, girişlerinden birden fazlasının aktif olmasına izin verirken çıkışlarında öncelikli olan aktif girişe ait olan değeri üretirler ve diğer aktif girişleri önemsemezler. Öncelik sıralaması, genellikle en büyük giriş indisinden en küçük giriş indisine doğrudur. Öncelikli kodlayıcılar, genellikle mikroişlemcili sistemlerde kesme (interrupt) kontrolü için kullanılırlar.

4.2 Deney Öncesi Hazırlıklar

1. Kod çözücü, çoğullayıcı ve kodlayıcı yapılarının incelenmesi.
2. Deney sırasında gerçekleştirilecek olan Şekil 4.1'deki devrenin CAD araçları ile simülasyonun yapılıp kısa bir rapor halinde sonuçların getirilmesi.
3. Deney sırasında kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

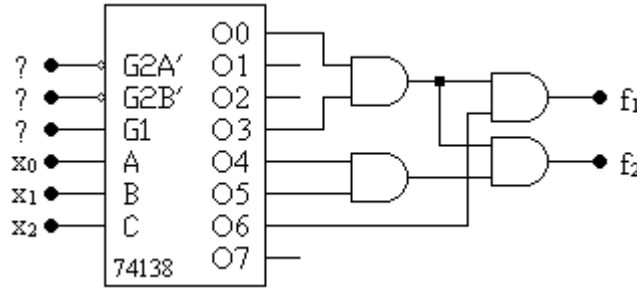
4.3 Deney Sırasında Yapılacaklar

1. Tablo 4.1'de doğruluk tablosu verilen f_1 ve f_2 fonksiyonlarının kod çözücü ve AND kapıları ile tasarlanması istenmektedir. Buna göre tasarlanan devre, Şekil 4.1'de verilmiştir.

Tablo 4.1 : Kod çözücü ve çoğullayıcılar ile gerçekleştirilecek f_1 ve f_2 fonksiyonlarının doğruluk tablosu

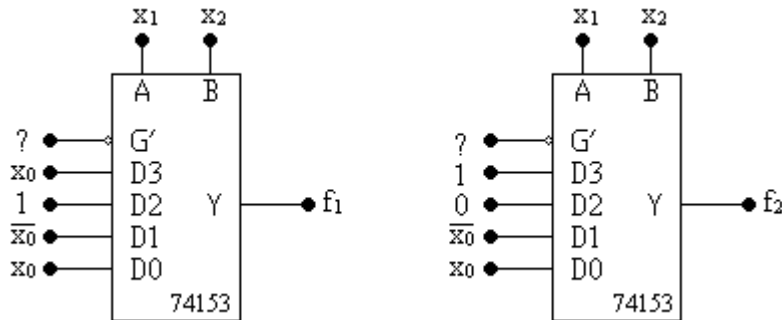
x_2	x_1	x_0	f_1	f_2
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	0
1	0	0	1	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

Şekil 4.1'deki devreyi deney setine kurunuz. Bütün tümleşik elemanlara besleme ve toprak bağlantısını yapınız. Kod çözücünün kontrol girişlerine uygun lojik değerler bağlayınız. Bunun için kod çözücünün katalog bilgisinden yararlanınız. Devre girişlerini lojik anahtarlardan alıp çıkışlarını LED'lerden gözleyerek doğruluk tablosunu sağlayıp sağlamadığını gösteriniz.



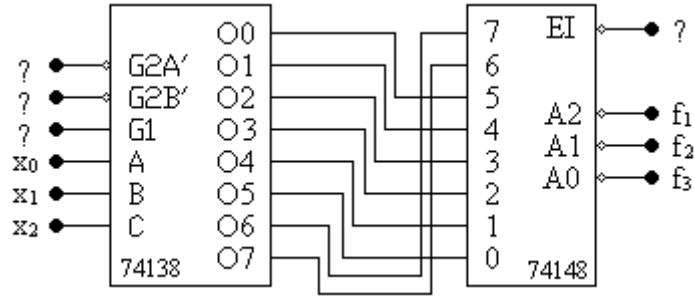
Şekil 4.1 : Tablo 4.1’de verilen f_1 ve f_2 fonksiyonlarının 74138 kod çözücü ile tasarımı

2. Tablo 4.1’de doğruluk tablosu verilen f_1 ve f_2 fonksiyonlarının çoğullayıcılar ile tasarlanması istenmektedir. Buna göre tasarlanan devre, Şekil 4.2’de verilmiştir. Şekil 4.2’de verilen devreyi deney setine kurunuz. Bütün tümleşik elemanlara besleme ve toprak bağlantısını yapınız. Çoğullayıcının kontrol girişlerine uygun lojik değerler bağlayınız. Bunun için çoğullayıcının katalog bilgisinden yararlanınız. Devrenin girişlerini lojik anahtarlardan alıp, çıkışlarını LED’lerden gözleyerek doğruluk tablosunu sağlayıp sağlamadığını belirleyiniz.



Şekil 4.2 : Tablo 4.1’de verilen f_1 ve f_2 fonksiyonlarının 74153 çoğullayıcısı ile tasarımı

3. Şekil 4.3’te aktif-0 çıkışlı 74153 kod çözücü ve aktif-0 girişli ve çıkışlı 74148 öncelikli kodlayıcı tümdevrelerini içeren devrenin analiz edilmesi istenmektedir. Bunun için Şekil 4.3’teki devreyi deney setine kurunuz. Bütün tümleşik elemanların besleme ve toprak bağlantılarını yapınız. Devre girişlerini lojik anahtarlardan alıp, çıkışlarını LED’lere bağlayınız. Tablo 4.2’de verilen doğruluk tablosunu doldurarak devrenin fonksiyonunu belirleyiniz.



Şekil 4.3 : Fonksiyonu belirlenecek devre

Tablo 4.2 : Şekil 4.3'te verilen devrenin doğruluk tablosu

x_2	x_1	x_0	f_1	f_2	f_3
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

4.4 Raporda İstenilenler

1. Tablo 4.1'de verilen f_1 ve f_2 fonksiyonlarının doğruluk tablosunu, minterimleri gerçekleyecek şekilde 74138 kod çözücü tümdevresi ve kapı elemanları ile tasarlayınız.
2. Kod çözücü ve çoğullayıcı tümdevreleri uygun şekilde bağlanarak istenilen sayıda giriş ve çıkışa sahip kod çözücüler ve çoğullayıcılar tasarlanabilir. Buna göre, iki adet 3x8 kod çözücü ve uygun kapılar kullanarak 4x16 kod çözücü ve beş adet 4x1 çoğullayıcı kullanarak 16x1 çoğullayıcı elde ediniz.
3. 3 bitlik ikili kodu, Gray koduna dönüştüren Boolean fonksiyonlarını 74138 3x8 kod çözücü ve 74148 8x3 öncelikli kodlayıcı tümdevrelerini kullanarak gerçekleyiniz.
4. Beş adet girişe ve bir adet çıkışa sahip bir lojik fonksiyon biriminin, çoğullayıcılar kullanılarak tasarlanması istenmektedir. Lojik fonksiyon biriminin üç adet $c_2c_1c_0$ kontrol girişi ve iki adet A ve B girişi vardır. A ve B girişleri için lojik işlemler, $c_2c_1c_0$ kontrol girişleri ile gerçekleşir. Tablo 4.3'te lojik fonksiyon birimine ait işlem tablosu verilmiştir. Lojik fonksiyon birimini, 8x1 çoğullayıcı ve uygun kapılar kullanarak gerçekleyiniz.

Tablo 4.3 : Lojik fonksiyon biriminin işlem tablosu

c_2	c_1	c_0	f
0	0	0	1
0	0	1	A+B
0	1	0	(A.B)'
0	1	1	A⊕B
1	0	0	(A⊕B)'
1	0	1	A.B
1	1	0	(A+B)'
1	1	1	0

Malzeme Listesi

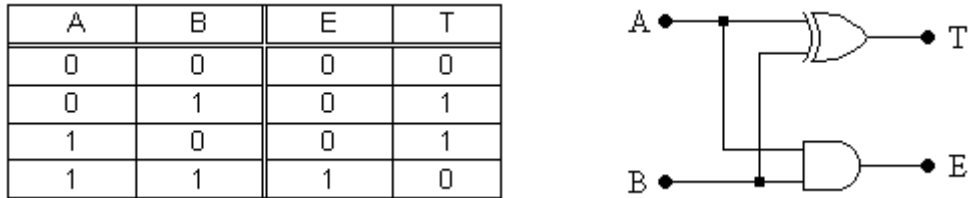
- 1 adet 7404 NOT kapı tümdevresi
- 1 adet 7408 AND kapı tümdevresi
- 1 adet 74138 kod çözücü tümdevresi
- 1 adet 74148 öncelik kodlayıcı tümdevresi
- 1 adet 74153 çoğullayıcı tümdevresi

DENEY 5 : TOPLAMA, ÇIKARMA ve KARŞILAŞTIRMA DEVRELERİNİN BLOK YAPILAR ile TASARIMI

5.1 Genel Açıklamalar

Bazı çok değişkenli fonksiyonların doğal yapılarından dolayı, bu fonksiyonların blok yapılar (iterative networks) kullanılarak gerçekleştirilmesi daha uygun olur. Buna göre, eş bloklar birbirleri ile uyumlu bir biçimde bağlanarak istenilen giriş ve çıkış sayısında devreler oluşturulabilir. Bu devreler, bu tür fonksiyonların diğer yöntemlerle gerçekleştirilmesine oranla büyük kolaylık sağlar. Bilindiği gibi giriş sayısı arttıkça fonksiyonun alacağı değer-nokta sayısı da üstel olarak artmaktadır. Blok yapılarda ise, sadece birim modül tasarımı yapılır ve bu modüller birbirlerine bağlanarak geniş ölçekli devreler tasarlanabilir. Bağlantıların ve yapıların basitliği nedeniyle bu blok yapılar, özellikle VLSI devrelerde kullanılmaktadır. Örnek olarak toplama, çıkarma, çarpma, karşılaştırma ve benzeri devreler, blok yapılar kullanılarak tasarlanır.

Bir toplama devresinin en basit blok yapısı, yarı toplayıcı devresidir. Yarı toplayıcı devresinin iki adet girişi, A ve B, ve iki adet çıkışı, E ve T, vardır. A ve B toplanacak iki biti gösterirken T çıkışı, toplamı, E çıkışı ise bu toplam sonucunda oluşan eldeyi gösterir. Şekil 5.1’de yarı toplayıcı devresinin doğruluk tablosu ve kapı elemanları ile tasarımı verilmiştir.

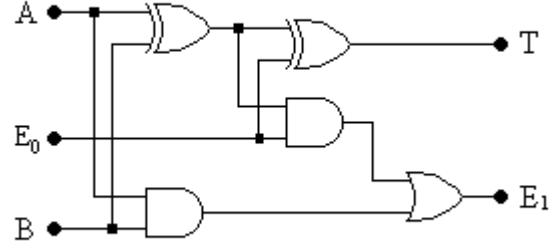


Şekil 5.1 : Yarı toplayıcı doğruluk tablosu ve devresi

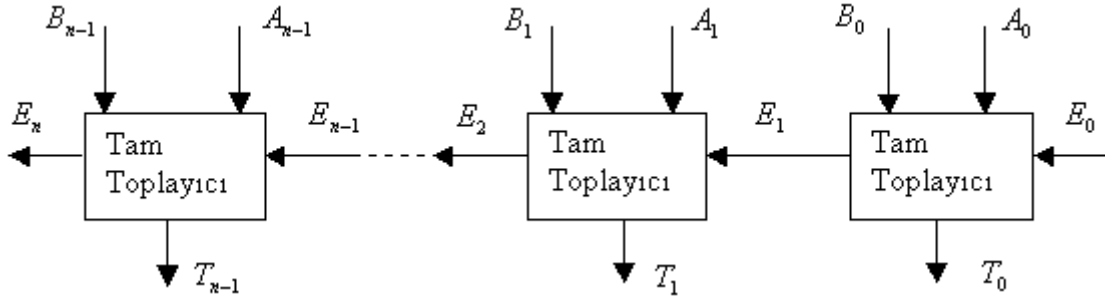
Bir bitten daha fazla bit içeren sayıların toplama işleminde, bitlerin toplamında ortaya çıkan elde bitlerini göz önüne almak gerekir. Yarı toplayıcılar kullanılarak tasarlanan tam toplayıcı devresi ve doğruluk tablosu, Şekil 5.2’de verilmiştir. Tam toplayıcılar, 3 girişli 2 çıkışlı bloklardır. Yarı toplayıcılardan farklı olarak elde girişinin de blok yapısına katılmasıyla aritmetik toplama işlemini gerçekleştirecek modüller elde edilmektedir. Elde çıkışlarının düşük anlamlı bitlerden yüksek anlamlı bitlere Şekil 5.3’teki gibi aktarılmasıyla n -bitlik paralel toplayıcı elde edilir. n -bitlik paralel toplama devresinde, toplam sonucunun oluşması için n . tam toplayıcı bloğu, $n-1$ adet tam toplayıcı bloğunun oluşturduğu elde bitini beklediğinden dolayı

yavaş çalışır. İstenmeyen bu durumu engellemek için paralel toplama devreleri, öngörülü elde üretici (look ahead carry) toplama devreleri ile tasarlanır.

E_0	A	B	T	E_1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Şekil 5.2 : Tam toplayıcı doğruluk tablosu ve devresi



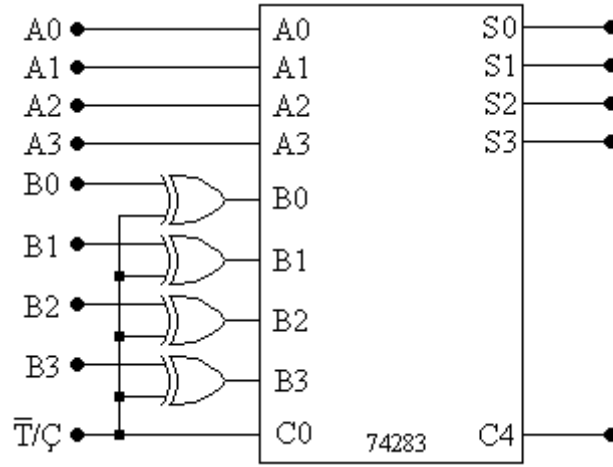
Şekil 5.3 : n -bitlik paralel toplayıcı yapısı

Toplama devreleri ile tabana veya tabanın 1 eksiğine tümlenme yöntemleri kullanılarak çıkarma işlemi gerçekleştirilebilir. Sayısal sistemlerde genellikle taban olarak 2 kullanıldığından ikiye veya bire tümlenme kullanılarak çıkarma işlemi gerçekleştirilir. İkiye tümlenme, 2 tabanında, basamak sayısı n olan bir B sayısının $B_2 = 2^n - B$ şeklindeki ifadesidir. İki sayı birbirinden çıkarılacağı zaman çıkarılan sayının ikiye tümlenmesi ile eksilen sayı toplanır. Böylece, $T = A + B_2$ toplamı, $A + 2^n - B = 2^n + (A - B)$ ifadesine eşit olur. Buna göre,

i) $A \geq B$ ise $T = 1XXX...X$ biçiminde $n+1$ hanelidir ve 1 atıldığında (2^n ifadesi toplamdan çıkarılıyor) $A-B$ elde edilir.

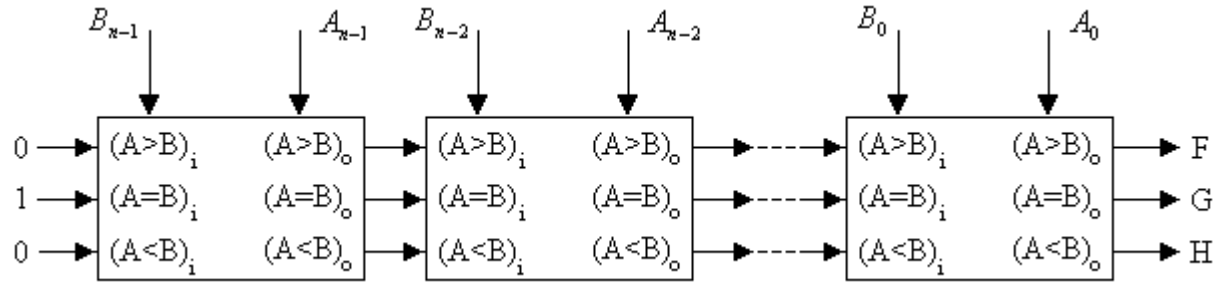
ii) $A < B$ ise $T = 2^n + (A - B) = 2^n - (B - A)$ toplamı n hanelidir (sonuç negatiftir), bu durumda toplam, $(B - A)$ sayısının 2 tabanına tümlenmiş olur. Bir sayının 2'ye tümlenmesinin 2'ye tümlenmesi, bu sayının kendisine eşit olacağından dolayı T toplamının 2 tabanına tümlenmesini (T_2) olarak $(B - A)$ sayısı elde edilmiş olur. $(A - B)$ farkı ise elde edilen sayının negatiftir. Benzer şekilde bire tümlenme ile çıkarma işlemi gerçekleştirilebilir. Şekil 5.4'te 4-bitlik paralel

toplayıcı tümdevresi, 74283, kullanılarak topla ve çıkar kontrol girişleri ile toplama ve ikiye tümlleme ile çıkarma işlemini gerçekleyen devre verilmiştir.



Şekil 5.4 : 74283 tümdevresi ile tasarlanan toplama/çıkarma devresi

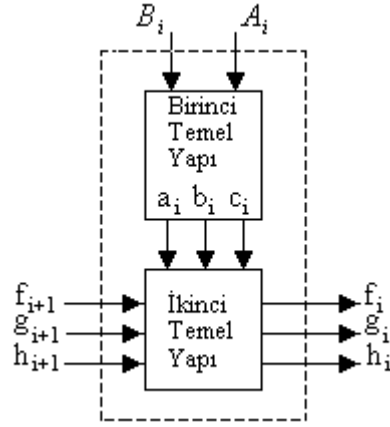
İki sayının birbirine göre büyük, küçük veya eşit olduğunu gösteren devrelere karşılaştırma devreleri denir. Karşılaştırma işlemi en yüksek anlamlı bitten veya en düşük anlamlı bitten başlanarak tekrarlamalı olarak yapılabilir. Şekil 5.5'te verildiği gibi bir bitlik karşılaştırıcı birim modüllerinin birbirlerine kaskad bağlanması ile n -bitlik karşılaştırıcı devresi gerçekleştirilebilir.



Şekil 5.5 : En anlamlı bitten başlanarak n -bitlik iki sayının karşılaştırılması için kullanılan tekrarlamalı yapı

Karşılaştırma işlemi n . karşılaştırma birim modülüne $(A>B)_i = 0$, $(A=B)_i = 1$ ve $(A<B)_i = 0$ 'ın uygulanması ile başlar. Karşılaştırma devresinin birim modülü, iki temel yapıdan oluşur. Birinci temel yapı, iki girişine, A_i ve B_i , gelen bitleri karşılaştırarak $a_i : A_i > B_i$, $b_i : A_i < B_i$ ve $c_i : A_i = B_i$ çıkışlarını üreten yapıdır. İkinci temel yapı ise A ve B sayılarının $(n-1)$. bitten $(i+1)$. bite kadar olan bitlerin karşılaştırılması sonucunda elde edilen f_{i+1} , g_{i+1} , h_{i+1} girişleri ve birinci

temel yapıdan gelen a_i , b_i , c_i girişleri ile bir sonraki birim modüle A ve B sayılarının (n-1). bittten i. bite kadar olan bitlerin karşılaştırma sonucunu, f_i , g_i , h_i , veren yapıdır. Şekil 5.6'da karşılaştırma birim modülünün yapıları gösterilmiştir.



Şekil 5.6 : Karşılaştırma devresi birim modülünün bloklarla gösterilimi

Birinci temel yapıda a_i , b_i ve c_i çıkışlarına ilişkin ifadeler şu şekildedir :

$$a_i = \begin{cases} 1, \text{ eğer } A_i > B_i \\ 0, \text{ aksi halde} \end{cases} \quad b_i = \begin{cases} 1, \text{ eğer } A_i < B_i \\ 0, \text{ aksi halde} \end{cases} \quad c_i = \begin{cases} 1, \text{ eğer } A_i = B_i \\ 0, \text{ aksi halde} \end{cases}$$

Eğer $A_i > B_i$ ise $A_i = 1$, $B_i = 0$ 'dır. Yani $a_i = A_i \cdot \bar{B}_i$ olur. $i = 0, 1, 2, \dots, (n-1)$

Eğer $A_i < B_i$ ise $A_i = 0$, $B_i = 1$ 'dir. Yani $b_i = \bar{A}_i \cdot B_i$ olur. $i = 0, 1, 2, \dots, (n-1)$

Eğer $A_i = B_i$ ise $A_i = 0$, $B_i = 0$ 'dır veya $A_i = 1$, $B_i = 1$ 'dir. Yani $c_i = \bar{A}_i \cdot \bar{B}_i + A_i \cdot B_i = \overline{A_i \oplus B_i} = \overline{a_i + b_i}$ olur. $i = 0, 1, 2, \dots, (n-1)$

İkinci yapıda f_i , g_i ve h_i çıkışlarına ilişkin ifadeler ise şu şekildedir :

f_i , (n-1). bittten i. bite kadar olan bitlerin gösterdiği sayılardan $A_{n-1} A_{n-2} \dots A_i > B_{n-1} B_{n-2} \dots B_i$ ise 1,

g_i , (n-1). bittten i. bite kadar olan bitlerin gösterdiği sayılardan $A_{n-1} A_{n-2} \dots A_i = B_{n-1} B_{n-2} \dots B_i$ ise 1,

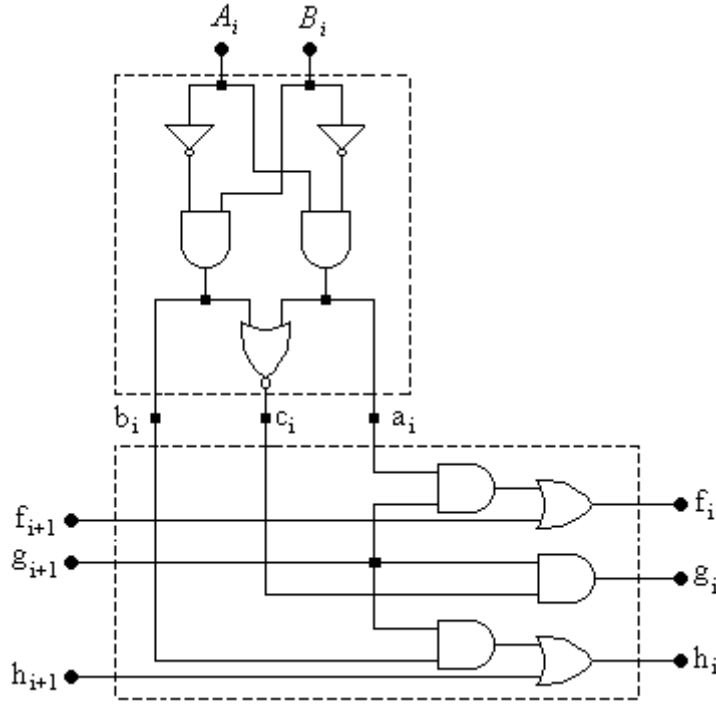
h_i , (n-1). bittten i. bite kadar olan bitlerin gösterdiği sayılardan $A_{n-1} A_{n-2} \dots A_i < B_{n-1} B_{n-2} \dots B_i$ ise 1 değerini almaktadır.

$f_i = 1$ olması için $f_{i+1} = 1$ veya $g_{i+1} = 1$ ve $a_i = 1$ olması gerekir. $\Rightarrow f_i = f_{i+1} + g_{i+1} \cdot a_i$

$g_i = 1$ olması için $g_{i+1} = 1$ ve $c_i = 1$ olması gerekir. $\Rightarrow g_i = g_{i+1} \cdot c_i$

$h_i = 1$ olması için $h_{i+1} = 1$ veya $g_{i+1} = 1$ ve $b_i = 1$ olması gerekir. $\Rightarrow h_i = h_{i+1} + g_{i+1} \cdot b_i$ olur.

Yukarıda verilen ifadeler ile karşılaştırma devresinin birim modülünün kapı elemanları kullanılarak tasarımı, Şekil 5.7’de verilmiştir. Dört bitlik karşılaştırma devresi olarak 7485 tümdevresi bulunmaktadır.



Şekil 5.7 : Karşılaştırma devresi birim modülünün lojik kapılarla gerçekleştirilmesi

5.2 Deney Öncesi Hazırlıklar

1. Paralel toplayıcı ve karşılaştırma devre yapılarının incelenmesi.
2. Yarı toplayıcı ve tam toplayıcı yapılarının incelenmesi.
3. Şekil 5.2’de verilen tam toplayıcı ve Şekil 5.3’te verilen n -bitlik paralel toplayıcı devrelerinden yararlanarak lojik kapılarla gerçekleştirilen 2-bitlik paralel toplayıcı devresinin CAD araçları ile simülasyonun yapıp kısa bir rapor halinde sonuçların getirilmesi.
4. Bire ve ikiye tümlleme işlemlerinin incelenmesi.
5. Deneyde kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

5.3 Deney Sırasında Yapılacaklar

1. Deney öncesi hazırladığınız 2-bitlik paralel toplayıcı devrenizi deney setine kurunuz. Devrenizde bulunan bütün tümdevrelerin besleme ve toprak bağlantısını yapınız. Devrenizin girişlerini lojik anahtarlardan alıp çıkışlarını LED’lere bağlayarak devrenizin istenilen işlevi gerçekleştirip gerçekleştirmediğini saptayınız.

2. Şekil 5.4'te verilen devreyi deney setine kurunuz. Devrede bulunan bütün tümdevrelerin besleme ve toprak bağlantısını yapınız. Devrenin girişlerini lojik anahtarlardan alıp çıkışlarını LED'lere bağlayarak Tablo 5.1'i doldurunuz.

Tablo 5.1 : Toplama ve çıkarma devresi sonuç tablosu

T/Ç	A	B	A ₃ A ₂ A ₁ A ₀	B ₃ B ₂ B ₁ B ₀	C ₄	S ₃ S ₂ S ₁ S ₀
0	8	7				
0	11	12				
0	3	4				
1	1	5				
1	6	6				
1	14	9				

3. 7485 tümdevresini deney setine yerleştiriniz. Tümdevrenin girişlerini lojik anahtarlardan alıp gerekli tüm bağlantıları yaptıktan sonra çıkışları LED'lere bağlayınız ve Tablo 5.2'yi doldurunuz.

Tablo 5.2 : Karşılaştırma devresi sonuç tablosu

A	B	A ₃ A ₂ A ₁ A ₀	B ₃ B ₂ B ₁ B ₀	A=B	A>B	A<B
8	3					
4	4					
12	15					
2	13					
11	11					
10	0					

5.4 Raporda İstenilenler

- 3 bitlik iki sayının çarpımını bulan devreyi tam toplayıcı blokları ve AND kapıları kullanarak tasarlayınız.
- En anlamsız bittten başlanarak karşılaştırma işleminin nasıl yapılacağını gösteriniz.
- Sayısal sistemlerde 8 bitlik veriye *bayt* (byte), 16 bitlik veriye ise *kelime* (word) denilir. Buna göre 4-bitlik karşılaştırma tümdevreleri kullanarak iki adet kelimeyi karşılaştırınız.
- Şekil 5.4'te verilen çıkarma devresini kullanarak 4 bitlik iki sayının karşılaştırılması istenmektedir. Karşılaştırma devresinin sekiz adet girişi, (A : A₃A₂A₁A₀ ve B : B₃B₂B₁B₀) üç adet çıkışı, E, B ve K, olacaktır. Eğer iki sayı eşit ise E=1, A>B ise B=1, A<B ise K=1 ve bu durumlarda diğer çıkışlar lojik 0 değerine sahip olacaktır. Bu devreyi, Şekil 5.4'te verilen devreyi göz önüne alarak ve uygun kapılar kullanarak tasarlayınız.

Malzeme Listesi

- 1 adet 7408 AND kapı tümdevresi
- 1 adet 7432 OR kapı tümdevresi
- 1 adet 7485 4-bitlik karşılaştırıcı tümdevresi
- 1 adet 7486 EXOR kapı tümdevresi
- 1 adet 74283 4-bitlik paralel toplayıcı tümdevresi

DENEY 6 : BELLEK ELEMANLARININ GERÇEKLENMESİ ve ANALİZİ

6.1 Genel Açıklamalar

Eğer bir devrenin çıkışı, sadece girişlerin o anki değerlerine bağlı olmayıp, aynı zamanda çıkışların geçmiş değerlerine bağlı ise, bu devre, ardışıl devre olarak adlandırılır. Böylece ardışıl devreler geçmiş değerler hakkında bilgilere sahip olur.

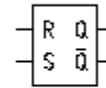
6.1.1 Bellek Elemanları

En temel ardışıl devre elemanı, bellek (flip-flop) elemanıdır. Bellek elemanı, daha kompleks ardışıl devrelerde ikili saklama elemanı olarak kullanılır. Bellek elemanları, bellek elemanının tipine göre iki veya daha fazla girişe ve iki adet çıkışa, Q ve \bar{Q} , sahiptir. Bellek elemanı işlem yaparken \bar{Q} çıkışı, her zaman Q değerinin tümleyenine sahip olur. Yeni giriş değerleri uygulanana kadar çıkış, 0 veya 1 durumunda kalır. Yeni giriş değerleri uygulandığında ise bellek elemanının çıkışı, 0'da iken 1'e (flip) veya 1'de iken 0'a (flop) geçer veya değişmez (durumunu korur). Temel olarak dört adet bellek elemanı, RS, D, T ve JK, vardır. Bellek elemanları, saat girişi olarak uygulanan girişlerine göre asenkron, darbe tetiklemeli, kenar (düşen veya yükselen) tetiklemeli ve ana-uydu bellek elemanları olarak birbirinden ayrılırlar.

Asenkron RS bellek elemanı : RS bellek elemanının iki temel girişi, R (reset) ve S (set), vardır. R girişi, Q çıkışını 0 ve S girişi, Q çıkışını 1 yapmak için kullanılır. Şekil 6.1'de asenkron RS bellek elemanının doğruluk tablosu ve sembolü verilmektedir.

S	R	Q+
0	0	Q
0	1	0
1	0	1
1	1	X

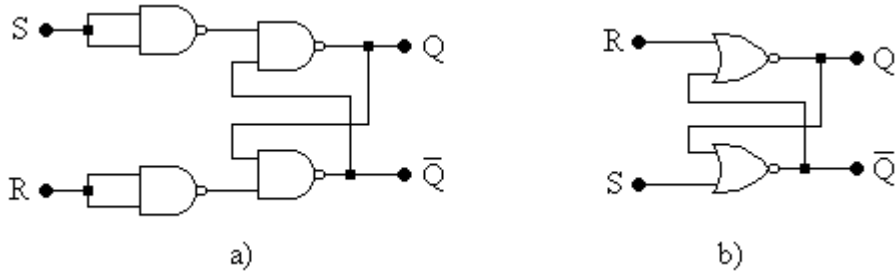
a)



b)

Şekil 6.1 : a) Asenkron RS bellek elemanının doğruluk tablosu b) Sembölü

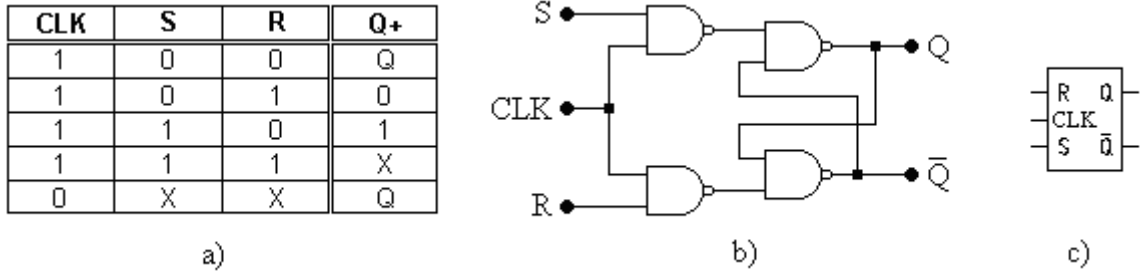
Doğruluk tablosunda Q_+ , bir sonraki anda çıkış değeri iken, Q , o andaki çıkış değeridir. Bu gösterim şekli, bütün deneyler boyunca sürecektir. Asenkron RS bellek elemanının NAND ve NOR kapıları ile tasarımı sırasıyla Şekil 6.2a ve Şekil 6.2b'de verilmiştir.



Şekil 6.2 : a) NAND kapıları ile asenkron RS bellek elemanı b) NOR kapıları ile asenkron RS bellek elemanı

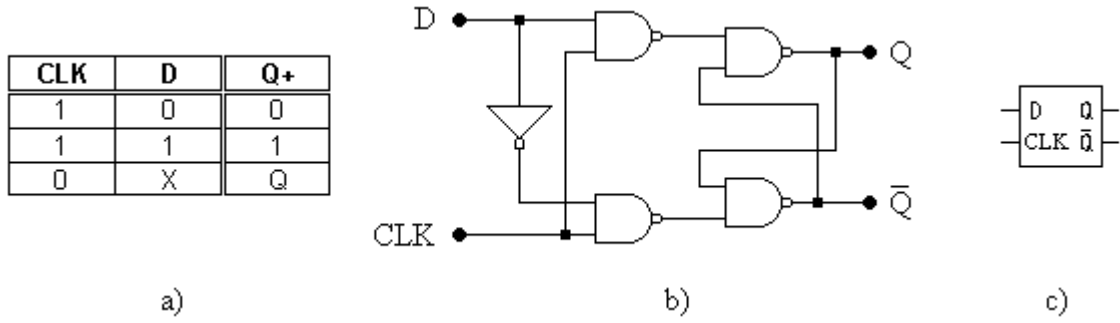
Asenkron RS bellek elemanı, diğer bellek elemanlarının tasarımında bir temel hücre oluşturur ve bir bellek elemanının tasarımı için asenkron RS bellek elemanı ve eklenmesi gereken kapı elemanları kullanılır.

Darbe tetiklemeli RS bellek elemanı : RS bellek elemanları, bir saat girişi olmadan asenkron olabildikleri gibi bir saat girişi ile çıkış değişimlerinin senkronize edilmesi ile senkron olabilir. Her iki durumda da doğruluk tablosu aynıdır ve senkron RS bellek elemanında, bellek elemanını aktif eden saatin geçişi oluşmadıkça bellek elemanı, çıkış değerini korur. Darbe tetiklemeli RS bellek elemanın doğruluk tablosu, NAND kapıları ile tasarımı ve sembolü Şekil 6.3'te verilmiştir.



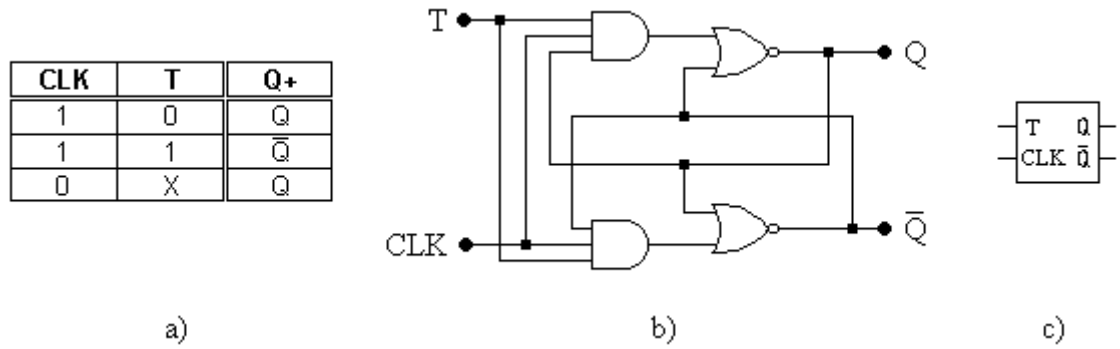
Şekil 6.3 : a) Darbe tetiklemeli RS bellek elemanının doğruluk tablosu b) NAND kapıları ile tasarımı c) Sembolü

Darbe Tetiklemeli D bellek elemanı : D bellek elemanı her zaman senkronudur ve bir bitin saklanmasında veya gecikmelerin oluşturulmasında kullanılır. Bu bellek elemanının saat girişine ek olarak bir adet girişi, D (data veya delay), vardır. D girişine uygulanan bir değer, saat işaretinin aktif hale gelmesi ile Q çıkışına aktarılır. D bellek elemanının doğruluk tablosu, RS bellek elemanı kullanılarak tasarımı ve sembolü Şekil 6.4'te verilmiştir.



Şekil 6.4 : a) Darbe tetiklemeli D bellek elemanının doğruluk tablosu b) NAND ve NOT kapıları ile tasarımı c) Sembolü

Darbe tetiklemeli T bellek elemanı : T bellek elemanının saat işaretine ek olarak bir adet girişi, T, vardır. Saat işaretinin aktif olması ile T girişi 0 olduğunda çıkış işareti korunurken, 1 olduğunda ise çıkış işareti, bir önceki çıkışın tümleyen değerini (toggle) alır. Şekil 6.5'te, T bellek elemanının doğruluk tablosu, RS bellek elemanı kullanılarak elde edilen tasarımı ve sembolü verilmiştir.

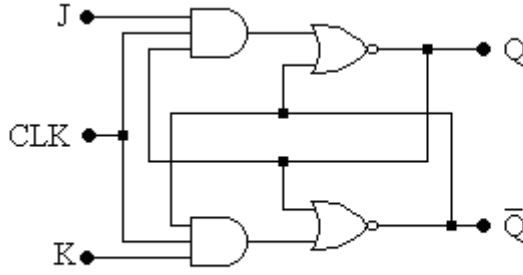


Şekil 6.5 : a) Darbe tetiklemeli T bellek elemanının doğruluk tablosu b) AND ve NOR kapıları ile tasarımı c) Sembolü

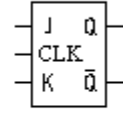
Darbe tetiklemeli JK bellek elemanı : JK bellek elemanı her zaman senkronudur. Saat işaretine ek olarak bellek elemanının iki adet girişi, J ve K, vardır. Bu girişler birbirinden bağımsız olarak aktif hale getirildiğinde RS bellek elemanının S ve R girişlerine benzer şekilde çalışır. RS bellek elemanının belirlenmemiş durumunda, S=R=1 iken, ise J=K=1 olduğunda bellek elemanı çıkışı, bir önceki çıkışın tümleyenini (toggle) verir. JK bellek elemanının doğruluk tablosu, RS bellek elemanı kullanılarak elde edilen tasarımı ve sembolü Şekil 6.6'da verilmiştir.

CLK	J	K	Q+
1	0	0	Q
1	0	1	0
1	1	0	1
1	1	1	\bar{Q}
0	X	X	Q

a)



b)

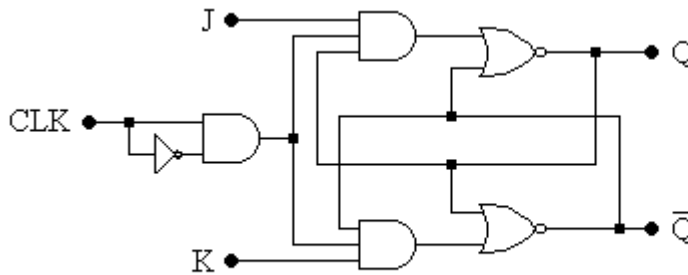


c)

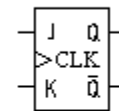
Şekil 6.6 : a) Darbe tetiklemeli J-K bellek elemanının doğruluk tablosu b) AND ve NOR kapıları ile tasarımı c) Sembolü

Darbe tetiklemeli bellek elemanlarının, bir bellek elemanı olarak kullanımında getirdiği kısıtlamalar ve problemler vardır. Örnek olarak, saat işareti 1 olduğu zaman giriş işareti (bu işaret bir lojik gürültü olabilir) bellek elemanı çıkışına aktarılır. Aynı zamanda JK bellek elemanında $J=K=CLK=1$ olduğu zaman darbe tetiklemeli bellek elemanı osilasyona girer. Darbe tetiklemeli bellek elemanlarının bu problemlerine çözüm üretmek için bellek elemanları farklı yöntemler izlenerek tasarlanır.

Kenar tetiklemeli bellek elemanı : Bir kenar tetiklemeli bellek elemanı saat işaretinin 0'dan 1'e (yükselen) veya 1'den 0'a (düşen) geçişlerinde aktif hale gelir. Kenar tetikleme mekanizması, saat işareti ile saat işaretine göre daha dar bir darbeyi üreten yapıdır. Bu dar darbe, bellek elemanının çalışması için yeterli olur. Burada darbe süresinin, çıkış işaretinin üretilmesi ve geri besleme olarak girişlere gönderilme süresinden daha düşük olmasına dikkat edilmesi gerekir. Şekil 6.7, bir NOT kapısı üzerinde üretilen gecikme ile gerçekleştirilen basit bir kenar tetiklemeli bellek elemanı tasarımını ve sembolünü göstermektedir. Kenar tetiklemeli bellek elemanlarının kullanılmasının nedeni, saat işaretinin düşen veya yükselen kenarında tetikleme oluştuğunda, bellek elemanının, saat işaretinin bir diğer tetikleme kenarına kadar girişlerinde meydana gelen değişimlere kapalı olması ve saat işaretinin tetiklenmesi ile çıkışın güncellenmesidir.



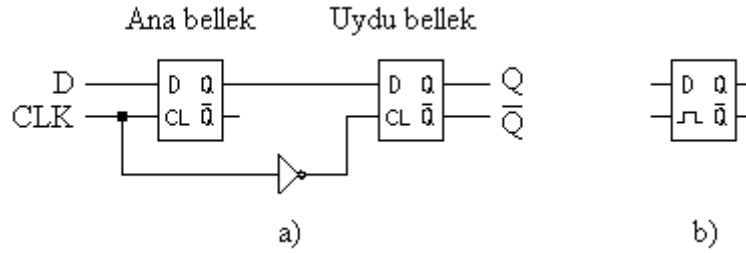
a)



b)

Şekil 6.7 : a) Yükselen kenar tetiklemeli J-K bellek elemanı b) Sembolü

Ana-uydu bellek elemanı : Darbe tetiklemeli bellek elemanlarının problemlerine bir çözüm, iki adet darbe tetiklemeli bellek elemanının birleştirilmesini içeren bir ana-uydu bellek eleman yapısı kullanmaktır. Şekil 6.8’de ana-uydu D bellek elemanı ve sembolü verilmiştir.



Şekil 6.8 : a) Ana-uydu D bellek elemanı b) Sembolü

Darbe tetiklemeli iki adet D bellek elemanı bir NOT kapısı ile birleştirilmiştir. Böylece ana D bellek elemanı, saat darbesinin lojik 1 seviyesinde tetiklenirken uydu D bellek elemanı, saat darbesinin lojik 0 seviyesinde tetiklenir. Böylelikle ana-uydu D bellek elemanı, saat girişi 1 iken D girişindeki değişimlerden etkilenmez. Uydu D bellek elemanının girişine bilgi CLK=1 olduğu zaman gelir fakat CLK=0 olana kadar girişindeki bilgi çıkışa aktarılmaz. Yine de CLK=1 iken, yani ana D bellek elemanının saat girişi aktif iken, ana bellek elemanının çıkışı, girişine açıktır. Bellek elemanının doğru çalıştığından emin olmak için gereken D girişindeki işaretin, CLK=0 işaretinden hemen önce, sırasında ve hemen sonra kendi lojik seviyesinde kararlı olmasını sağlamak gerekir. Böylelikle darbe tetiklemeli bellek eleman çıkışlarının saat işareti aktif olduğunda girişlerine açık olması engellenir. Bu tasarımın bir eksiği, çıkışın bir saat darbesi geç oluşmasıdır.

Bellek elemanlarının aynı zamanda asenkron preset ve clear girişleri de vardır ve böylelikle bellek elemanlarının çıkışları bu girişler yardımıyla sırasıyla lojik 1 ve 0'a ayarlanabilir. Tek bir biti saklayan n adet bellek elemanının birleştirilmesi ile n bitlik saklayıcılar (latch) oluşturulabilir. 7475 ve 74373 sırasıyla dört ve sekiz adet D bellek elemanı ve kontrol girişleri ile sırasıyla 4 ve 8 bitlik saklayıcı tümdevreleridir. Saklayıcıların yanı sıra n adet D bellek elemanından oluşan yazıcılar (register) vardır. 74175, dört bitlik bir yazıcı tümdevresidir. Saklayıcılar ile yazıcıları birbirinden ayıran en önemli fark, saklayıcıların darbe tetiklemeli, yazıcıların ise kenar tetiklemeli olmasıdır.

6.2 Deney Öncesi Hazırlıklar

1. Asenkron, darbe tetiklemeli, kenar tetiklemeli ve ana-uydu bellek elemanlarının çalışma prensiplerinin incelenmesi.

2. Şekil 6.2a ve Şekil 6.2.b'deki devrelerin eşdeğer olduğunun CAD araçları kullanılarak gösterildiği kısa bir raporun getirilmesi.
3. Deney sırasında kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

6.3 Deney Sırasında Yapılacaklar

1. Şekil 6.2a'da verilen devreyi deney setine kurunuz. Kullanılan tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik anahtarlardan alıp devrenin çıkışlarını LED'lere bağlayınız. Bu devrenin, doğruluk tablosunu sağlayıp sağlamadığını belirleyiniz.
2. Şekil 6.3'te verilen devreyi deney setine kurunuz. Kullanılan tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik anahtarlardan alıp devrenin çıkışlarını LED'lere bağlayınız. Bu devrenin, doğruluk tablosunu sağlayıp sağlamadığını belirleyiniz. Şekil 6.4-5-6'da verilen devreler için aynı işlemleri tekrarlayınız.
3. Şekil 6.7'de verilen devreyi deney setine kurunuz. Kullanılan tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik anahtarlardan alıp devrenin çıkışlarını LED'lere bağlayınız. Tablo 6.1'de verilen doğruluk tablosunu doldurunuz.
4. Şekil 6.8'de verilen devreyi, darbe tetiklemeli D bellek elemanı için Şekil 6.4'te verilen devreyi göz önüne alarak deney setine kurunuz. Kullanılan tümdevrelerin besleme ve toprak bağlantılarını yapınız. Devrenin girişlerini lojik anahtarlardan alıp devrenin çıkışlarını LED'lere bağlayınız. Tablo 6.2'de verilen doğruluk tablosunu doldurunuz.

Tablo 6.1: Kenar tetiklemeli JK bellek elemanı

CLK	J	K	Q+	\bar{Q} +
↑	0	0		
↑	0	1		
↑	1	0		
↑	1	1		

Tablo 6.2: Ana-uydu D bellek elemanı

CLK	D	Q+	\bar{Q} +
↓	0		
↓	1		

5. İki adet yükselen kenar tetiklemeli D bellek elemanı içeren 7474 tümdevresini deney setine yerleştiriniz. Tümdevrenin besleme ve toprak bağlantılarını yapınız. Devrenin Preset, Clear, D girişlerini lojik anahtarlardan alıp Clock girişini debounce pushbutton'dan alınız. Devrenin çıkışlarını ve Clock girişini LED'lere bağlayıp Tablo 6.3'ü doldurunuz. Aynı işlemleri iki adet düşen kenar tetiklemeli JK bellek elemanı içeren 7476 tümdevresi için tekrar edip Tablo 6.4'ü doldurunuz.

Tablo 6.3 : Yükselen kenar tetiklemeli D bellek elemanı doğruluk tablosu

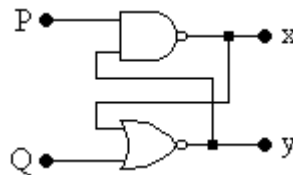
PR	CLR	CLK	D	Q+	\bar{Q} +
0	1	X	X		
1	0	X	X		
0	0	X	X		
1	1	↑	0		
1	1	↑	1		
1	1	0	X		

Tablo 6.4 : Düşen kenar tetiklemeli JK bellek elemanı doğruluk tablosu

PR	CLR	CLK	J	K	Q+	\bar{Q} +
0	1	X	X	X		
1	0	X	X	X		
0	0	X	X	X		
1	1	↓	0	0		
1	1	↓	0	1		
1	1	↓	1	0		
1	1	↓	1	1		
1	1	1	X	X		

6.4 Raporda İstenenler

1. Darbe tetiklemeli, kenar tetiklemeli ve ana-uydu bellek elemanlarını çalışma prensipleri açısından karşılaştırınız.
2. Şekil 6.7’de verilen devrede saat işaretinin sahip olabileceği maksimum frekans değerini bularak bellek elemanının çalışma frekansını belirleyiniz.
3. JK bellek elemanı kullanarak RS, D ve T bellek elemanlarını gerçekleştiriniz.
4. Asenkron PQ bellek elemanı, Şekil 6.9’da verilmiştir. Buna göre PQ bellek elemanının doğruluk tablosunu ve tanım bağıntısını elde ediniz.



Şekil 6.9 : Asenkron PQ bellek elemanı

5. Diğer bellek elemanlarının yanısıra tasarlanan XY bellek elemanının doğruluk tablosu Tablo 6.5’te verilmiştir. Bu bellek elemanının tanım bağıntısını bulup RS bellek elemanı kullanarak tasarlayınız.

Tablo 6.5 : XY bellek elemanın doğruuluk tablosu

X	Y	Q+
0	0	0
0	1	1
1	0	\bar{Q}
1	1	\bar{Q}

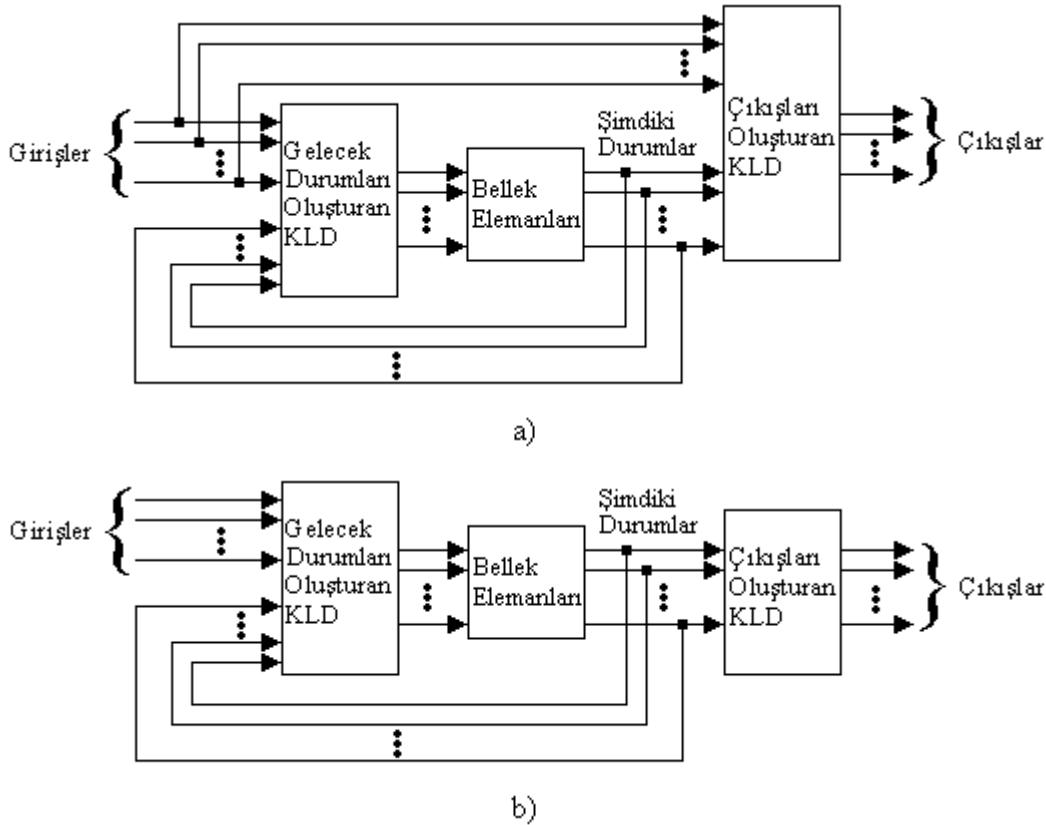
Malzeme Listesi

- 2 adet 7400 NAND kapı tümdevresi
- 1 adet 7402 NOR kapı tümdevresi
- 1 adet 7404 NOT kapı tümdevresi
- 1 adet 7411 AND kapı tümdevresi
- 1 adet 7474 D bellek elemanı tümdevresi
- 1 adet 7476 JK bellek elemanı tümdevresi

DENEY 7 : SENKRON ARDIŞIL DEVRE ANALİZİ

7.1 Genel Açıklamalar

Kombinezonsal devrelerin çıkışları, sadece o andaki giriş değerlerine bağlı iken ardışıl devrelerin çıkışları, o andaki giriş değerlerine ve durumlara bağlıdır. Dolayısıyla, ardışıl devreler (makine), kombinezonsal devrelerden farklı olarak geçmiş durumları saklayan bellek elemanları içerirler. Çıkış türlerine göre Mealy ve Moore olmak üzere iki tip ardışıl devre vardır. Mealy tipi ardışıl devrede çıkışlar, o andaki girişlere ve durumlara bağlıdır. Moore tipi ardışıl devrede ise çıkışlar yalnızca o andaki durumlara bağlıdır. Bu durum sırasıyla Şekil 7.1a-b'de gösterilmiştir.



Şekil 7.1 : a) Mealy tipi ardışıl devre modeli b) Moore tipi ardışıl devre modeli

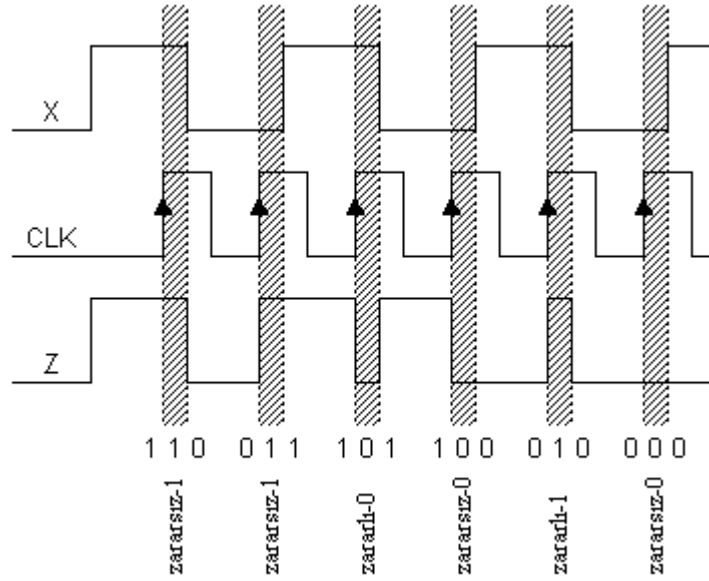
Ardışıl devreler, osilatörlü olup olmamalarına göre asenkron ve senkron olmak üzere ikiye ayrılırlar. Asenkron ardışıl devrelerde merkezi saat yoktur ve durum geçişleri, giriş değerlerinin değişmesi ile sağlanır. Senkron ardışıl devrelerde ise, periyodik saat darbeleri üreten bir merkezi saat vardır ve bu merkezi saat, bütün bellek elemanlarının saat girişlerine bağlanmıştır. Devre, sadece saat tarafından tetiklendiğinde durumunu değiştirir ve yeni durum, devrenin tetiklendiği andaki girişlere ve duruma bağlıdır. Diğer saat darbesi gelene

kadar devre durumunu korur. Eğer senkron ardışıl devrede kullanılmayan durumlar varsa ve devre bu durumlardan birine gittiğinde kullanılan durumlara geri dönemiyorsa, devrenin kilitlenen türden olduğu belirtilir.

Bir senkron ardışıl devrenin analiz aşamaları genel olarak şu şekildedir:

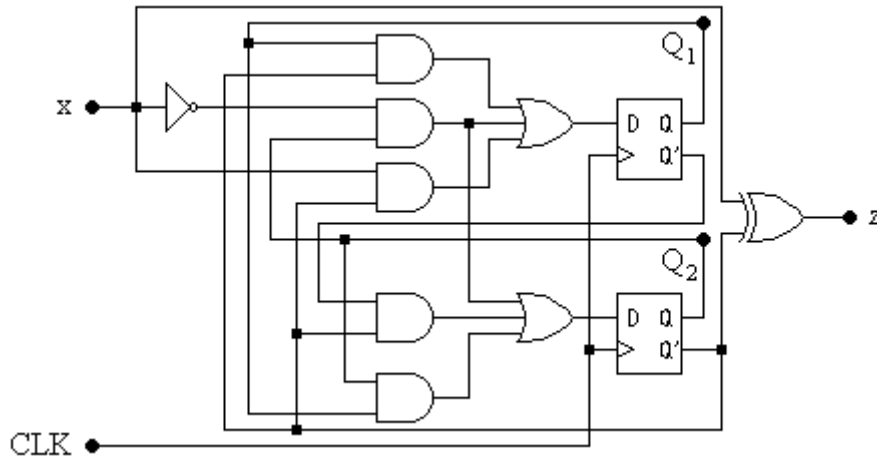
1. Verilen devre yardımıyla bellek elemanlarının giriş ve ardışıl devrenin çıkış fonksiyonları, o anki durum ve ardışıl devrenin giriş değişkenleri cinsinden belirlenir.
2. Bellek elemanlarının giriş fonksiyonları ve tanım bağıntıları kullanılarak devrenin durum denklemleri elde edilir. Durum denklemleri, bir sonraki durumları belirleyen ifadelerdir. Bellek elemanlarının tanım bağıntıları, $Q_+ = JQ' + K'Q$, $Q_+ = D$, $Q_+ = S + R'Q$ ve $Q_+ = TQ' + T'Q$ şeklindedir.
3. Elde edilen durum denklemleri ve ardışıl devrenin çıkış fonksiyonları ile durum tablosu veya durum diyagramı oluşturulur.

Senkron ardışıl devrelerde, başlangıç durumu ve giriş dizisi verildiğinde, bir sonraki durumların ve çıkışların zamana göre değişimini gösteren diyagramlara zaman diyagramı denir. Fiziksel olarak bir senkron ardışıl devrenin girişleri saat işaretinin tetiklenmesiyle aynı anda değiştirilemeyeceği için girişler, saat işaretinin tetiklenmesinden, yani istenen durumların sağlanmasından ancak bir süre sonra değiştirilebilir. Mealy tipi devrede çıkışlar, o andaki girişlere de bağlı olduğu için bu süreç içerisinde devre çıkışlarında istenmeyen değerler görülebilir. Bu sürece, kritik zaman aralığı denir. Bu zaman aralığında devrenin çıkışları hatalıdır. Hatalı çıkışlar, zararlı veya zararsız olarak ikiye ayrılır. Hatalı çıkışlar aynı zamanda kendi içlerinde, hatalı çıkışın 0 veya 1 değerine sahip olmasına göre ikiye ayrılır. Kritik zaman aralığı öncesi, kritik zaman aralığı ve kritik zaman aralığı sonrasında çıkışta sürekli bir değişim, 010 veya 101 değişimi varsa, bu çıkışın sırasıyla hatalı zararlı 1 veya 0 değerine sahip olduğu belirtilir. Diğer durumlarda çıkış, hatalı zararsızdır. Moore tipi makinelerde ise bu tür hatalı çıkışlar söz konusu değildir. Mealy tipi makinelerde hatalı çıkışlardan kurtulmak için çeşitli yöntemler vardır. Bu yöntemlerden biri, Mealy tipi makinenin gerçeklediği fonksiyonu, durum sayısının artmasını göz önüne alarak Moore makineleri ile gerçeklemektir. Şekil 7.2'de zararlı ve zararsız çıkışlar gösterilmektedir ve durum geçişlerinin saat işaretinin yükselen kenarında olduğu kabul edilmiştir.



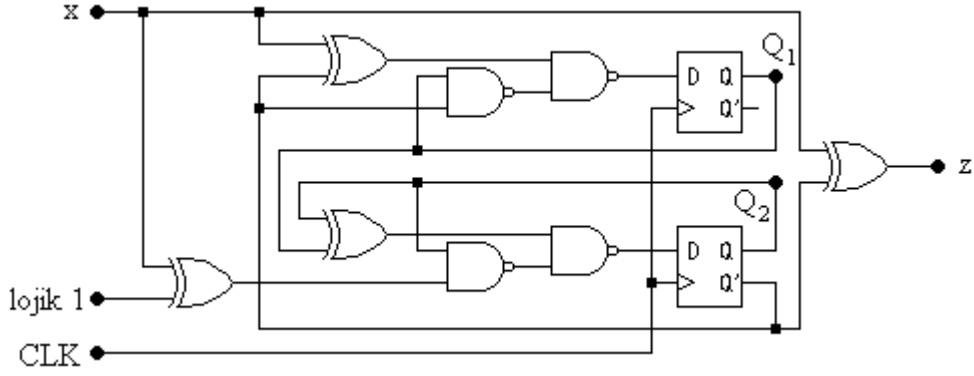
Şekil 7.2 : Zararlı ve zararsız hatalı çıkışların zaman diyagramı üzerinde gösterimi

Bu deneyde analizi yapılacak Mealy makinesine ilişkin devre şeması, Şekil 7.3'te verilmiştir.



Şekil 7.3 : Analizi yapılacak senkron ardışıl devre

Teorik olarak, SSI elemanları ile sentez yaparken kullanılacak kapı sayısı ve kapı giriş yelpaze sayısı ile bellek elemanı sayısının minimalleştirilmesi esas alınır. Ancak uygulamada, tümleşik devreler kullanıldığından minimallik kavramı, tümleşik devre sayısı ile ilişkili olmaktadır. Şekil 7.3'te verilen devre için toplam 6 adet tümleşik devre gerekirken ortak bileşenler için ortak yapılar kullanarak ve aynı tür kapı dönüşümü yaparak NAND ve EXOR kapıları ile tasarlanan Şekil 7.4'teki devre için toplam 3 adet tümleşik devre gerekmektedir.



Şekil 7.4 : Şekil 7.3'te verilen devrenin NAND ve EXOR kapıları ile tasarımı

Şekil 7.3'teki devre yardımıyla bellek elemanlarının giriş fonksiyonları ve çıkış fonksiyonu

$$D_1 = Q_1.Q_2' + x'.Q_2 + x.Q_2' \quad D_2 = x'.Q_2 + Q_1'.Q_2' + Q_1.Q_2 \quad z = x \oplus Q_2'$$

olarak belirlenir. D tipi bellek elemanının tanım bağıntısını kullanarak durum denklemleri;

$$Q_{+1} = Q_1.Q_2' + x'.Q_2 + x.Q_2' \quad Q_{+2} = x'.Q_2 + Q_1'.Q_2' + Q_1.Q_2$$

olarak bulunur. Tüm giriş ve durum kombinasyonları için bir sonraki durumlar ve devrenin çıkışını içeren durum tablosu Tablo 7.1'de verilmiştir.

Tablo 7.1 : Şekil 7.4'te verilen senkron ardışıl devrenin durum tablosu

x	Q ₁	Q ₂	Q ₊₁	Q ₊₂	z
0	0	0	0	1	1
0	0	1	1	1	0
0	1	0	1	0	1
0	1	1	1	1	0
1	0	0	1	1	0
1	0	1	0	0	1
1	1	0	1	0	0
1	1	1	0	1	1

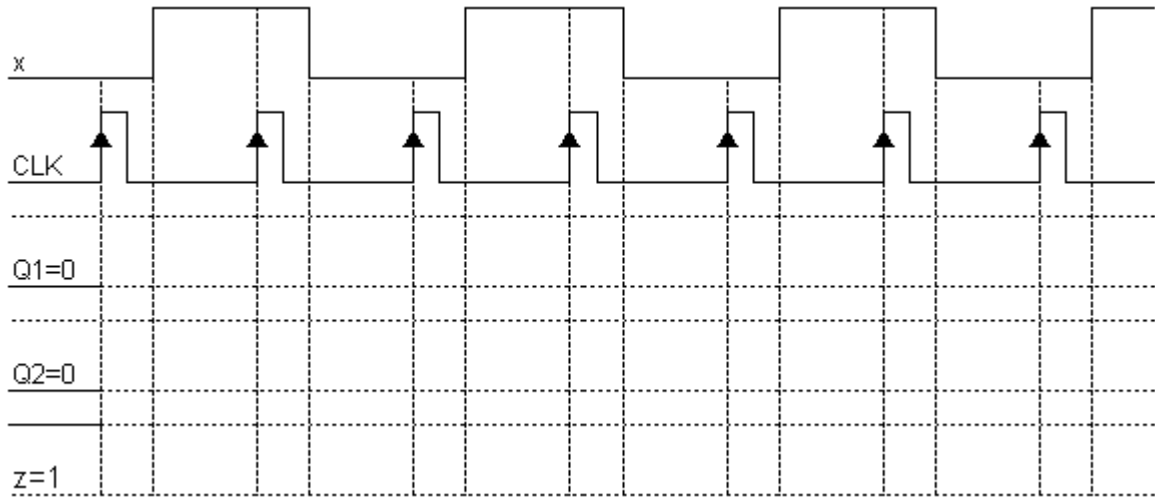
7.2 Deney Öncesi Hazırlıklar

1. Ardışıl ve kombinezonsal devreler arasındaki farklılıkların araştırılması.
2. Boolean fonksiyonlarının sadece NAND ve NOR kapıları ile sentezinin incelenmesi.
3. Bellek elemanlarının çalışma prensiplerinin incelenmesi.
4. Zararlı ve zararsız hatalı çıkışların incelenmesi.
5. Deney sırasında kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

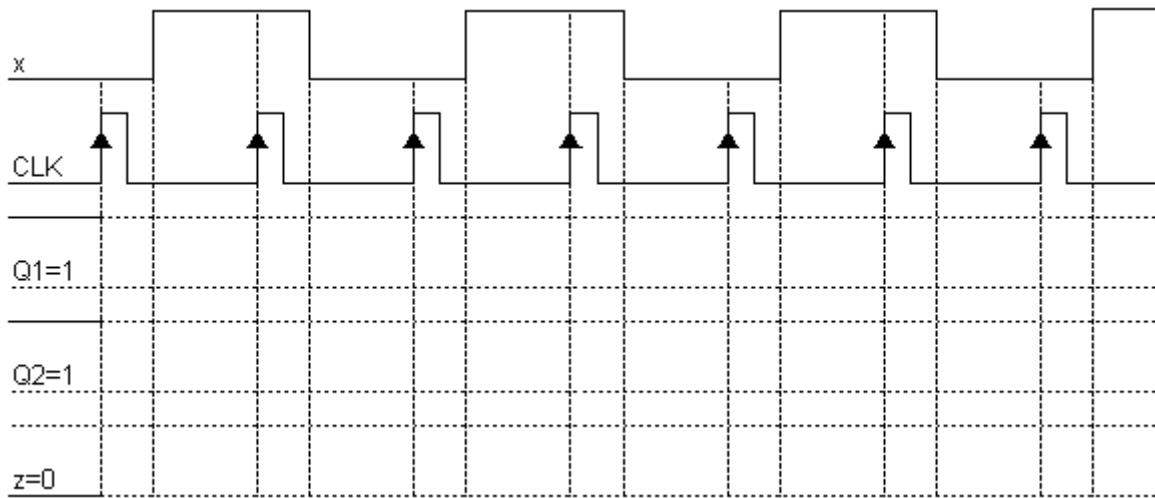
7.3 Deney Sırasında Yapılacaklar

1. Şekil 7.4'te verilen devreyi deney setine kurunuz. Bütün tümleşik elemanlara besleme ve toprak bağlantılarını yapınız. Devre girişini, lojik anahtardan aldıktan sonra, istediğiniz başlangıç durumunu elde edebilmek için bellek elemanlarının preset ve clear girişlerini lojik anahtarlara bağlayarak bellek elemanlarının saat girişlerini, ortak debounce pushbutton'dan alınız. Bellek elemanlarının ve devrenin çıkışlarını LED'lere bağlayınız. Kurduğunuz devrenin durum diyagramına göre çalışıp çalışmadığını, bellek elemanlarının clear ve preset girişlerini kullanarak ve bellek elemanlarının ve devrenin çıkışlarını LED'lerden gözleyerek saptayınız.

2. $Q_1Q_2 = 00$ başlangıç durumu için zaman diyagramlarını tamamlayınız. Oluşacak hatalı çıkışların türlerini belirleyiniz.

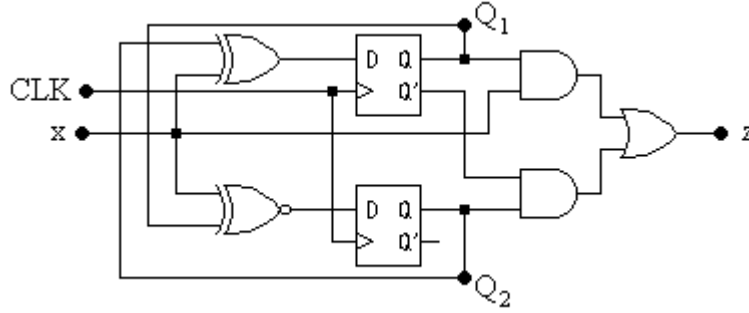


3. $Q_1Q_2 = 11$ başlangıç durumu için zaman diyagramlarını tamamlayınız. Oluşacak hatalı çıkışların türlerini belirleyiniz.

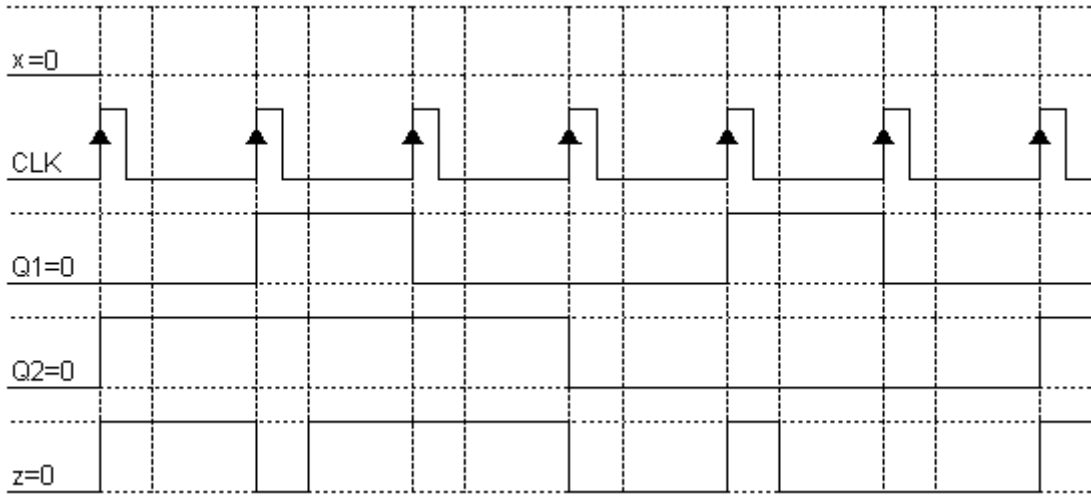


7.4 Raporda İstenilenler

1. Şekil 7.5'te verilen devrenin zaman diyagramı, Şekil 7.6'da verilmiştir. Buna göre, devreye uygulanabilecek bir giriş dizisi bulunuz.



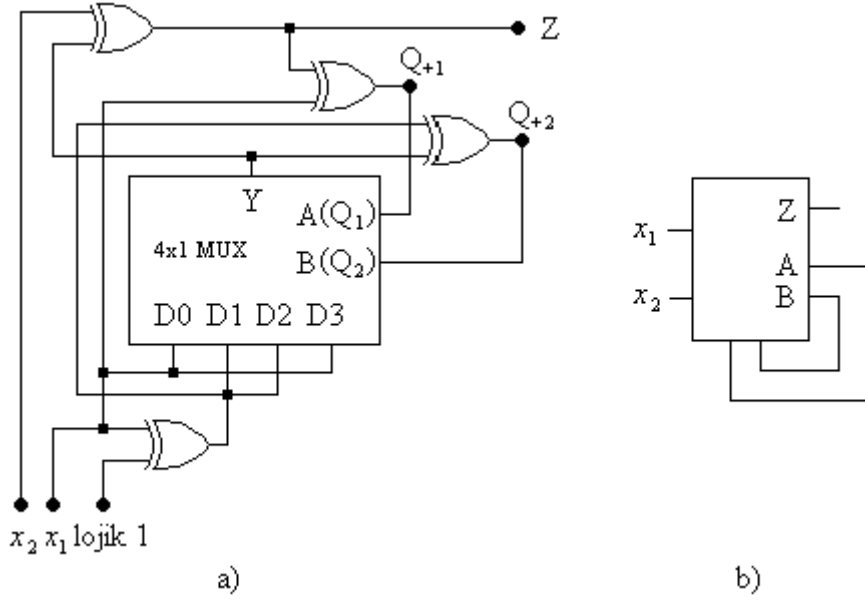
Şekil 7.5 : Şekil 7.6'da verilen zaman diyagramı için giriş dizisi bulunacak ardışıl devre



Şekil 7.6 : Şekil 7.5'te verilen devre için tamamlanacak zaman diyagramı

2. Aynı fonksiyonu gerçekleştiren Mealy ve Moore tipi makineleri, sahip olacakları durum sayısına ve zararlı hatalı çıkışlar üretip üretmeyeceklerine göre karşılaştırınız.
3. Mealy tipi makinede oluşabilecek zararlı veya zararsız hatalı çıkışları engellemek için kullanılacak yöntemlerin neler olabileceğini belirtiniz.
4. Şekil 7.7a'da verilen asenkron ardışıl devrenin çıkış ve bir sonraki durum fonksiyonlarını elde ederek durum tablosunu oluşturunuz.

İpucu : Şekil 7.7a'da verilen devreyi Şekil 7.7b'deki yapı gibi düşünerek A ve B bağlantılarının hem o anki durumları (sırasıyla Q_1 , Q_2) oluşturduğunu ve hem de 4x1 MUX girişlerindeki değerlere göre bir sonraki durumları (sırasıyla Q_{+1} , Q_{+2}) oluşturacağını düşününüz. Çıkış ve bir sonraki durum fonksiyonlarını EXOR veya EXNOR ifadeleri ile oluşturmaya dikkat ederken A ve B bağlantılarındaki işaret gecikme sürelerinin eşit olduğunu varsayınız.



Şekil 7.7 : a) Durum tablosu çıkartılacak devre b) Devrenin blok gösterilimi

Malzeme Listesi

- 1 adet 7400 NAND kapı tümdevresi
- 1 adet 7474 D bellek elemanı tümdevresi
- 1 adet 7486 EXOR kapı tümdevresi

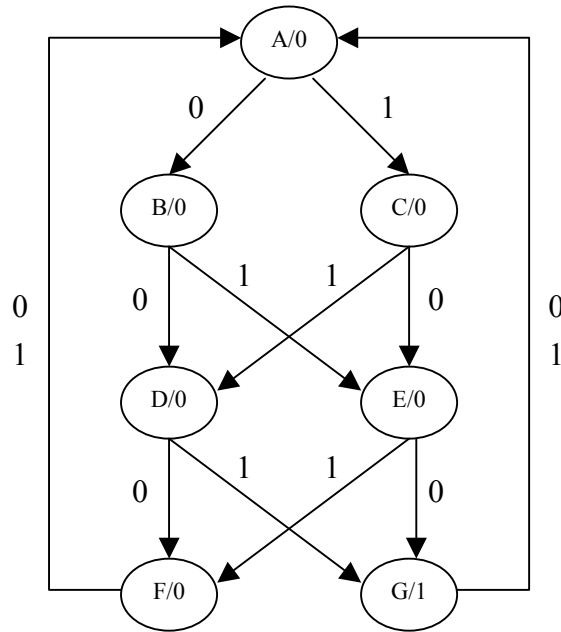
DENEY 8 : SENKRON ARDIŞIL DEVRE SENTEZİ

8.1 Genel Açıklamalar

Ardışıl devrelerin tasarımı için çeşitli yöntemler vardır. Aşağıda bu yöntemlerden birinin aşamaları verilmiştir. Buna göre;

1. Ardışıl fonksiyonun sözle tanımından durum diyagramının elde edilmesi.
2. Elde edilen durum diyagramının indirgenmesi (state reduction).
3. Durum kodlaması (state assignment).
4. Durum tablosunun oluşturulması.
5. Ardışıl devrenin tasarımında kullanılacak bellek elemanlarının seçimi.
6. Ardışıl devrenin uyarma tablosunun oluşturulması ve bellek elemanlarının ters tanım bağıntıları ile bellek elemanlarının giriş ve ardışıl devrenin çıkış fonksiyonlarının elde edilmesi.
7. Ardışıl devrenin gerçekleştirilmesi.

Sözle Tanım : Üç bitlik çift eşlenik bit üreticisinin (even parity generator) ardışıl devre elemanları ile tasarlanması istenmektedir. Ardışıl devrenin bir adet seri x girişi ve bu girişten üç bit alındığında, bu bitlerin içindeki bir sayısı tek ise 1, çift ise 0 değerine ve ara durumlarda 0 değerine sahip olan bir adet Z çıkışı vardır. Üç bit alındıktan ve buna göre çıkış üretildikten sonra tekrar yeni giriş dizisinin başlangıç bitinin beklendiği duruma geri dönecektir. Verilen sözle tanım ile ardışıl fonksiyonun durum diyagramı, Şekil 8.1’de verilmiştir.



Şekil 8.1 : Üç bitlik çift eşlenik üreticisi durum diyagramı

Durum indirgeme aşamasında eş durumlara rastlanmaz. Durum kodlaması aşamasında ise Şekil 8.1’de verilen durum diyagramındaki durumlar, A : 000, B : 010, C : 011, D : 110, E : 111, F : 100 ve G : 101 olarak kodlanmıştır. Bu kodlamaya göre oluşan durum ve uyarma tabloları, Şekil 8.2’de verilmiştir.

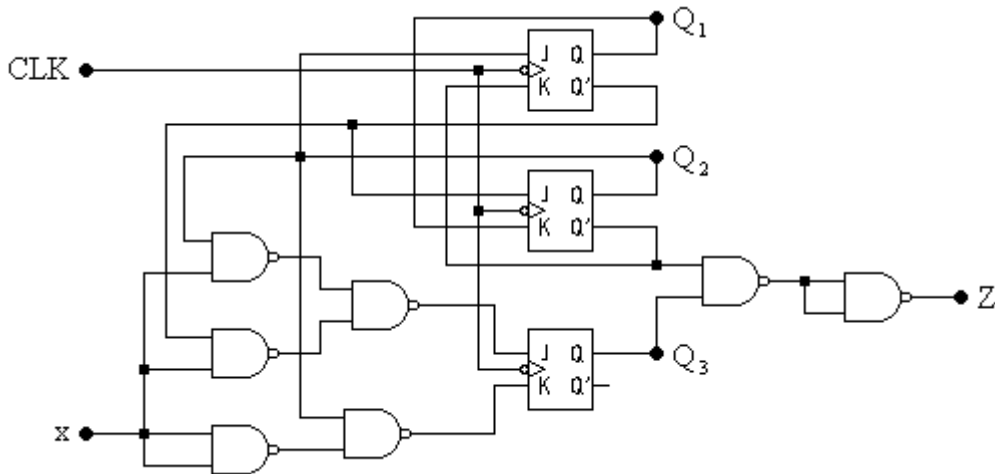
x	Q_1	Q_2	Q_3	Q_{+1}	Q_{+2}	Q_{+3}	Z
0	0	0	0	0	1	0	0
0	0	0	1	K	K	K	K
0	0	1	0	1	1	0	0
0	0	1	1	1	1	1	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	1	0	0	0
0	1	1	1	1	0	1	0
1	0	0	0	0	1	1	0
1	0	0	1	K	K	K	K
1	0	1	0	1	1	1	0
1	0	1	1	1	1	0	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	0	1
1	1	1	0	1	0	1	0
1	1	1	1	1	0	0	0

$Q_1 Q_2 Q_3$	$x=0$	$x=1$
A : 000	010,0	011,0
B : 010	110,0	111,0
C : 011	111,0	110,0
D : 110	100,0	101,0
E : 111	101,0	100,0
F : 100	000,0	000,0
G : 101	000,1	000,1

K : Keyfi

Şekil 8.2 : Senkron ardışıl devrenin durum ve uyarma tabloları

Ardışıl devrenin tasarımında kullanılacak bellek elemanları için JK bellek elemanı seçilmiştir. JK bellek elemanının ters tanım bağıntısı ve devrenin uyarma tablosu yardımıyla bellek elemanlarının giriş fonksiyonları, $J_1 : Q_2$, $K_1 : Q_2'$, $J_2 : Q_1'$, $K_2 : Q_1$, $J_3 : x.Q_1' + x.Q_2$, $K_3 : x + Q_2'$ ve devrenin çıkış fonksiyonu, $Z : Q_2'.Q_3$ şeklinde belirlenir. Bu fonksiyonların NAND kapıları ile gerçekleştirilmesi sonucu oluşan devre, Şekil 8.3’te verilmiştir.



Şekil 8.3 : NAND kapıları ve JK bellek elemanları ile çift eşlenik bit üreticisi

8.2 Deney Öncesi Hazırlıklar

1. Ardışıl devre tasarımında kullanılan yöntemlerin ve ortak kapı dönüşümlerinin incelenmesi.
2. Bellek elemanlarının ters tanım bağıntılarının belirlenmesi.
3. Deney sırasında kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

8.3 Deney Sırasında Yapılacaklar

1. Şekil 8.3'te verilen devreyi deney setine kurunuz. Kullanılan bütün tümdevrelerin besleme ve toprak bağlantısını yapınız. Devrenizin x girişini lojik anahtardan alırken CLK girişini debounce pushbutton'dan alınız. Bellek elemanlarının Preset ve Clear girişlerini başlangıç durumlarını ayarlayabilmek için lojik anahtarlara bağlayınız. Devrenizin çıkışını ve bellek elemanlarının çıkışlarını LED'lere bağlayarak devrenizin durum tablosunu sağlayıp sağlamadığını gösteriniz.
2. 000 durumundan başlayarak her saat darbesinin düşen kenarından önce bir bit gönderecek şekilde x girişine 0101000111010100101 dizisini (ilk bit 1) uygulayıp çıkış dizisini belirleyiniz.

8.4 Raporda İstenilenler

1. Herhangi bir Boolean fonksiyonunu, içinde bulunan kapılar ile gerçekleştiren kümeye bütün denilir. Eğer bu küme içindeki herhangi bir kapı çıkarıldığında geriye kalanlarla herhangi bir Boolean fonksiyonu gerçekleştirilemiyorsa, o küme minimal bütündür. Örnek olarak NOT, AND ve OR kapılarından oluşan bir küme, minimal bütündür. Verilenler ışığında EXOR ve AND kümesinin, NAND kümesinin ve NOR kümesinin minimal bütün olduklarını ispatlayınız.
2. Ardışıl devre tasarımında durum indirgeme ve kodlama yöntemlerinin kullanılmasının nedenlerini ve bu yöntemlerin devre karmaşıklığı açısından getireceği kazançları belirtiniz.
3. MN bellek elemanının durum tablosu, Tablo 8.1'de verilmektedir. Buna göre MN bellek elemanının ters tanım bağıntısını bularak ters tanım tablosunu oluşturunuz.

Tablo 8.1 : MN bellek elemanının durum tablosu

MN	00	01	11	10
0	0	0	1	1
1	0	1	1	0

4. PLD ailesinden olan PAL tümdevresi, sadece AND kapı girişlerinin programlanabildiği bir AND-OR yapısına sahiptir. Şekil 8.2’de verilen uyarma tablosunun yardımıyla çift parite üretici devresini, PAL 16R4AM elemanının lojik diyagramını doldurarak tasarlayınız.

5. C_1 ve C_2 olarak iki adet kontrol girişine sahip olan ve sayıcı olarak çalışan bir senkron ardışıl devrenin tasarlanması istenmektedir. Kontrol girişlerinden C_1 , sayma işleminin hangi çevrimde gerçekleşeceğini belirlerken, C_2 , sayma türünü (ileri/geri) belirleyecektir. Eğer $C_1=0$ ise sayıcı, modülo 3 ve eğer $C_1=1$ ise modülo 4 sayacaktır. $C_2=0$ olduğunda ise her sayıda sayıcı 1 artarken, $C_2=1$ olduğunda ise her sayıda 1 azalacaktır. İlk olarak ardışıl devrenizin durum tablosunu elde ediniz ve devrenizi D bellek elemanları ile tasarlayınız.

Malzeme Listesi

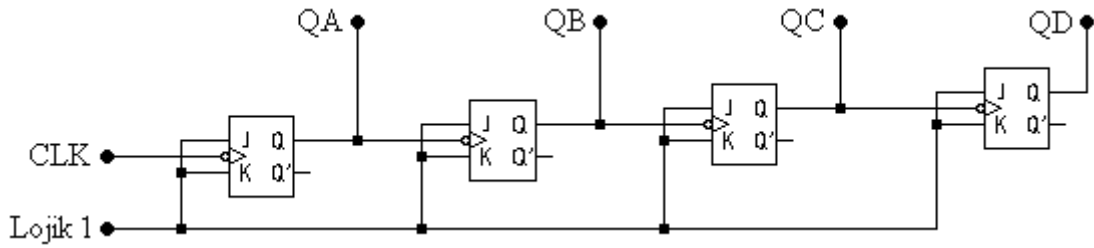
2 adet 7400 NAND kapı tümdevresi

2 adet 7476 JK bellek elemanı tümdevresi

DENEY 9 : ASENKRON VE SENKRON SAYICILAR

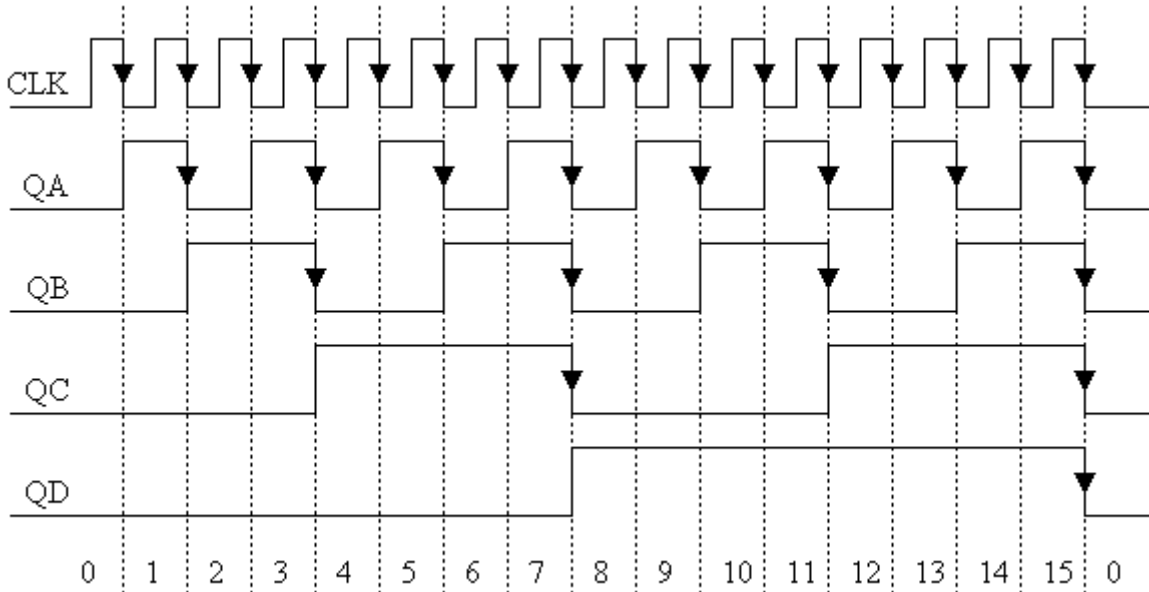
9.1 Genel Açıklamalar

En az bir durum dizisini tekrar eden ardışıl devrelere sayıcı denir. Sayıcılar, çeşitli durum dizilerini tekrar edebilir. Buna göre sayıcılar, ileri, geri, ileri/geri, programlanabilir, ikili kodda, BCD, Gray gibi çeşitli türlerde olabilir. Sayıcılar, bellek elemanlarının tetiklenmesine göre asenkron ve senkron olarak ikiye ayrılır. Asenkron sayıcılarda, bir bellek elemanı kendinden daha düşük anlamlı ilk bellek elemanının çıkışı ile tetiklenir. En düşük anlamlı bellek elemanı ise uygulanan darbeler (veya saat) ile tetiklenir. Şekil 9.1’de modülo 16 (2^4) asenkron ileri sayıcısı verilmiştir.



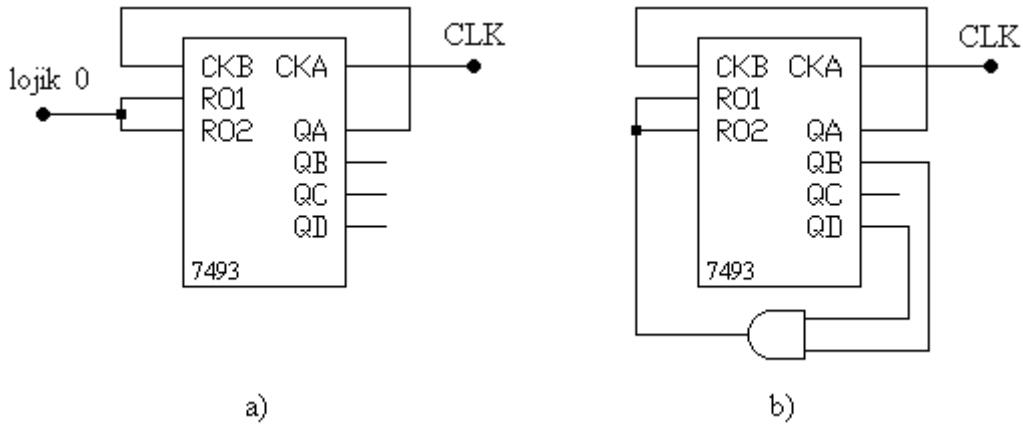
Şekil 9.1 : 4-bitlik asenkron ileri sayıcı devresi

Şekil 9.1’de verilen devredeki J-K bellek elemanları düşen kenar tetiklemelidir ve tüm J ve K girişlerine lojik 1 değeri atanmıştır. Böylece J-K bellek eleman çıkışlarının, (Q) bir önceki çıkışlarının tümleyeni olması sağlanmıştır. Asenkron sayıcının zaman diyagramı, Şekil 9.2’de verilmiştir.



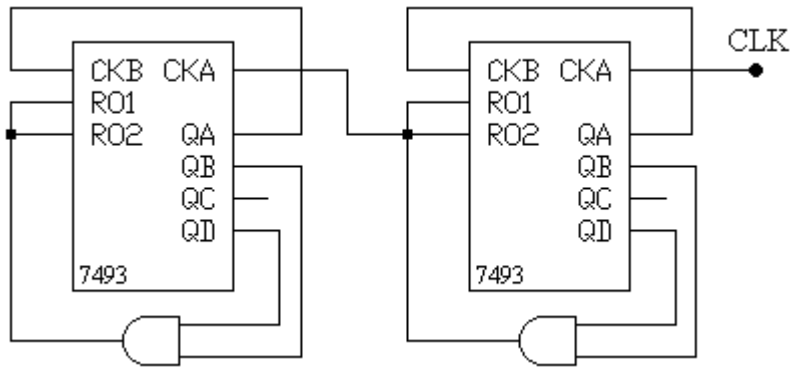
Şekil 9.2 : 4-bitlik asenkron ileri sayıcının zaman diyagramı

Asenkron sayıcı tümdevresi olarak 7493 tümdevresi örnek gösterilebilir. 7493 tümdevresi, 4-bitlik bir asenkron sayıcıdır. Bu tümdevrenin kontrol girişi olarak 2 adet reset girişi, RO1, RO2, iki adet saat girişi, CKA, CKB ve dört adet çıkışı, QD, QC, QB ve QA (MSB : QD) vardır. RO1 ve RO2 reset girişlerinin her ikisi de lojik 1 değerinde aktiftir ve bu iki kontrol girişi lojik 1 değerine sahip olduğunda çıkışlar, lojik 0 değerini alırlar, yani sayıcı sıfırlanır. Reset girişleri aktif değil iken QA çıkışı, CKB'ye bağlandığında 7493 tümdevresi modülo 16 sayar. Bu durum, Şekil 9.3a'da gösterilmiştir. Şekil 9.3.b'de, 7493 tümdevresi ve bir AND kapısı ile tasarlanan BCD sayıcısı verilmiştir. Buna göre BCD sayıcı gerçekleştirirken çıkışlar 1010 (QD ve QB lojik 1) olduğunda AND kapısının çıkışı, lojik 1 olacak ve reset girişleri, tümdevrenin çıkışlarını sıfırlayacak ve sayma işlemi devam edecektir.



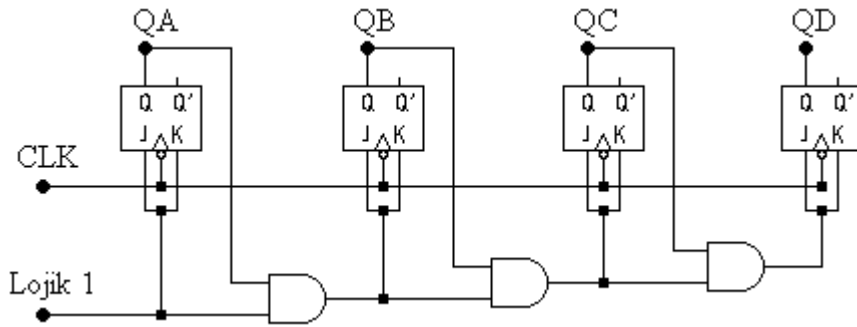
Şekil 9.3 : a) 7493 tümdevresi ile modülo 16 sayıcı b) 7493 tümdevresi ile BCD sayıcı

Şekil 9.3b'de verilen BCD sayıcı birim bloğu ile elde edilen 0-99 sayıcısı Şekil 9.4'te verilmiştir.



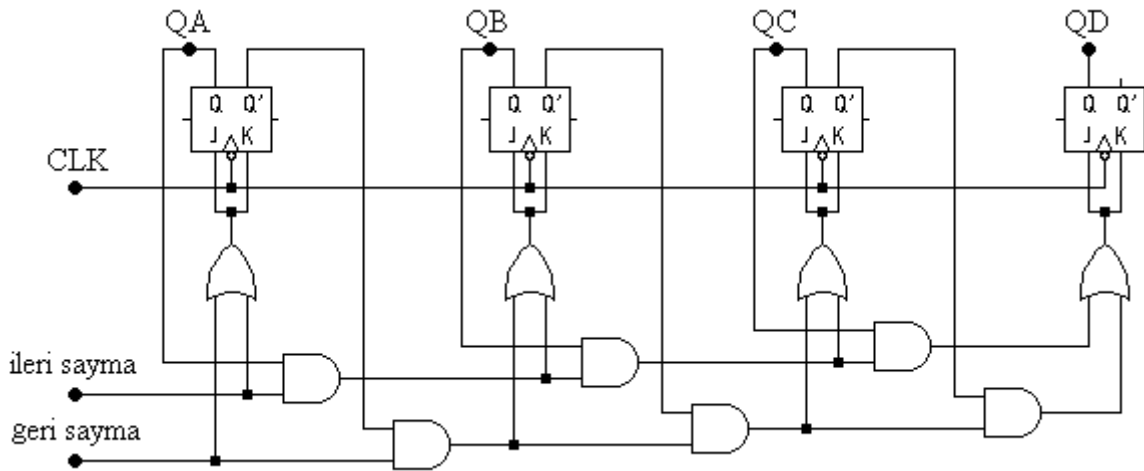
Şekil 9.4 : Şekil 9.3b'de verilen BCD sayıcı yardımıyla gerçekleştirilen 0-99 sayıcı

Senkron sayıcılarda ise merkezi bir saat bütün bellek elemanlarını aynı anda tetikler. Bu yüzden senkron sayıcılar, asenkron sayıcılara göre daha hızlıdır. Şekil 9.5'te 4-bitlik senkron ileri sayıcı devresi verilmiştir.



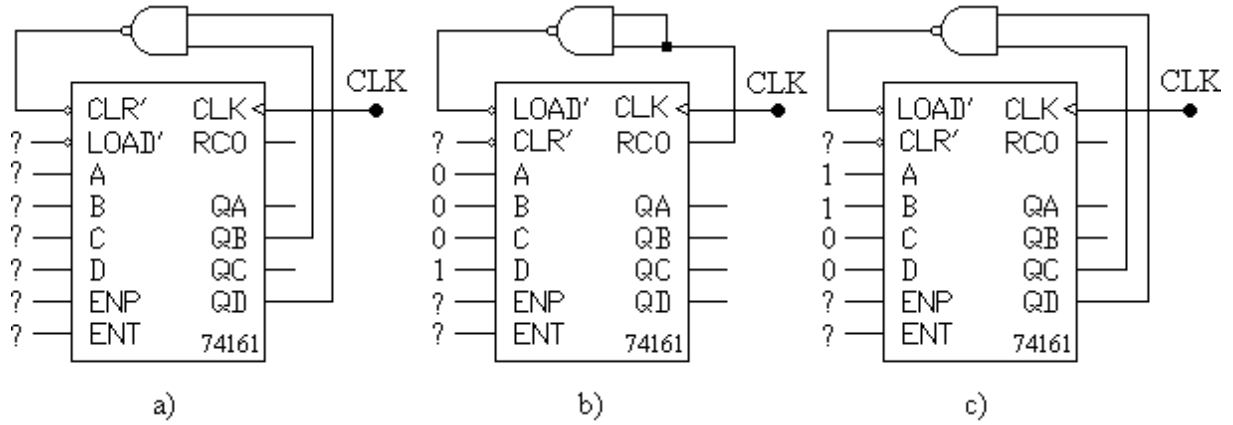
Şekil 9.5 : 4-bitlik senkron ileri sayıcı

Şekil 9.5'te verilen devre yardımıyla tasarlanan 4-bitlik ileri/geri sayıcı devresi Şekil 9.6'da gösterilmiştir.



Şekil 9.6 : 4-bitlik senkron ileri/geri sayıcı

İleri/geri sayma yetenekleri yanında senkron sayıcılara paralel yükleme yeteneği kazandırılarak sayıcının istenilen sayıdan başlayarak sayması sağlanabilir. 74161, paralel yüklemeli bir sayıcı tümdevresidir. ENableP (ENP), ENableT (ENT), Load ve Clear olmak üzere dört adet kontrol girişi, saat girişi ve dört bitlik paralel girişi ile dört bitlik paralel çıkışı ve bir bitlik elde çıkışı vardır. Clear ve Load lojik 0'da, ENP ve ENT ise lojik 1'de aktiftir. Clear girişi, tümdevrenin paralel çıkışlarına lojik 0 değerini yüklemek, Load girişi ise paralel girişteki değeri yüklemek için kullanılırken ENP ve ENT kontrol girişleri sayma işlemini durdurmak veya devam ettirmek amacıyla kullanılır. Şekil 9.7'de 74161 tümdevresi ile tasarlanan sayıcı örnekleri verilmiştir.



Şekil 9.7 : a) BCD sayıcı b) 8-15 arası sayıcı c) 3-12 arası sayıcı

Sayıcılar genelde, bir olayın gerçekleşme sayısının saptanmasında veya sayısal bir sistemde işlemleri denetlemekte kullanılan zamanlama işaretlerinin elde edilmesinde kullanılır. Bu uygulamalar, frekans bölme, bilgi saklama, darbe sayma gibi uygulamalar olabilir.

9.2 Deney Öncesi Hazırlıklar

1. Asenkron ve senkron sayıcı yapılarının incelenmesi.
2. Şekil 9.7a'daki BCD sayıcının CLR ve LOAD girişlerinin kullanıldığı iki ayrı devrenin CAD araçları ile simülasyonunun yapılması ve iki devrenin karşılaştırmalı sonuçlarının kısa bir rapor halinde getirilmesi.
3. Deney sırasında kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

9.3 Deney Sırasında Yapılacaklar

1. Şekil 9.1'de verilen devreyi deney setine kurunuz. Tümdevrelerin gerekli bütün bağlantılarını yapınız. Bellek elemanlarının saat girişini 1Hz'lik TTL dalga işaretinden alınız. Bellek elemanlarının girişlerine uygun değerleri verdikten sonra çıkışları LED'lerden gözleyerek devrenizin istenilen işlevi gerçekleştirip gerçekleştirmediğini saptayınız.
2. Şekil 9.3a'daki devreyi deney setine kurunuz. Tümdevrenin gerekli bütün bağlantılarını yapınız. Saat işaret girişini, 1Hz'lik TTL dalga işaretinden alınız. Tümdevrenin çıkışlarını LED'lerden gözleyerek devrenizin istenilen işlevi gerçekleştirip gerçekleştirmediğini saptayınız.
3. İlk olarak Şekil 9.3b'de verilen devreyi deney setine kurunuz. Tümdevrelerin gerekli bütün bağlantılarını yapınız. Saat işaret girişini, 1Hz'lik TTL dalga işaretinden alıp tümdevrenin çıkışlarını 7 parçalı göstergeden gözleyerek devrenizin istenilen işlevi gerçekleştirip gerçekleştirmediğini saptayınız. Daha sonra Şekil 9.4'te verilen devreyi, daha önceden

kurduğunuz devreye eklentiler yaparak deney setine kurunuz ve devrenizin istenilen işlevi gerçekleyip gerçeklemediğini saptayınız.

4. Şekil 9.5'te verilen devreyi deney setine kurunuz. Tümdevrelerin gerekli bütün bağlantılarını yapınız. Bellek elemanlarının saat girişini 1Hz'lik TTL dalga işaretinden alınız. Bellek elemanlarının çıkışlarını LED'lerden gözleyerek devrenizin istenilen işlevi gerçekleyip gerçeklemediğini saptayınız.

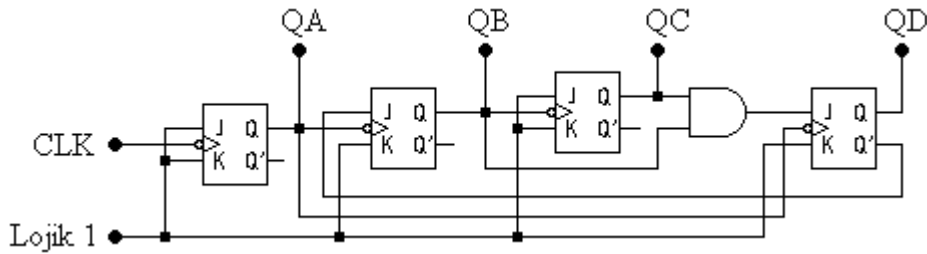
5. Şekil 9.7a-b-c'de verilen devreleri deney setine kurunuz. Tümdevrelerin gerekli bütün bağlantılarını yapınız. Saat işareti girişini 1Hz'lik TTL dalga işaretinden alınız. Tümdevrenin çıkışlarını LED'lerden gözleyerek devrenizin istenilen işlevi gerçekleyip gerçeklemediğini saptayınız.

9.4 Raporda İstenilenler

1. 7493 tümdevreleri ve uygun lojik kapılar kullanarak ikili tabanda modülo 36 sayan bir sayıcı tasarlayınız.

2. Şekil 9.5'te verilen 4-bitlik senkron ileri sayıcısının T bellek elemanları ile gerçekleştirilmesi istendiğinde devre karmaşıklığının değişip değişmeyeceğini nedeni ile belirtiniz.

3. Şekil 9.8'de verilen asenkron sayıcı devresinin analizini, CAD araçlarını kullanarak yapınız ve bu sayıcının gerçekleştirdiği fonksiyonu alarak belirleyiniz. (QA : LSB)



Şekil 9.8 : Fonksiyonu belirlenecek asenkron sayıcı

4. Seri olarak uygulanan her bir 7 bitlik sayı içindeki 1 sayısını bulan senkron ardışıl devreyi tasarlayınız.

Malzeme Listesi

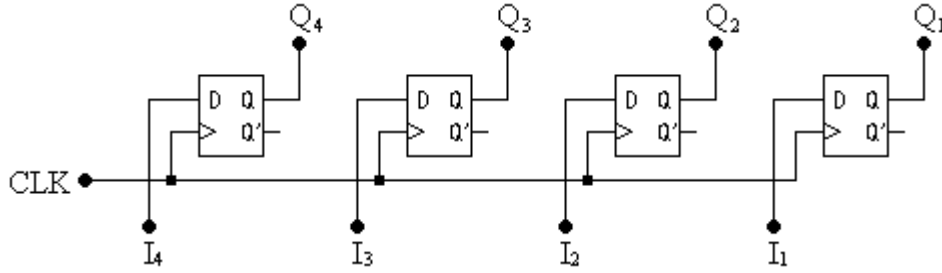
- 1 adet 7400 NAND kapı tümdevresi
- 1 adet 7408 AND kapı tümdevresi
- 2 adet 7476 JK bellek elemanı tümdevresi
- 2 adet 7493 asenkron sayıcı tümdevresi
- 1 adet 74161 senkron sayıcı tümdevresi

DENEY 10 : YAZICILAR

10.1 Genel Açıklamalar

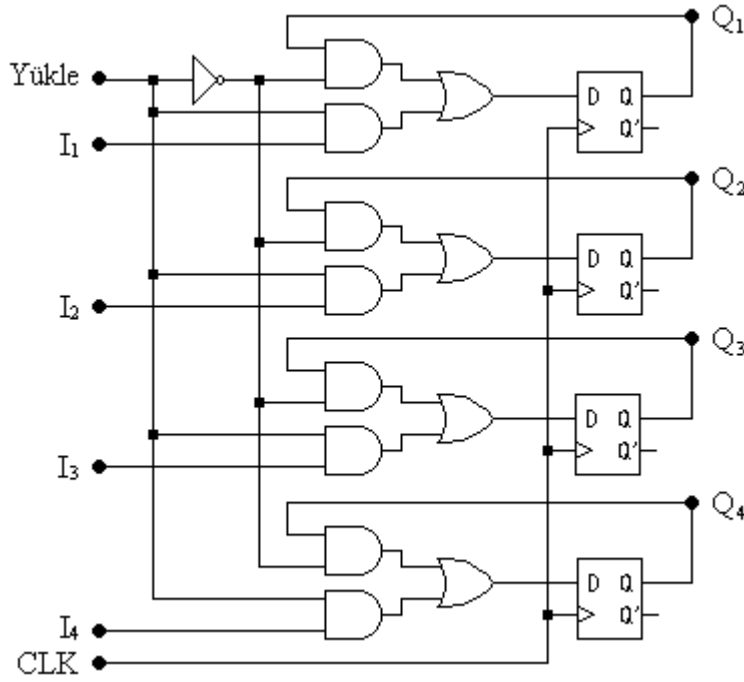
Bir yazıcı (register), ikili bilgileri tutmak için kullanılan bir grup ikili saklama hücresinden oluşur. Her bir bellek elemanı bir bitlik bilgiyi saklama yeteneğine sahip olduğu için bir grup bellek elemanı, yazıcıları meydana getirir. Bir n -bitlik yazıcı, n adet bellek elemanından oluşur ve n bit içeren bir bilgiyi saklar. Bellek elemanlarının yanı sıra, bazı bilgi işletim fonksiyonlarını gerçeklemek için yazıcılar, kombinezonsal kapılar içerebilir. Yazıcılarda, genel olarak bellek elemanları ikili bilgiyi tutarken, kapılar, yeni bilginin yazıcılara aktarımının nasıl ve ne zaman yapılacağını kontrol eder.

MSI devrelerinde değişik türde yazıcılar mevcuttur. En basit bir yazıcı, sadece bellek elemanları içeren bir yazıcıdır. Şekil 10.1'de dört adet D bellek elemanı ve ortak saat girişi ile tasarlanan böyle bir yazıcı devresi gösterilmiştir. Ortak saat işaretinin tetiklenmesi ile bellek elemanları girişlerindeki o anki bilgiler, 4-bitlik yazıcıya aktarılır.



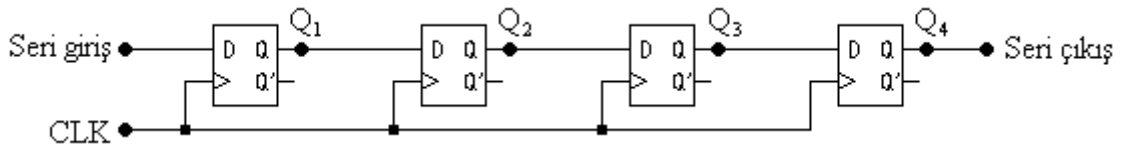
Şekil 10.1 : 4-bitlik yazıcı

Yeni bir bilginin yazıcıya aktarımı, yazıcıya yükleme olarak adlandırılır. Eğer yazıcının bütün bitleri bir tek saat darbesi ile aynı anda yükleniyorsa, yükleme işleminin paralel olarak gerçekleştiği belirtilir. Şekil 10.1'de verilen yazıcının CLK girişine bir darbenin uygulanması ile bütün girişler paralel olarak yüklenir. Bu yazıcıda CLK girişi, yeni bilginin yazıcıya aktarılmasını kontrol eden bir etkin (enable) giriştir. Çoğu sayısal devrelerde ise sürekli saat darbeleri üreten bir merkezi saat üretici vardır ve bu saat darbeleri, sistemdeki bütün bellek elemanlarına uygulanır. Bu yüzden yazıcılarda bilgi işletim fonksiyonları, etkin girişleri kontrol eden ayrı kontrol birimleri ile gerçekleştirilir. Şekil 10.2'de *yükle* etkin girişi ile 4-bitlik paralel yüklemeli yazıcı devresi verilmiştir.

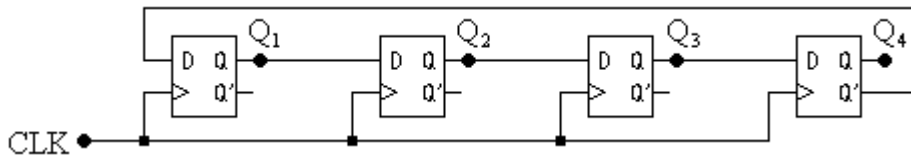


Şekil 10.2 : 4-bitlik paralel yüklemeli yazıcı

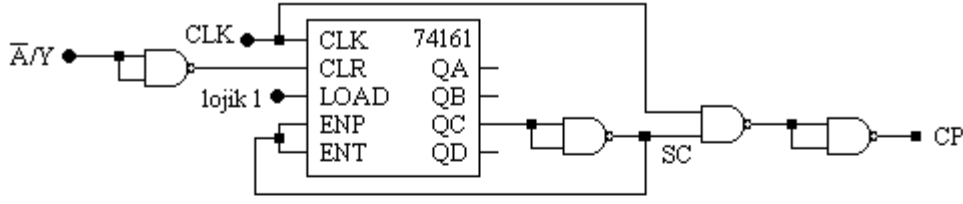
İkili bilgisini sağa veya sola doğru öteleme yeteneğine sahip olan yazıcıya, ötelemeli yazıcı (shift register) denilir. Bir ötelemeli yazıcı, kaskad bağlanmış bellek elemanlar zincirinden oluşur. Öyle ki bir bellek elemanının çıkışı, bir sonraki bellek elemanının girişine ve merkezi bir saat işareti, bütün bellek elemanlarına bağlanarak öteleme işleminin adım adım yapılması sağlanır. Şekil 10.3'te 4 adet D bellek elemanı ile gerçekleştirilen bir ötelemeli yazıcı devresi verilmiştir. Bu devrede seri giriş işareti yerine Q_4' işaretinin uygulanması ile gerçekleştirilen Johnson (ring) sayıcı devresi, Şekil 10.4'te verilmiştir.



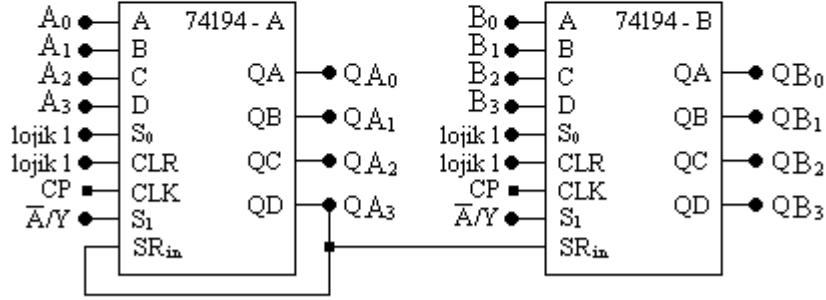
Şekil 10.3 : Ötelemeli yazıcı



Şekil 10.4 : Johnson sayıcısı



a)



b)

Şekil 10.6 : a) CP işaretini üreten devre b) Seri veri aktarım devresi

Şekil 10.6’da verilen devrede yükleme ve veri aktarımı işlemlerinin kontrol edilmesi için kullanılan bir adet \bar{A}/Y kontrol girişi vardır. Kontrol girişi, lojik 1 değerine sahip olduğunda 74161 sayıcısının içeriği sıfırlanır ve 74194 ötelemeli yazıcılara girişlerinde bulunan değerler yüklenir. Kontrol girişi, lojik 0 değerine sahip olduğunda ise Şekil 10.6a’da verilen 74161 sayıcısı sıfırdan dörde kadar sayar. Bu dört saat darbesi boyunca ise A ötelemeli yazıcısında bulunan veriler, B ötelemeli yazıcısına aktarılır. Sayıcı dörde ulaştığında ise kendi içeriğini korur ve yazıcıların saat işareti, CP, lojik 0 değerine sahip olur.

10.2 Deney Öncesi Hazırlıklar

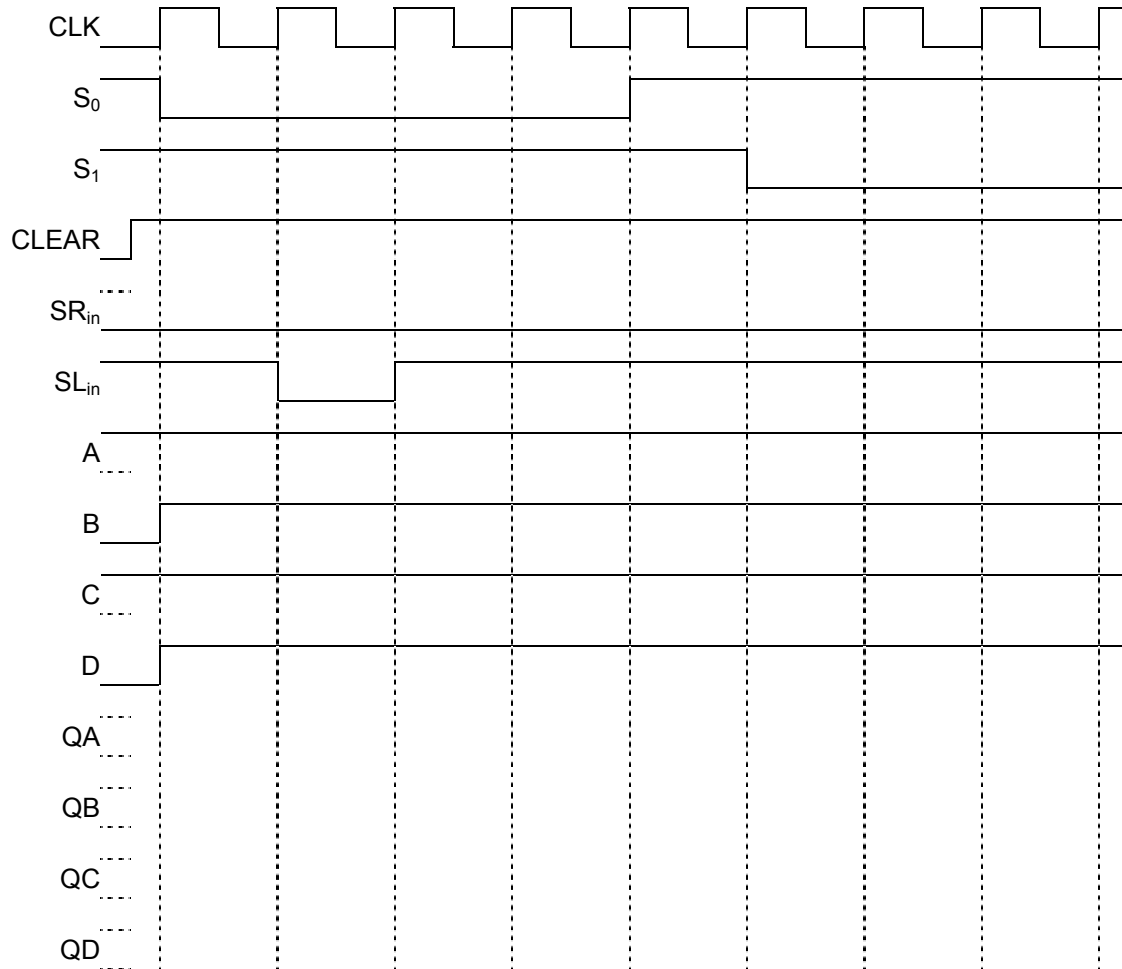
1. Yazıcı türlerinin ve çalışma prensiplerinin incelenmesi.
2. Şekil 10.2’deki devrenin CAD araçları ile simülasyonun yapılıp sonuçların kısa bir rapor halinde getirilmesi.
3. Deney sırasında kullanılacak tümdevrelerin katalog bilgilerinin incelenmesi.

10.3 Deney Sırasında Yapılacaklar

1. Şekil 10.1’de verilen devreyi deney setine kurunuz. Devrede bulunan bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Bellek elemanlarının preset ve clear girişlerine lojik 1 değeri uygulayınız. Bellek elemanlarının saat girişlerini 1Hz’lik TTL darbe üreticisinden alınız. Devrenin girişlerini lojik anahtarlardan alıp, devrenin çıkışlarını LED’lere bağladıktan sonra devrenizin istenilen fonksiyonu gerçekleyip gerçekleştirmediğini saptayınız.

2. Şekil 10.3'te verilen devreyi deney setine kurunuz. Devrede bulunan bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. Bellek elemanlarının preset ve clear girişlerine lojik 1 değeri uygulayınız. Bellek elemanlarının saat girişlerini 1Hz'lik TTL darbe üreticisinden alınız. Devrenin girişini lojik anahtardan alıp, devrenin çıkışlarını LED'lere bağladıktan sonra devrenizin istenilen fonksiyonu gerçekleyip gerçeklemediğini saptayınız.
3. Şekil 10.4'te verilen devre için ikinci aşamada gerçekleştirilen devrenin yardımıyla gerekli değişiklikleri yapıp devrenizin çıkışlarını LED'lere bağladıktan sonra devrenizin gerçeklediği fonksiyonu belirleyiniz.
4. 74194 tümdevresini deney setine yerleştirip besleme ve toprak bağlantılarını yapınız. Tümdevrenin clear, S₀, S₁, kontrol girişlerini, A, B, C ve D paralel girişlerini ve SR_{in} ve SL_{in} seri girişlerini lojik anahtarlardan alıp CLK girişini debounce pushbutton'dan alınız. Tümdevrenin çıkışlarını LED'lere bağlayıp Tablo 10.1'de verilen zaman diyagramını doldurunuz.

Tablo 10.1 : Ötelemeli yazıcı zaman diyagramı



5. Şekil 10.6'da verilen devreyi deney setine kurunuz. Devrede bulunan bütün tümdevrelerin besleme ve toprak bağlantılarını yapınız. CLK saat işaretini 1Hz'lik TTL darbe üreticisinden ve \overline{A}/Y kontrol girişini, yazıcıların paralel girişlerini lojik anahtarlardan alınız. Yazıcıların çıkışlarını LED'lere bağlayarak seri veri aktarım işlemini gerçekleştiriniz.

10.4 Raporda İstenenler

1. Sayısal sistemlerde paralel ve seri olarak veri iletim işlemlerini, çalışma hızı ve donanım karmaşıklığı açılarından karşılaştırınız.
2. Şekil 10.3'te verilen devrede başlangıç durumunu 0000 olarak alıp veri girişi için 11010 dizisi (ilk olarak 0) uygulandığında D bellek elemanlarının çıkışlarını zaman diyagramı çizerek gösteriniz.
3. Şekil 10.4'te verilen Johnson sayıcısı, JK bellek elemanları kullanılarak gerçekleştirildiğinde devre karmaşıklığının değişip değişmeyeceğini devreyi tasarlamadan nedeni ile açıklayınız.
4. Şekil 10.6'da verilen devre kullanılarak 4 adet saat darbesinden sonra A yazıcısına girilen sayının 1'e tümleyenini B yazıcısına yerleştiren devreyi tasarlayınız. Bunun yanında A yazıcısına girilen sayının 2'ye tümleyen karşılığını en düşük anlamlı bitinden başlayarak 4 bitini B yazıcısında ve en yüksek anlamlı bitini D bellek elemanında saklayan devreyi tasarlayınız.

Malzeme Listesi

- 1 adet 7400 NAND kapı tümdevresi
- 2 adet 7474 D bellek elemanı tümdevresi
- 1 adet 74161 senkron sayıcı tümdevresi
- 2 adet 74194 ötelemeli yazıcı tümdevresi

KAYNAKLAR

1. Ahmet Dervişođlu, Lojik Devreler Ders Notları, Alternatif Yayıncılık.
2. Arthur D. Friedman ve Premachandran R. Menon, Theory & Design of Switching Circuits, Pitman Publishing Limited, 1975.
3. Barry Wilkinson, Digital System Design, Prentice-Hall International, Inc., 1987.
4. Hakan Kuntman, Ali Toker ve Sadri Özcın, Sayısal Elektronik Devreleri, Birsen Yayınevi, 2000.
5. Milos D. Ercegovic ve Tomas Lang, Digital Systems and Hardware/Firmware Algorithms, Wiley International Edition, 1985.
6. M. Morris Mano, Digital Logic and Computer Design, Prentice-Hall Inc. 1979.
7. Richard F. Tınder, Digital Engineering Design, Prentice-Hall International, Inc., 1991.