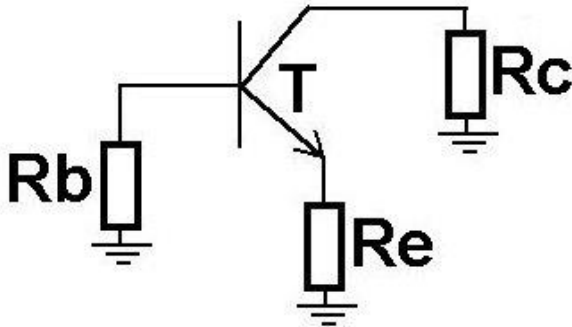


## KUVVETLENDİRİCİLERİN ac DAVRANIŞININ SİSTEMETİK ANALİZİ

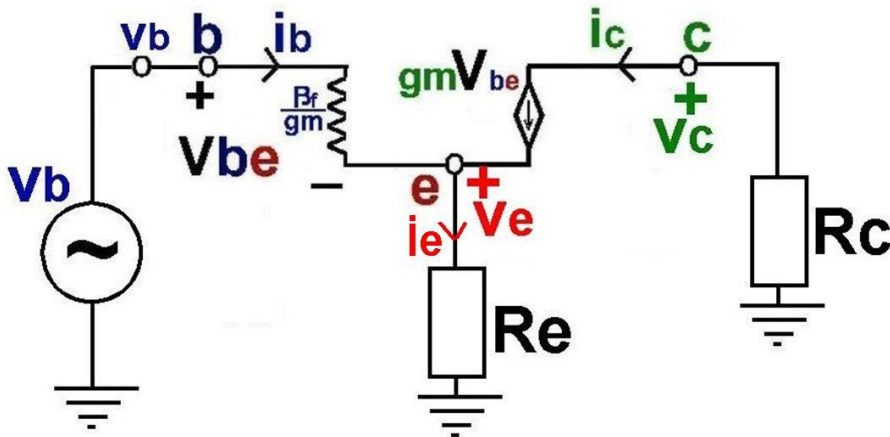
Bir elektronik devre olarak **kuvvetlendirici devreler** girişlerindeki işaretin genliğini büyüterek çıkış işaretini oluştururlar. Frekansını deęiřtirmezler. Faz deęiřimi olabilir de olmayabilir de.

**Kuvvetlendirici** devrelerin olmazsa olmaz elemanı **transistordur**. Genelde kuvvetlendirici devrelerin analizleri ac yaklařımlarla yapılabilmektedir (giriř iřaretlerinin düşük genlikli olması durumunda). Bu durumda transistörler yaklařık lineer davranıř göstermekte ve ac modelleri kullanılabilir hale gelmektedir. ac durumda (ac kaynaklar sıfırlandıęında ve devrede geribesleme yoksa) bir transistör için portlarının dıřındaki devre yapılarının davranıřı birer direnç ile modellenebilir. Böylece, ac durumda her bir transistör için ařaęıda Őekil-8'de görünen ac durum modeli kullanılabilir.



Şekil-8 Bir BJT'nin portlarında ac durumda oluşan etkilerin genel durumu modeli.

Şekil-8'de görülen Rb, Rc ve Re dirençleri ac durumda transistörün (sırasıyla) baz, kolektör ve emetör portlarında oluşan ac etkileri göstermektedir. Bu dirençler tek bir direncin etkisini içerebileceęi gibi birçok elemanın birlikte oluşturduęu bir etkiyi de içerebilir. Bu etkinin sadece bir direnç ile modellenebilmesi Thevenin (Norton) eřdeęer devreleri hatırlanarak anlaşılabilir. Bir lineer devrenin bir kapısının davranıřı seri bir gerilim kaynaęı ve bir direnç ile verilebilir (Thevenin) veya paralel bir akım kaynaęı ve bir direnç ile verilebilir (Norton). Eęer devrede baęımsız kaynak yok ise Thevenin ve Norton eřdeęer yapılarıdaki kaynaklar sıfırlanır. Geriye sadece bir direnç kalır. Bundan dolayı, bir transistörün dıřındaki yapılarda baęımsız kaynak yok ise o yapılar (ac durumda) sadece birer direnç ile modellenebilir.



Şekil-9 ac iřaretin önce baz portuna gelmesi durumunda ac analiz için oluşturulan model.

Şayet ac giriř iřareti önce baz portuna geliyorsa üstte görünen Őekil-9 geçerli olur ( $r_{ce} \gg R_c$  varsayımı ile  $r_{ce}$  ihmal edilmiřtir). Őekil-9'daki  $v_b$  kaynaęı direkt olarak baza uygulanmıř bir baęımsız ac kaynaęı gösterebileceęi gibi, bařka elemanlar üzerinden baza gelen ac iřareti de gösterebilir (bir düęüm için gerilim tanımlanırsa o gerilimi bir baęımsız kaynakla gösterebiliriz). Bu Őekilde görünen  $i_b$  ve  $i_c$  akımları řu Őekilde verilebilir.

$$i_b = v_{be} / (\beta_F / g_m)$$

$$i_c = g_m \cdot v_{be}$$

$$i_e = i_b + i_c$$

eşitliği Kirchoff'un akım yasasından elde edilir. Burada hareketle

$$v_e = i_e \cdot R_e = (i_b + i_c) \cdot R_e = (g_m / \beta_F + g_m) \cdot v_{be} \cdot R_e$$

$$v_{be} = v_b - v_e$$

$$v_e = (g_m / \beta_F + g_m) \cdot v_b \cdot R_e - (g_m / \beta_F + g_m) \cdot v_e \cdot R_e$$

Bu ifadede görünen  $g_m / \beta_F$  terimi ihmal edilebilir bir terimdir. Çünkü  $\beta_F$  değeri 100 mertebesindedir. Buradan hareketle  $v_e - v_b$  gerilimleri içi aşağıdaki ifade elde edilir;

$$v_e = [g_m \cdot R_e / (1 + g_m R_e)] \cdot v_b$$

Bu ifade genelde şöyle gösterilir;

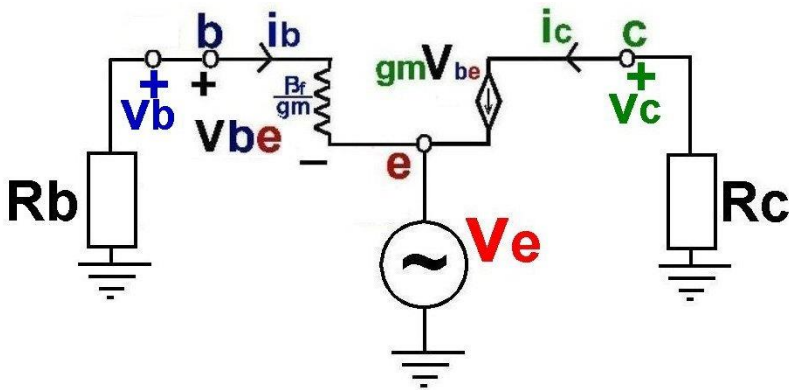
$$v_e / v_b = [g_m \cdot R_e / (1 + g_m R_e)] \quad (1)$$

Şekil-9'da görünen yapı bazın giriş olduğu bir yapıdır. Emetördeki işaretin çıkış olarak kullanılması durumunda yapının ismi **emetör çıkışlı** olarak isimlendirilir ve (1) bağıntısı ile transfer ilişkisi (kazancı) verilir. Diğer taraftan, kolektörün çıkış olarak kullanılması mümkündür. Şekil-9'da, kolektör portu için aşağıdaki ifadeler elde edilir.

$$v_c = -i_c \cdot R_c = -g_m \cdot v_{be} \cdot R_c = -g_m \cdot (v_b - v_e) \cdot R_c = -g_m (v_b - v_b \cdot [g_m \cdot R_e / (1 + g_m R_e)]) \cdot R_c$$

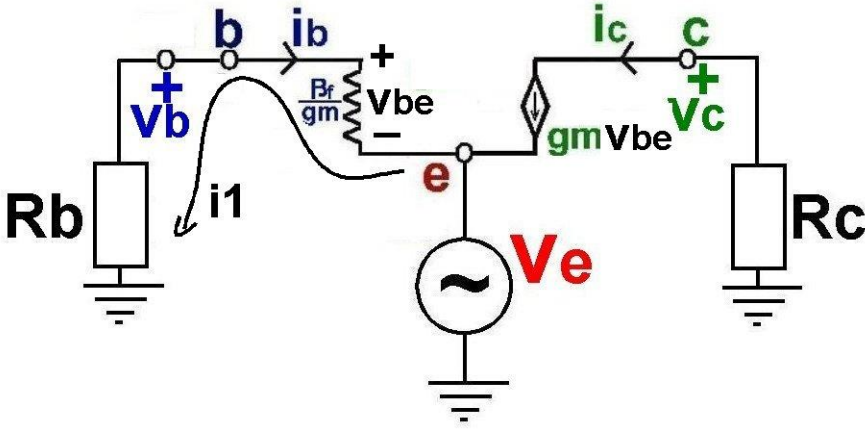
$$v_c / v_b = -g_m R_c / (1 + g_m R_e) \quad (2)$$

Şekil-9'da görünen yapı bazın giriş olduğu bir yapıdır. Kolektördeki işaretin çıkış olarak kullanılması durumunda yapının ismi **ortak emetörlü** olarak isimlendirilir ve (2) bağıntısı ile transfer ilişkisi (kazancı) verilir.



Şekil-10 ac işaretin önce emetör portuna gelmesi durumundaki ac analiz için oluşturulan model.

Şayet ac giriş işareti önce emetör portuna geliyorsa üstte görünen şekil-10 geçerli olur ( $r_{ce} \gg R_c$  varsayımı ile  $r_{ce}$  ihmal edilmiştir). Şekil-10'daki  $v_e$  kaynağı direkt olarak emetöre uygulanmış bir bağımsız ac kaynağı gösterebileceği gibi, başka elemanlar üzerinden emetöre gelen ac işareti de gösterebilir (bir düğüm için gerilim tanımlanırsa o gerilimi bir bağımsız kaynakla gösterebiliriz). Şekil-10 analizi kolaylaştırmak için Şekil-11'deki halde verilebilir



Şekil-11 ac işaretin önce emetör portuna gelmesi durumundaki ac analiz için oluşturulan model.

Şekil-11 için aşağıda ifadeler geçerli olur.

$$i_1 = v_e / (r_{be} + R_b)$$

$$r_{be} = \beta_F / g_m$$

$$i_b = -i_1$$

Bu ifadelerden  $v_{be}$  gerilimi elde edilir.

$$v_{be} = i_b \cdot r_{be} = -i_1 \cdot r_{be} = -v_e \cdot r_{be} / (r_{be} + R_b) = -v_e \cdot (\beta_F / g_m) / [(\beta_F / g_m) + R_b]$$

$v_{be}$  elde edilince  $i_c$  ve  $v_c$  elde edilmiş olur.

$$i_c = g_m \cdot v_{be}$$

$$v_c = -i_c \cdot R_c = g_m \cdot v_e \cdot (\beta_F / g_m) \cdot R_c / [(\beta_F / g_m) + R_b]$$

$$v_c / v_e = g_m \cdot R_c / (1 + g_m \cdot R_b / \beta_F) \quad (3)$$

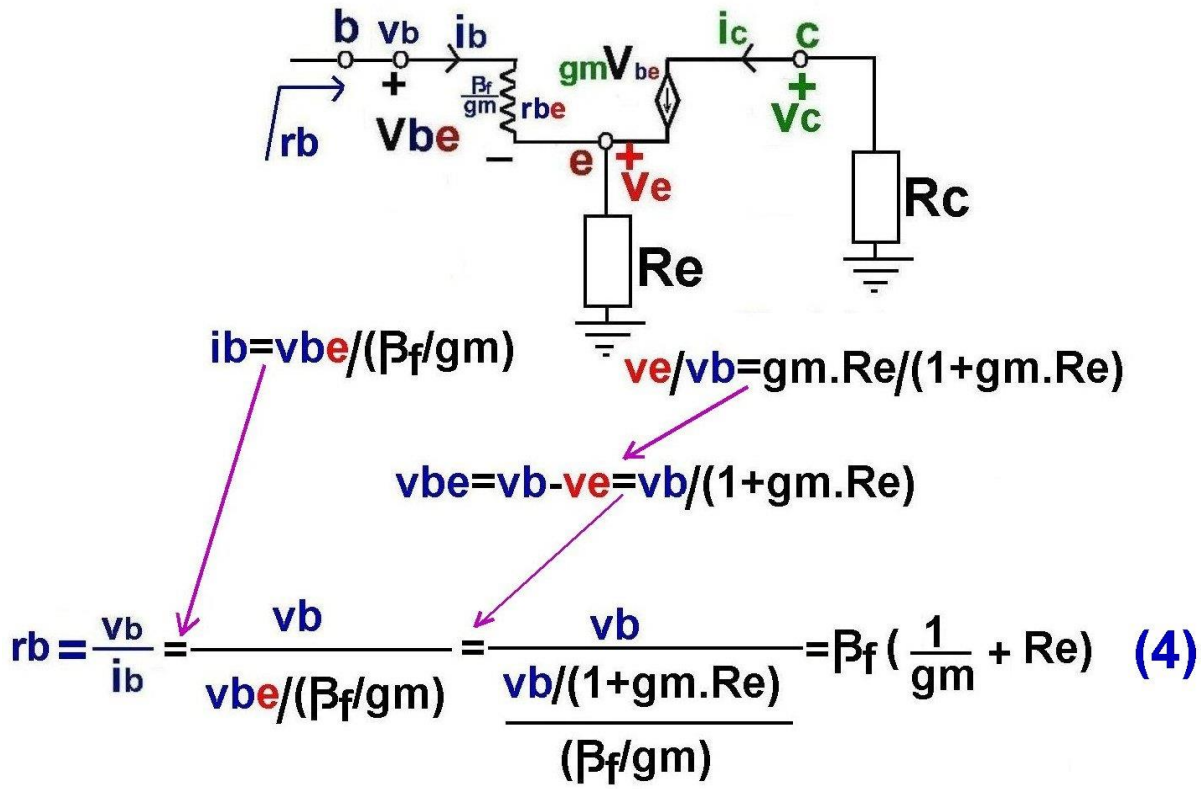
Sonuç olarak (3) ifadesine ulaşılır. Bu ifade **ortak bazlı** kazanç ifadesidir. Ortak bazlı yapıda giriş işareti emetöre uygulanır, çıkış işareti kolektörden alınır.

\*\*\*\*\*

## ac durumda port dirençlerinin elde edilmesi

Yukarıda, Şekil-8 için yapılan açıklamalar transistorların port dirençleri için de geçerlidir. Burada, port dirençlerinden kasıt (BJT için) baz, emetör ve kolektör dirençleridir (kolektör direnci bu aşamada incelenmeyecektir). Baza gelen bir ac gerilim işaretinin, bu gerilime karşılık oluşan baz akımına oranına baz port direnci veya kısaca bazdan görünen direnç denilmektedir.

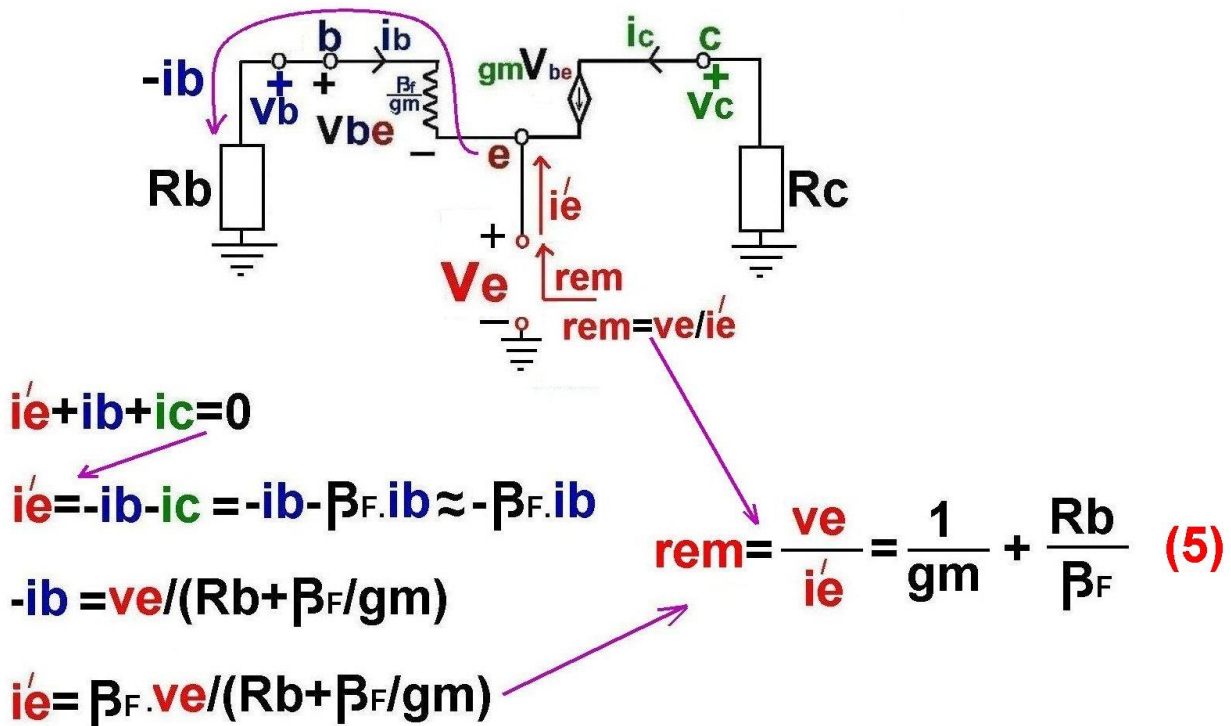
Aşağıda, Şekil-12'de bazdan görünen direnç ( $r_b$ ) için elde edilen analiz verilmektedir. Baz port direnci analizi için  $r_{ce} \gg R_c$  şartı geçerli varsayılmış olup transistorun ac modelinde  $r_{ce}$  gösterilmemiştir (ihmal edilmiştir).



Şekil-12 ac durumda BJT'nin baz direncinin elde edilmesi.

Şekil-12'deki analiz ile  $r_b$  direnci (4) bağıntısı olarak elde edilmiştir. Bu bağıntıdan görüldüğü gibi emetördeki direnç ( $R_e$ )  $r_b$  direncini  $\beta_f$  ile çarpılarak etkilemektedir. Yani, emetörde direnç varsa bazdan görünen direnç genel durumda çok büyük değerli olabilmektedir.

Aşağıda, Şekil-13'te emetör port direnci ( $r_{em}$ ) için elde edilen analiz verilmektedir. Emetör port direnci analizi için  $r_{ce} \gg R_c$  şartı geçerli varsayılmış olup transistorun ac modelinde  $r_{ce}$  gösterilmemiştir (ihmal edilmiştir).

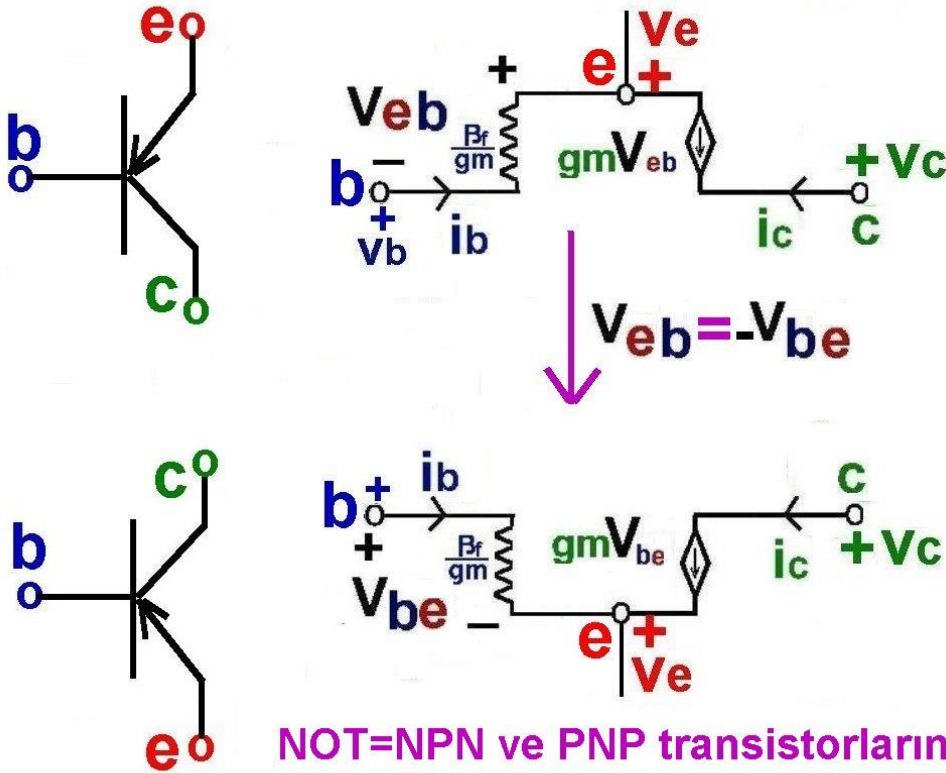


Şekil-13 ac durumda BJT'nin emetörden görünen direncin elde edilmesi.

Şekil-13'teki analiz ile **rem** direnci (5) bağıntısı olarak elde edilmiştir. Bu bağıntıdan görüldüğü gibi bazdaki direnç ( $R_b$ ) "emetörden görünen direnci (**rem**)"  $\beta_f$  değerine bölünerek etkilemektedir. Yani, emetör port direnci genel durumda düşük değerli olabilmektedir.

\*\*\*\*\*

## NPN ve PNP transistorların eş ac modele sahip olduğunun gösterilmesi



**NOT=NPN ve PNP transistorların ac modelleri aynıdır!!!**

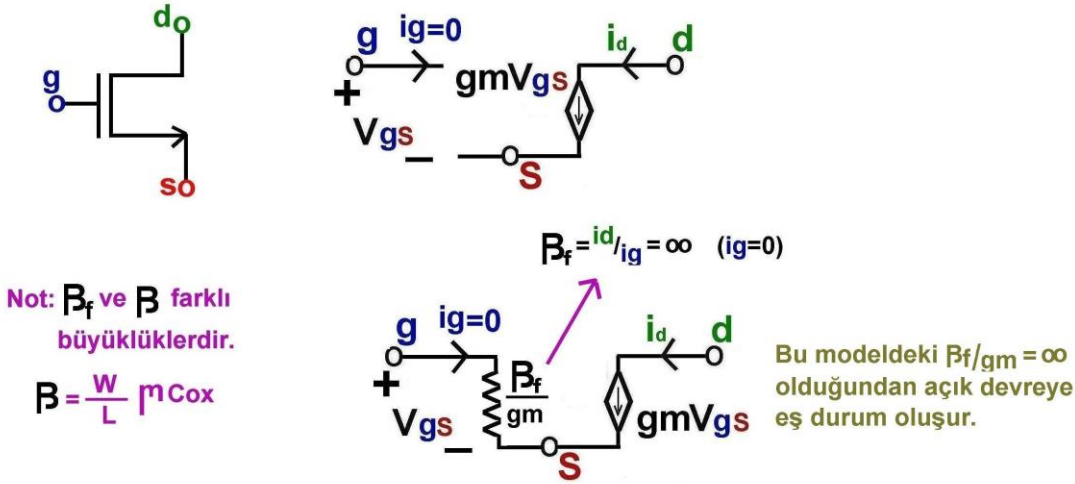
Şekil-14 NPN ve PNP transistorların ac modellerinin eş olması.

Şekil-14'te NPN ve PNP transistorların ac modellerinin eş olması gösterilmektedir. Orijinal (üstteki) durumda  $v_{eb}$  gerilimi sebebi ile emetörden kolektöre  $g_m.v_{eb}$  değerli bir akım tanımlanır. Şayet  $v_{eb}$  yerine  $v_{be}$  kullanılırsa  $g_m.v_{be}$  değerli akım ters yönlü olur ve kolektörden emetöre gösterilir. Bu durumda ortaya çıkan model NPN transistorun ac modeli ile aynıdır.

NPN ve PNP transistorların ac modelleri aynı olduğundan NPN transistor için elde edilmiş ac bağıntılar (1-5) PNP transistor için de geçerli olur.

\*\*\*\*\*

ac durumda MOSFET ile BJT'nin modellerinin eş olduğunun gösterilmesi



**Açıklama-1:** MOSFET için  $\beta_f$  parametresi matematiksel olarak kullanılabilir. Bu durumda BJT ve MOSFET ac modelleri tamamen aynı olur. Sadece gm hesaplaması için farklı ifadeler kullanılır.

**Açıklama-2:** Elektronik-2 kapsamında kullanılan modeller dikkate alındığında BJT ve MOSFET matematiksel olarak aynı ac modellere sahip olmaktadır. Bundan dolayı, BJT için elde edilen ac bağıntılar MOSFET için de kullanılabilir

**Açıklama-3:** BJT'de açıklandığı gibi MOSFET'te de NMOS ve PMOS transistörler aynı ac modele sahiptir.

**Sonuç olarak NPN-BJT için elde edilen bağıntılar PNP-BJT, NMOS ve PMOS transistörler için de kullanılabilir. Bu amaçla, bağıntılarında MOS transistörler için  $\beta_f = \infty$  almak yeterli olacaktır.**

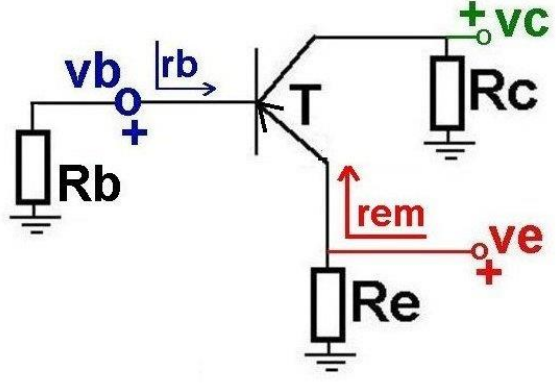
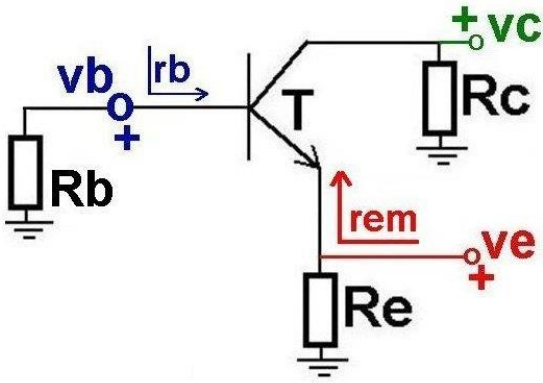
Şekil-15  $\beta_f$  parametresi  $\infty$  alınarak MOSFET ac modelinin BJT modeli ile eş hale getirilmesi

Şekil-15'te MOSFET'in ac modelinin matematiksel olarak BJT ac modeli ile eş hale getirilebileceği gösterilmektedir. Bilindiği gibi MOSFET'in geçit (gate) akımı sıfırdır. Bu durumda  $\beta_f = i_d / i_g$  akım kazancı parametresi MOSFET için  $\infty$  olur. Dolayısıyla, açık devre olan geçit-sors portları arasındaki durum  $\beta_f / g_m = \infty$  değerli bir direnç ile gösterilebilir. Sonuç olarak, MOSFET ac modeli BJT ac modeli ile eş hale gelir. Böylece, BJT için elde edilen ac bağıntılar MOSFET için de  $\beta_f = \infty$  şartı altında geçerli olur.

Şekil-14'te verilen NPN ve PNP transistörleri ac durumda modellerinin eş olduğuna dair görsel açıklama NMOS ve PMOS transistörler için de kullanılabilir. Dolayısıyla, NMOS transistör ve PMOS transistör eş ac modellere sahiptir. Sonuç olarak, NPN, PNP, NMOS ve PMOS transistörler aynı ac bağıntılara sahip olacaktır. Burada önemli olan tek nokta MOS ac bağıntılarında  $\beta_f = \infty$  eşitliğinin geçerli olmasıdır ( $\beta_f$  ve  $\beta$  bağıntılarının farklı olduğuna dikkat ediniz).



## NPN ve PNP transistorların ac bağıntıları



ac işaret ilk olarak baza geliyor  
ve çıkış kolektörden alınıyorsa

$$\frac{vc}{vb} = \frac{-gm Rc}{1 + gm Re} \quad (1)$$

ac işaret ilk olarak baza geliyor  
ve çıkış emetörde alınıyorsa

$$\frac{ve}{vb} = \frac{+gm Re}{1 + gm Re} \quad (2)$$

ac işaret ilk olarak emetöre geliyor  
ve çıkış kolektörden alınıyorsa

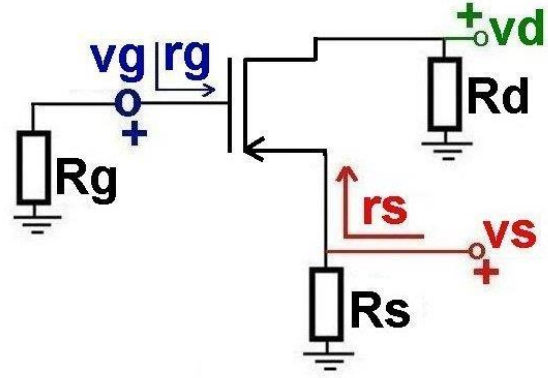
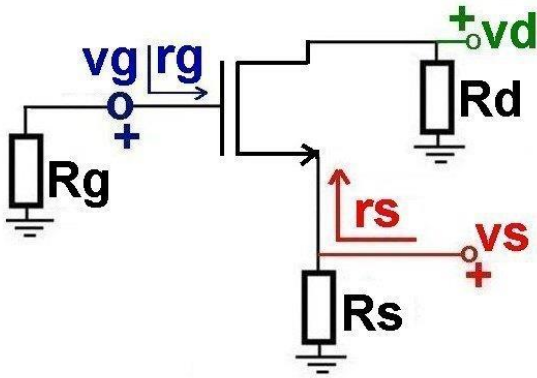
$$\frac{vc}{ve} = \frac{gm Rc}{1 + gm \frac{Rb}{\beta_f}} \quad (3)$$

$$rb = \beta_f \left( \frac{1}{gm} + Re \right) \quad (4)$$

Port Dirençleri

$$rem = \frac{1}{gm} + \frac{Rb}{\beta_f} \quad (5)$$

NMOS ve PMOS transistorların ac bağıntıları ( $\beta f = \infty$ )



ac işaret önce geçite geliyor  
ve dreynenden çıkış alınıyorsa

$$\frac{v_d}{v_g} = \frac{-g_m R_d}{1 + g_m R_s} \quad (1.2)$$

ac işaret önce geçite geliyor  
ve sorstan çıkış alınıyorsa

$$\frac{v_s}{v_g} = \frac{+g_m R_s}{1 + g_m R_s} \quad (2.2)$$

ac işaret önce sorsa geliyor  
ve dreynenden çıkış alınıyorsa

$$\frac{v_d}{v_s} = g_m R_d \quad (3.2)$$

Port Dirençleri

$$r_g = \infty \quad (4.2)$$

$$r_s = \frac{1}{g_m} \quad (5.2)$$