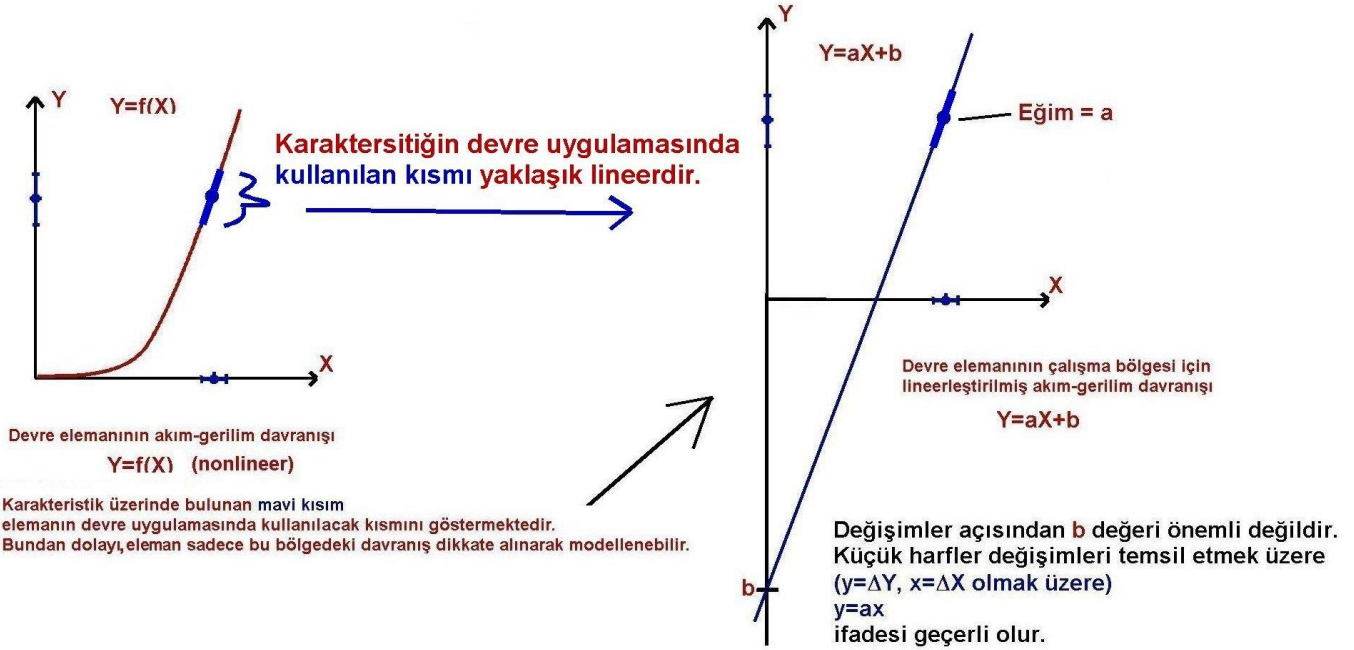


**NOT: Önce ac modelleme ile ilgili ELEKTRONİK-1 konuları tekrar verilmektedir. 5.sayfadan itibaren ELEKTRONİK-II dersinde işlenen konular verilmektedir.**

### Devre elemanlarının küçük işaret (küçük genlik) davranışlarının modellenmesi

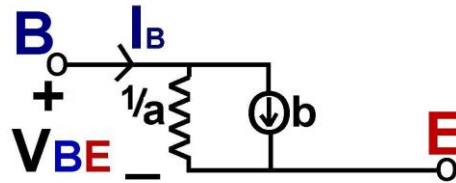


**Şekil-1 Devre elemanlarının küçük işaret devre davranışlarının modellenmesi için kullanılacak basit bir görsel açıklama**

Yukarıdaki görsel açıklama daha önce diyotun dinamik davranışı için kullanılmıştı. Aynı görsel açıklamayı transistor dinamik davranışları için de kullanabiliriz. Buna göre, şayet  $I_B$ - $V_{BE}$  davranışı için kullanırsak Y  $I_B$ 'yi, X ise  $V_{BE}$ 'yi gösterir. Dolayısıyla, karakteristikler  $I_B$ - $V_{BE}$  karakteristiğini gösterir.

$$I_B = aV_{BE} + b$$

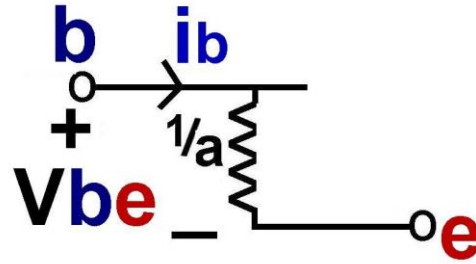
Bu ifadeye dikkate alındığında transistorun B-E arası davranışı aşağıdaki görseldeki modelle gösterebiliriz;



$$I_B = \frac{V_{BE}}{1/a} + b = aV_{BE} + b$$

**Şekil-2 BJT'nin B-E davranışının ac durum için tam modeli.**

Şekil-2'de görülen ifadeyi " $I_B = I_{BQ} + i_b = a(V_{BEQ} + v_{be}) + b$ " olarak yazabiliriz. Bu ifadeye  $I_{BQ}$  değeri çalışma bölgesinin ortasındaki akım değeridir.  $V_{BEQ}$  değeri de aynı noktadaki  $V_{BE}$  değeridir ( $I_{BQ} = aV_{BEQ} + b$  olup bu ifadedeki bütün büyüklükler sabittir). Söz konusu ifadedeki sabit terimlerin eşitliğinden  $i_b = a \cdot v_{be}$  eşitliği elde edilir. Dolayısıyla, Şekil-2'deki modeli sadece değişimleri gösterecek hale getirirsek aşağıda Şekil-3'ü elde ederiz. Burada küçük harflerle gösterilen  $v_{be}$  ve  $i_b$  değerleri sırasıyla B-E gerilimdeki değişimi ve B akımındaki değişimi temsil etmektedir.



$$i_b = \frac{V_{be}}{1/a} = aV_{be}$$

Şekil-3 BJT'nin B-E davranışının ac durumda sadece değişimler için modeli.

Şekil-1'e dikkat edilirse a değerinin kullanılan eğri parçasının ortak noktasındaki eğim olacağı görülür (IBQ-VBEQ noktasındaki eğim). Dolayısıyla B-E davranışı açısından bu değer

$$a = dI_B/dV_{BE} \quad (D1)$$

olacaktır. BJT'nin DC analizi için B-E davranışını  $V_{BE}=0,6V$  olarak modelleyebiliriz. Çünkü, DC durumda  $V_{BE}$  gerilimi 0,55V-0,65V aralığında değişir. Oysa kaynak gerilimleri birkaç V mertebesindedir. Sonuç olarak,  $V_{BE}$ 'nin değişimi ihmal edilip  $V_{BE}=0,6V$  almak hesaplamalarda yeterince düşük hatalara sebep olur. Oysa, ac durumdaki gerilim değişimleri mV'lar mertebesinde olabilmektedir. Böyle bir durumda  $V_{BE}$ 'deki 100mV'luk değişim aralığı ihmal edilemez. Yani ac durumda  $V_{BE}=0,6V$  modellenmesi kullanılamaz. Daha ayrıntılı bir modele ihtiyaç olur. Bundan dolayı, ac durumda

$$I_B = (I_{SE} / \beta_F) \exp(V_{BE}/VT) \quad (D2)$$

modeli kullanılır. D2 ifadesi D1'de kullanılırsa

$$a = (1/VT) (I_{SE} / \beta_F) \exp(V_{BE}/VT) = I_{BQ}/VT = I_{CQ} / \beta_F VT \quad (D3)$$

elde edilmiş olur. Burada  $I_{BQ}$  ifadesi türev alınan noktadaki  $I_B$  değeridir. Bu değer DC analiz ile elde edilir.  $I_{BQ}$  değerinin elde edildiği analizde BJT'nin verilmiş genel ifadeleri kullanılır. Şekil-2'de verilen model bu adımda kullanılamaz, çünkü transistorun kullanacağı karakteristik üzerindeki bölge başlangıçta bilinmemektedir.

Sonuç olarak, **ac analiz** için

1-önce DC analiz yapılır. Bu analizde BJT'nin verilmiş genel bağıntıları kullanılır.

2-Sonra elde edilen DC  $I_B$  değeri ile ( $I_{BQ}$  değeri ile) a değeri D3 bağıntısı ile elde edilir.

3- Devredeki sabit kaynaklar sıfırlanır (bağımsız DC gerilim kaynakları kısa devre, bağımsız DC akım kaynakları açık devre yapılır).

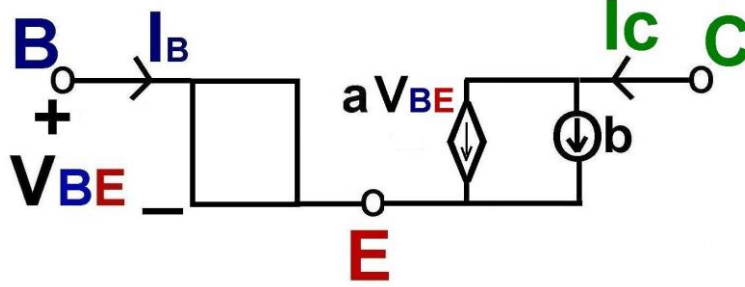
4- Elde edilen a değeri, Şekil-3'teki modelle ac durumda değişimleri analiz etmek için, BJT'nin BE davranışının modellenmesi için kullanılır.

**NOT: Açıklanan 4 aşamalı inceleme devre analizinde toplamsallık ilkesinin bir uygulamasıdır. BJT nonlineer eleman olmakla birlikte ac durumda yaklaşık lineer elemana dönüşür.**

Yukarıda B-E ac davranışı için yapılanların aynısı B-C davranışı için de uygulayabiliriz. Bu durumda Şekil-1'deki karakteristikler IC-VBE karakteristikleri olur.

$$I_C = aV_{BE} + b$$

Bu ifadeye dikkate alındığında transistorun ac davranışını aşağıdaki görseldeki modelle gösterebiliriz;

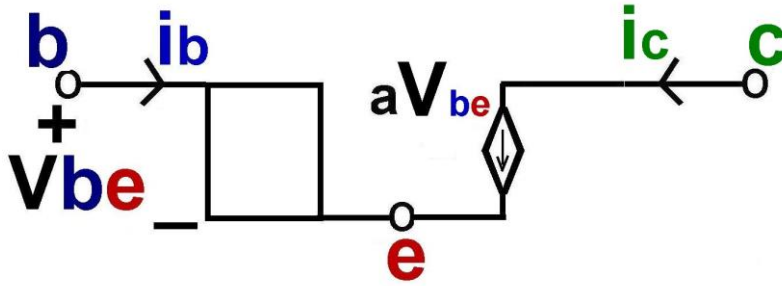


$$I_C = aV_{BE} + b$$

Şekil-4 BJT'nin ac durum için tam modeli.

Şekil-4'te  $I_C = aV_{BE} + b$  ifadesindeki  $aV_{BE}$  terimi kontrollü kaynakla modellenmiştir. Çünkü  $I_C$  akımı başka bir yerdeki (aynı yerde olmayan) bir gerilime ( $V_{BE}$ ) bağlı olmaktadır.

Şekil-4'te görülen ifadeyi " $I_C = I_{CQ} + i_c = a(V_{BEQ} + v_{be}) + b$ " olarak yazabiliriz. Bu ifadeye  $I_{CQ}$  değeri çalışma bölgesinin ortasındaki akım değeridir.  $V_{BEQ}$  değeri de aynı noktadaki  $V_{BE}$  değeridir ( $I_{CQ} = aV_{BEQ} + b$  olup bu ifadedeki bütün büyüklükler sabittir). Dolayısıyla, Şekil-4'teki modeli sadece değişimleri gösterecek hale getirirsek aşağıda Şekil-3'ü elde ederiz. Burada küçük harflerle gösterilen  $v_{be}$  ve  $i_c$  değerleri sırasıyla B-E gerilimdeki değişimi ve  $I_C$  akımındaki değişimi temsil etmektedir.



$$i_c = aV_{be}$$

Şekil-5 BJT'nin B-C davranışının ac durumda sadece değişimler için modeli.

Şekil-1'e dikkat edilirse  $a$  değerinin kullanılan eğri parçasının ortak noktasındaki eğim olacağı görülür ( $I_{CQ}$ - $V_{BEQ}$  noktasındaki eğim). Dolayısıyla B-C davranışı açısından bu değer

$$a = dI_C/dV_{BE} \quad (D4)$$

$I_C$ 'nin  $V_{BE}$ 'ye bağlı ifadesi

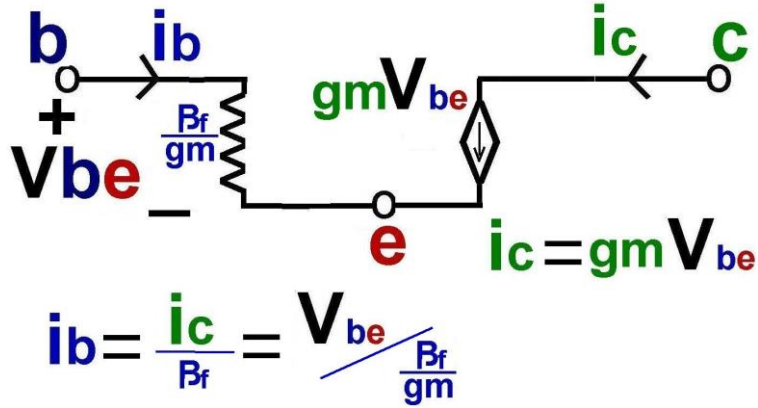
$$I_C = I_{SE} \exp(V_{BE}/VT) \quad (D5)$$

Olarak vermişti. D5 ifadesi D4'te kullanılırsa

$$a = (1/VT) I_{SE} \exp(V_{BE}/VT) = ICQ/VT \quad (a=gm) \quad (D6)$$

elde edilmiş olur. Burada ICQ ifadesi türev alınan noktadaki IC değeridir. Bu değer DC analiz ile e ismi Ide edilir. ICQ değerinin elde edildiği analizde BJT'nin verilmiş genel ifadeleri kullanılır. Şekil-4'te verilen model kullanılamaz. Çünkü, transistorun kullanacağı eğri parçası başlangıçta bilinmemektedir.

D6 ifadesinde edlde a değeri için genellikle gm ismi kullanılır. Bu durumda D3 bağıntısıyla elde edilen a değeri gm/  $\beta_F$  değerine eşit olur. Bu sonuçlar dikkate alındığında BJT'nin ac durumda sadece değişimler için modeli aşağıda Şekil-6'da olduğu gibi elde edilir.



Şekil-6 ac durumda BJT'nin B-E ve B-C davranışlarının her ikisinin birlikte içerildiği sadece değişimlere dair olan model.

Sonuç olarak, hem B-E hem de B-C ac davranışlarının analizi için

1-önce DC analiz yapılır. Bu analizde BJT'nin verilmiş genel bağıntıları kullanılır.

2-Sonra elde edilen DC IC değeri ile (ICQ değeri ile) gm değeri D6 bağıntısı ile elde edilir.

3- Devredeki sabit kaynaklar sıfırlanır (bağımsız DC gerilim kaynakları kısa devre, bağımsız DC akım kaynakları açık devre yapılır).

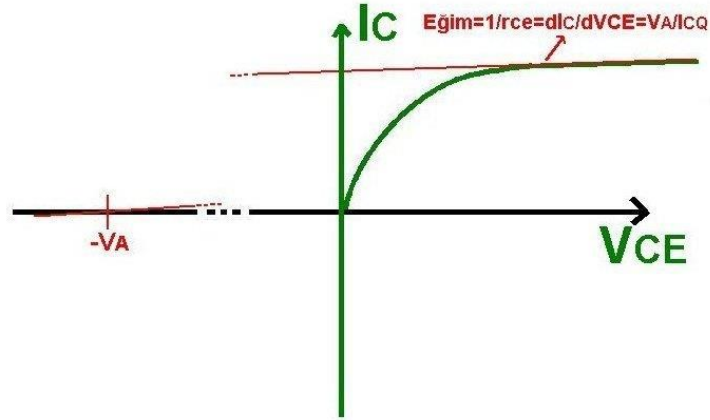
4- Elde edilen gm değeri, Şekil-6'daki modelle ac durumda değişimleri analiz etmek üzere, BJT'nin davranışının modellenmesi için kullanılır.

\*\*\*\*\*

## ELEKTRONİK-II'de İŞLENEN KONULAR AŞAĞIDADIR

## IC-VCE KARAKTERİSTİĞİNİN AKTİF BÖLGEDEKİ EĞİMİNİN DİKKATE ALINMASI

IC-VCE karakteristiğinin aktif bölgedeki eğimi çok düşüktür. IC akımı aktif bölgede VCE gerilimi ile çok az değişir. Bu eğim ne kadar azalır, ideal transistor davranışına o kadar yaklaşmış olur. Bu eğimin transistorun ac davranışa etkisi genel de ihmal edilebilmektedir. Ancak, özellikle tümdevre uygulamalarında bu eğimin etkisini dikkate almak gerekli olmaktadır. Aşağıda Şekil-7'de bu eğimin etkisinin ac modellemesi açıklanmaktadır.

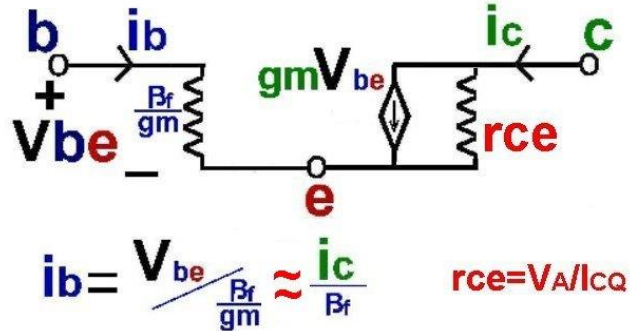


Aktif bölgede, ac durumunda, IC'nin VCE ile değişimini modellemek için rce direnci kullanılabilir. Bu direncin değeri IC-VCE karakteristiğinin aktif bölgedeki türevinden elde edilir.

$$I_C = I_{SE} \cdot \exp(V_{BE}/V_T) (1 + V_{CE}/V_A)$$

$$dI_C/dV_{CE} = (1/V_A) (I_{SE} \cdot \exp(V_{BE}/V_T)) = (1/V_A) \cdot I_{CQ}$$

$$r_{ce} = V_A/I_{CQ}$$



Şekil-7 IC-VCE ilişkisinin aktif bölgede basit bir şekilde modellenmesi.

Burada görünen VA büyüklüğü transistorun Early parametresidir. DC modelde IC ifadesine (1+VCE/VA) ifadesi eklenerek aktif bölgedeki IC-VCE davranışı modellenmektedir. ac durumda ise bu davranış rce=VA/ICQ ile modellenmektedir.

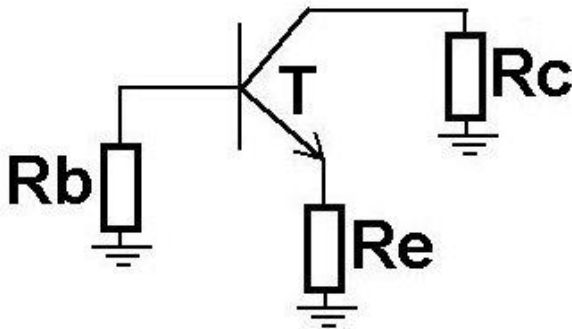
NOT:Aktif bölgede IC'nin VCE ile değişiminin fiziksel sebebi VCE gerilimi ile BC diyodunun fakirleşmiş bölgesinin genişliğinin değişmesi ve bunun sonucu olarak baz bölgesinin genişliğinin değişmesidir. Baz bölgesi ne kadar dar olursa  $\beta_F$  o kadar büyük olur. Ancak gerilim-akım modeline bu davranışı  $\beta_F$  üzerinden değil direkt akım bağıntısına (1+VCE/VA) terimini ekleyerek yansıtıyoruz. Bu daha kolay bir bağıntıyı bize veriyor. Böylece yeterince doğru bir modeli mümkün olduğunca basit bir şekilde elde etmiş oluyoruz.

NOT: rce etkisi özellikle kollektör direnci kullanıldığında genelde ihmal edilir.

## KUVVETLENDİRİCİLERİN ac DAVRANIŞININ SİSTEMETİK ANALİZİ

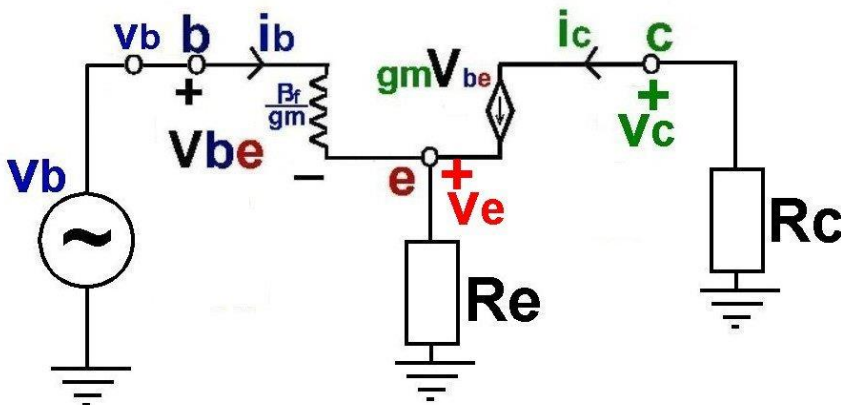
Bir elektronik devre olarak **kuvvetlendirici devreler** girişlerindeki işaretin genliğini büyütürken çıkış işaretini oluştururlar. Frekansını deęiřtirmezler. Faz deęiřimi olabilir de olmayabilir de.

**Kuvvetlendirici** devrelerin olmazsa olmaz elemanı **transistordur**. Genelde kuvvetlendirici devrelerin analizleri ac yaklařımlarla yapılabilmektedir (giriř iřaretlerinin düşük genlikli olması durumunda). Bu durumda transistörler yaklařık lineer davranıř göstermekte ve ac modelleri kullanılabilir hale gelmektedir. ac durumda (ac kaynaklar sıfırlandığında ve devrede geribesleme yoksa) bir transistör için portlarının dıřındaki devre yapılarının davranıřı birer direnç ile modellenebilir. Böylece, ac durumda her bir transistör için ařaęıda Őekil-8'de görünen ac durum modeli kullanılabilir.



Şekil-8 Bir BJT'nin portlarında ac durumda oluřan etkilerin genel durumu modeli.

Şekil-8'de görülen  $R_b$ ,  $R_c$  ve  $R_e$  dirençleri ac durumda transistörün (sırasıyla) baz, kolektör ve emetör portlarında oluřan ac etkileri göstermektedir. Bu dirençler tek bir direncin etkisini içerebileceęi gibi bir çok elemanın birlikte oluřturduęu bir etkiyi de içerebilir. Bu etkinin sadece bir direnç ile modellenebilmesi Thevenin (Norton) eřdeęer devreleri hatırlanarak anlařılabilir. Bir lineer devrenin bir kapısının davranıřı seri bir gerilim kaynaęı ve bir direnç ile verilebilir (Thevenin) veya paralel bir akım kaynaęı ve bir direnç ile verilebilir (Norton). Eęer devrede baęımsız kaynak yok ise Thevenin ve Norton eřdeęer yapılarıdaki kaynaklar sıfırlanır. Geriye sadece bir direnç kalır. Bundan dolayı, bir transistörün dıřındaki yapılarda baęımsız kaynak yok ise o yapılar (ac durumda) sadece birer direnç ile modellenebilir.



Şekil-9 ac iřaretin önce baz portuna gelmesi durumunda ac analiz için oluřturulan model.

Şayet ac giriř iřareti önce baz portuna geliyorsa üstte görünen Őekil-9 geçerli olur ( $r_{ce} \gg R_c$  varsayımı ile  $r_{ce}$  ihmal edilmiřtir). Őekil-9'daki  $v_b$  kaynaęı direkt olarak baza uygulanmıř bir baęımsız ac kaynaęı gösterebileceęi gibi, bařka elemanlar üzerinden baza gelen ac iřareti de gösterebilir (bir düęüm için gerilim tanımlanırsa o gerilimi bir baęımsız kaynakla gösterebiliriz). Bu Őekilde görünen  $i_b$  ve  $i_c$  akımları Őu Őekilde verilebilir.

$$i_b = v_{be} / (\beta_F / g_m)$$

$$i_c = g_m \cdot v_{be}$$

$$i_e = i_b + i_c$$

eşitliği Kirchoff'un akım yasasından elde edilir. Burada hareketle

$$v_e = i_e \cdot R_e = (i_b + i_c) \cdot R_e = (g_m / \beta_F + g_m) \cdot v_{be} \cdot R_e$$

$$v_{be} = v_b - v_e$$

$$v_e = (g_m / \beta_F + g_m) \cdot v_b \cdot R_e - (g_m / \beta_F + g_m) \cdot v_e \cdot R_e$$

Bu ifadede görünen  $g_m / \beta_F$  terimi ihmal edilebilir bir terimdir. Çünkü  $\beta_F$  değeri 100 mertebesindedir. Buradan hareketle  $v_e - v_b$  gerilimleri içi aşağıdaki ifade elde edilir;

$$v_e = [g_m \cdot R_e / (1 + g_m R_e)] \cdot v_b$$

Bu ifade genelde şöyle gösterilir;

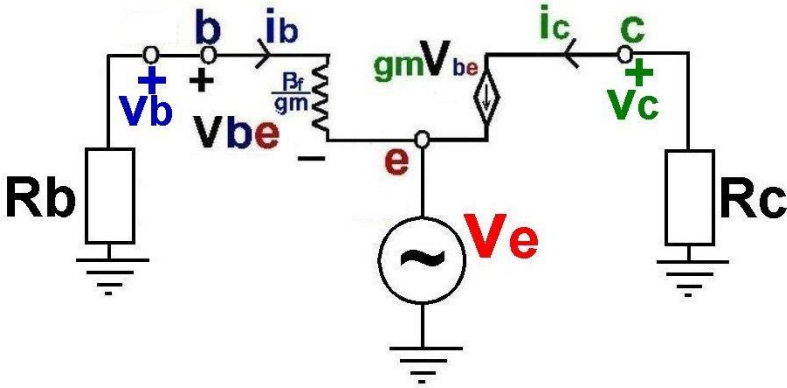
$$v_e / v_b = [g_m \cdot R_e / (1 + g_m R_e)] \quad (1)$$

Şekil-9'da görünen yapı bazın giriş olduğu bir yapıdır. Emetördeki işaretin çıkış olarak kullanılması durumunda yapının ismi **emetör çıkışlı** olarak isimlendirilir ve (1) bağıntısı ile transfer ilişkisi (kazancı) verilir. Diğer taraftan, kolektörün çıkış olarak kullanılması mümkündür. Şekil-9'da, kolektör portu için aşağıdaki ifadeler elde edilir.

$$v_c = -i_c \cdot R_c = -g_m \cdot v_{be} \cdot R_c = -g_m \cdot (v_b - v_e) \cdot R_c = -g_m (v_b - v_b \cdot [g_m \cdot R_e / (1 + g_m R_e)]) \cdot R_c$$

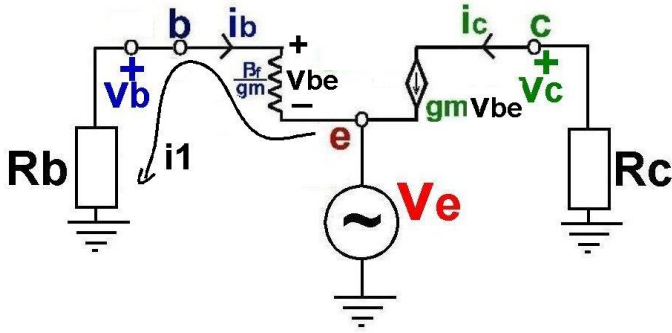
$$v_c / v_b = -g_m R_c / (1 + g_m R_e) \quad (2)$$

Şekil-9'da görünen yapı bazın giriş olduğu bir yapıdır. Kolektördeki işaretin çıkış olarak kullanılması durumunda yapının ismi **ortak emetörlü** olarak isimlendirilir ve (2) bağıntısı ile transfer ilişkisi (kazancı) verilir.



Şekil-10 ac işaretin önce emetör portuna gelmesi durumundaki ac analiz için oluşturulan model.

Şayet ac giriş işareti önce emetör portuna geliyorsa üstte görünen şekil-10 geçerli olur ( $r_{ce} \gg R_c$  varsayımı ile  $r_{ce}$  ihmal edilmiştir). Şekil-10'daki  $v_e$  kaynağı direkt olarak emetöre uygulanmış bir bağımsız ac kaynağı gösterebileceği gibi, başka elemanlar üzerinden emetöre gelen ac işareti de gösterebilir (bir düğüm için gerilim tanımlanırsa o gerilimi bir bağımsız kaynakla gösterebiliriz). Şekil-10 analizi kolaylaştırmak için Şekil-11'deki halde verilebilir



Şekil-11 ac işaretin önce emetör portuna gelmesi durumundaki ac analiz için oluşturulan model.

Şekil-11 için aşağıda ifadeler geçerli olur.

$$i_1 = v_e / (r_{be} + R_b)$$

$$r_{be} = \beta_F / g_m$$

$$i_b = -i_1$$

Bu ifadelerden vbe gerilimi elde edilir.

$$v_{be} = i_b \cdot r_{be} = -i_1 \cdot r_{be} = -v_e \cdot r_{be} / (r_{be} + R_b) = -v_e \cdot (\beta_F / g_m) / [(\beta_F / g_m) + R_b]$$

vbe elde edilince ic ve vc elde edilmiş olur.

$$i_c = g_m \cdot v_{be}$$

$$v_c = -i_c \cdot R_c = g_m \cdot v_e \cdot (\beta_F / g_m) \cdot R_c / [(\beta_F / g_m) + R_b]$$

$$v_c / v_e = g_m \cdot R_c / (1 + g_m \cdot R_b / \beta_F) \quad (3)$$

Sonuç olarak (3) ifadesine ulaşılır. Bu ifade **ortak bazlı** kazanç ifadesidir. Ortak bazlı yapıda giriş işareti emetöre uygulanır ve çıkış işareti kolektörden alınır.

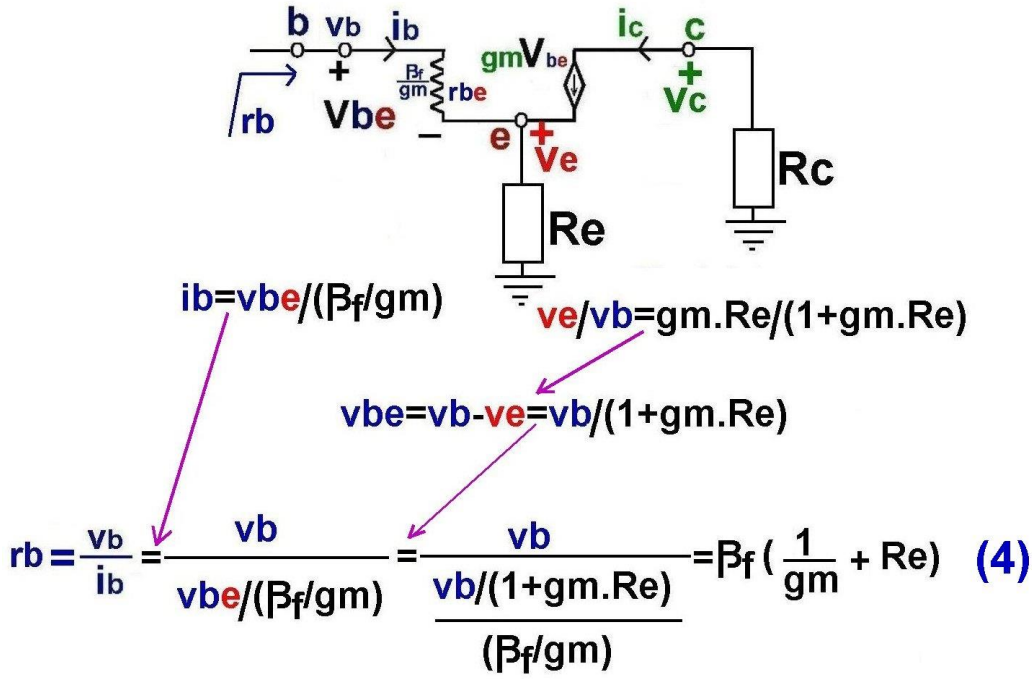
\*\*\*\*\*

## ac durumda port dirençlerinin elde edilmesi

Yukarıda, Şekil-8 için yapılan açıklamalar transistorların port dirençleri için de geçerlidir. Burada, port dirençlerinden kasıt (BJT için) baz, emetör ve kolektör dirençleridir (kolektör direnci bu aşamada incelenmeyecektir). Örneğin, baza gelen bir ac gerilim işaretinin, bu gerilime karşılık oluşan baz akımına oranına baz port direnci veya kısaca bazdan görünen direnç denilmektedir.

Aşağıda, Şekil-12'de bazdan görünen direnç (rb) için elde edilen analiz verilmektedir. Baz port direnci analizi için  $r_{ce} \gg R_c$  şartı geçerli varsayılmış olup transistorun ac modelinde rce gösterilmemiştir (ihmal edilmiştir).

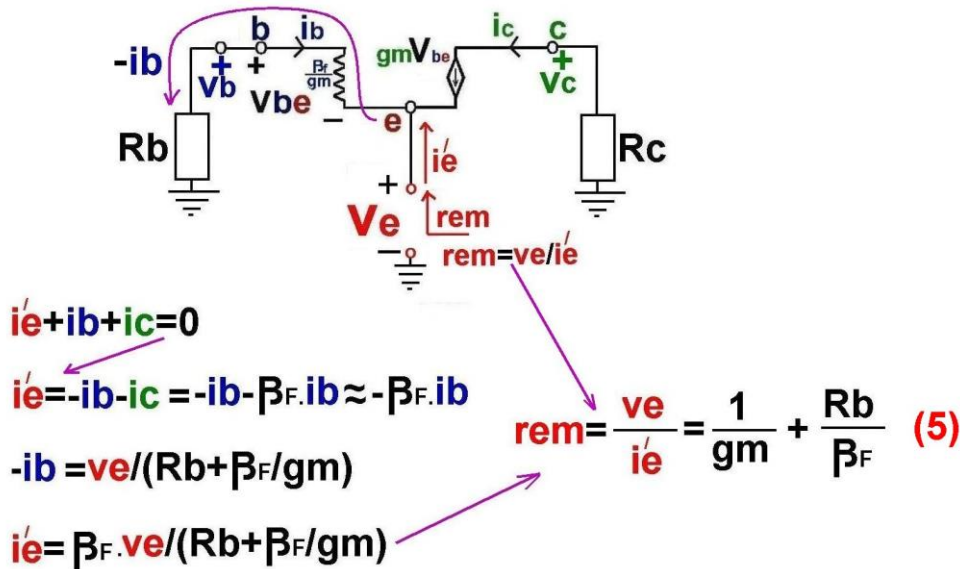




Şekil-12 ac durumda BJT'nin baz direncinin elde edilmesi.

Şekil-12'deki analiz ile  $r_b$  direnci (4) bağıntısı olarak elde edilmiştir. Bu bağıntıdan görüldüğü gibi emetördeki direnç ( $R_e$ )  $r_b$  direncini  $\beta_f$  ile çarpılarak etkilemektedir. Yani, emetörde direnç varsa bazdan görünen direnç genel durumda çok büyük değerli olabilmektedir.

Aşağıda, Şekil-13'te emetör port direnci ( $r_{em}$ ) için elde edilen analiz verilmektedir. Emetör port direnci analizi için  $r_{ce} \gg R_c$  şartı geçerli varsayılmış olup transistorun ac modelinde  $r_{ce}$  gösterilmemiştir (ihmal edilmiştir).

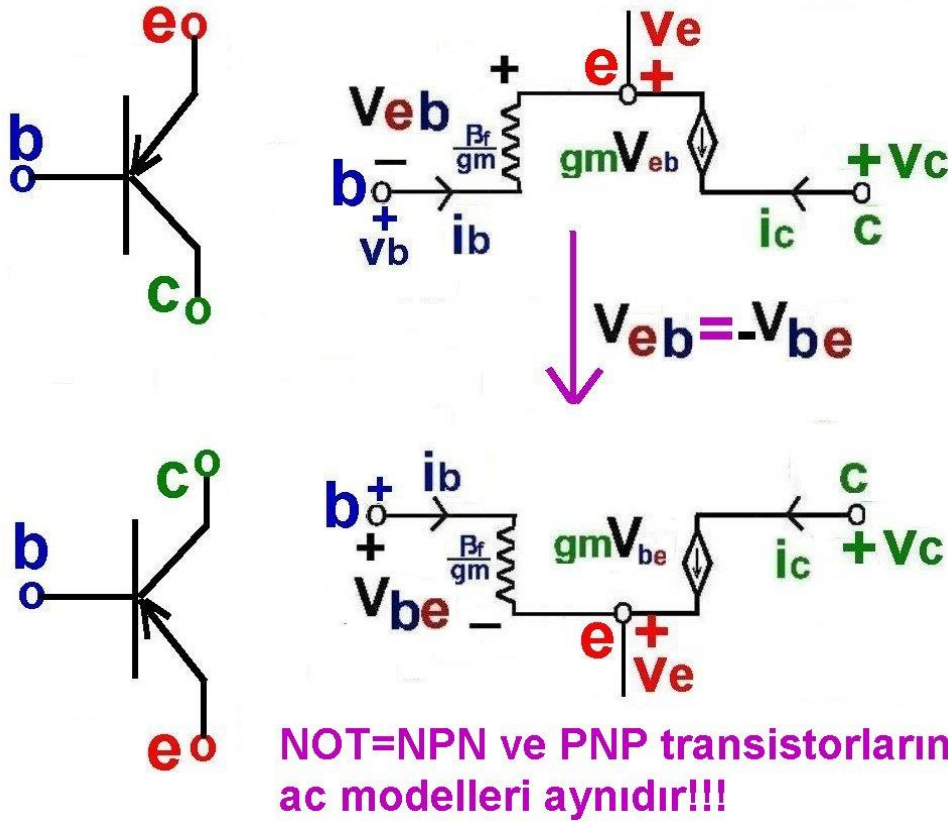


Şekil-13 ac durumda BJT'nin emetörden görünen direncin elde edilmesi.

Şekil-13'teki analiz ile  $r_{em}$  direnci (5) bağıntısı olarak elde edilmiştir. Bu bağıntıdan görüldüğü gibi bazdaki direnç ( $R_b$ ) "emetörden görünen direnci ( $r_{em}$ )"  $\beta_f$  değerine bölünerek etkilemektedir. Yani, emetör port direnci genel durumda düşük değerli olabilmektedir.

\*\*\*\*\*

## NPN ve PNP transistorların eş ac modele sahip olduğunun gösterilmesi



**NOT=NPN ve PNP transistorların ac modelleri aynıdır!!!**

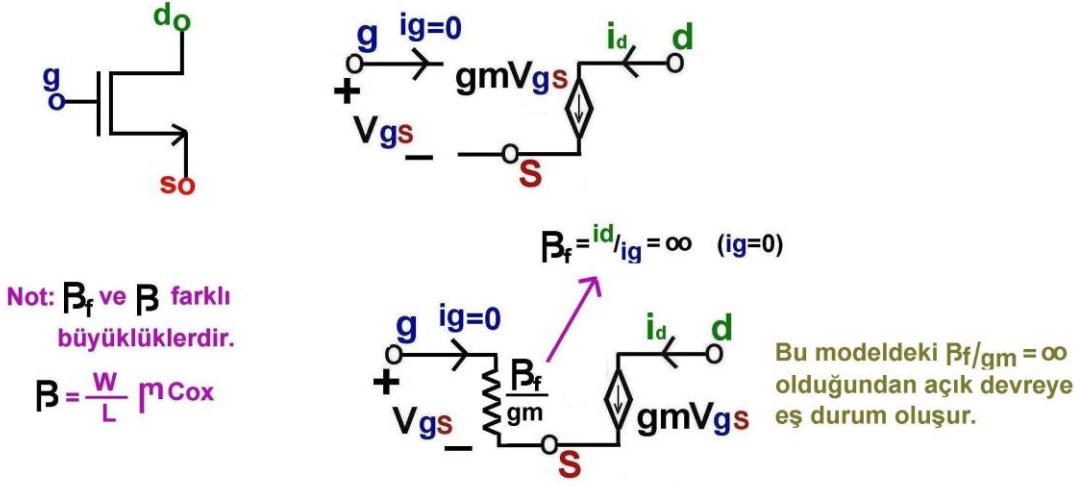
Şekil-14 NPN ve PNP transistorların ac modellerinin eş olması.

Şekil-14'te NPN ve PNP transistorların ac modellerinin eş olması gösterilmektedir. Orijinal (üstteki) durumda  $v_{eb}$  gerilimi sebebi ile emetörden kolektöre  $gm.v_{eb}$  değerli bir akım tanımlanır. Şayet  $v_{eb}$  yerine  $v_{be}$  kullanılırsa  $gm.v_{be}$  değerli akım ters yönlü olur ve kolektörden emetöre gösterilir. Bu durumda ortaya çıkan model NPN transistorun ac modeli ile aynıdır.

NPN ve PNP transistorların ac modelleri aynı olduğundan NPN transistor için elde etmiş ac bağıntılar (1-5) PNP transistor için de geçerli olur.

\*\*\*\*\*

## ac durumda MOSFET ile BJT'nin modellerinin eş olduğunun gösterilmesi



**Açıklama-1:** MOSFET için  $\beta_f$  parametresi matematiksel olarak kullanılabilir. Bu durumda BJT ve MOSFET ac modelleri tamamen aynı olur. Sadece gm hesaplaması için farklı ifadeler kullanılır.

**Açıklama-2:** Elektronik-2 kapsamında kullanılan modeller dikkate alındığında BJT ve MOSFET matematiksel olarak aynı ac modellere sahip olmaktadır. Bundan dolayı, BJT için elde edilen ac bağıntılar MOSFET için de kullanılabilir.

**Açıklama-3:** BJT'de açıklandığı gibi MOSFET'te de NMOS ve PMOS transistörler aynı ac modele sahiptir.

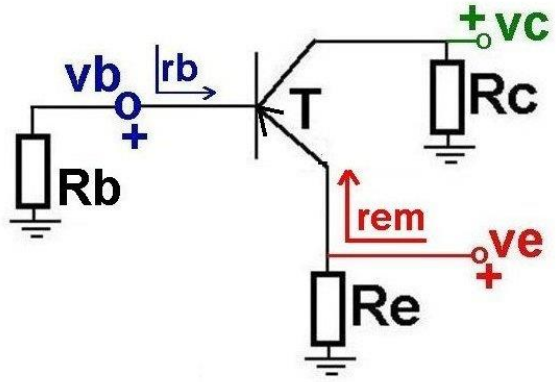
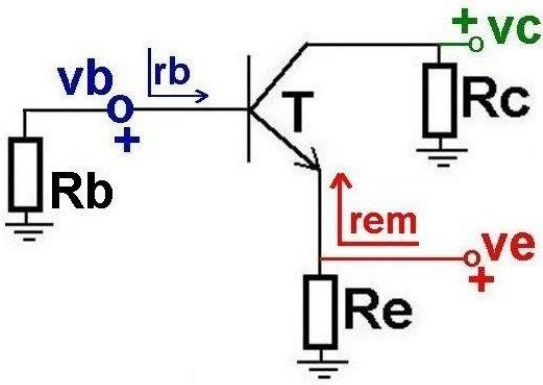
**Sonuç olarak NPN-BJT için elde edilen bağıntılar PNP-BJT, NMOS ve PMOS transistörler için de kullanılabilir. Bu amaçla, bağıntılarında MOS transistörler için  $\beta_f = \infty$  almak yeterli olacaktır.**

Şekil-15  $\beta_f$  parametresi  $\infty$  alınarak MOSFET ac modelinin BJT modeli ile eş hale getirilmesi

Şekil-15'te MOSFET'in ac modelinin matematiksel olarak BJT ac modeli ile eş hale getirilebileceği gösterilmektedir. Bilindiği gibi MOSFET'in geçit (g) akımı sıfırdır. Bu durumda  $\beta_f = id/ig$  akım kazancı parametresi MOSFET için  $\infty$  olur. Dolayısıyla, açık devre olan geçit-sors portları arasındaki durum  $\beta_f/gm = \infty$  değerli bir direnç ile gösterilebilir. Sonuç olarak, MOSFET ac modeli BJT ac modeli ile eş hale gelir. Böylece, BJT için elde edilen ac bağıntılar MOSFET için de  $\beta_f = \infty$  şartı altında geçerli olur.

Şekil-14'te verilen NPN ve PNP transistörleri ac durumda modellerinin eş olduğuna dair görsel açıklama NMOS ve PMOS transistörler için de kullanılabilir. Dolayısıyla, NMOS transistör ve PMOS transistör eş ac modellere sahiptir. Sonuç olarak, NPN, PNP, NMOS ve PMOS transistörler aynı ac bağıntılara sahip olacaktır. Burada önemli olan tek nokta MOS ac bağıntılarında  $\beta_f = \infty$  eşitliğinin geçerli olmasıdır ( $\beta_f$  ve  $\beta$  bağıntılarının farklı olduğuna dikkat ediniz).

## NPN ve PNP transistorların ac bağıntıları



ac işaret ilk olarak baza geliyor  
ve çıkış kolektörden alınıyorsa

$$\frac{v_c}{v_b} = \frac{-g_m R_c}{1 + g_m R_e} \quad (1)$$

ac işaret ilk olarak baza geliyor  
ve çıkış emetörde alınıyorsa

$$\frac{v_e}{v_b} = \frac{+g_m R_e}{1 + g_m R_e} \quad (2)$$

ac işaret ilk olarak emetöre geliyor  
ve çıkış kolektörden alınıyorsa

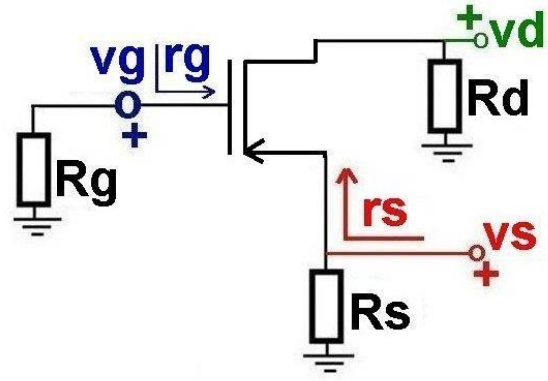
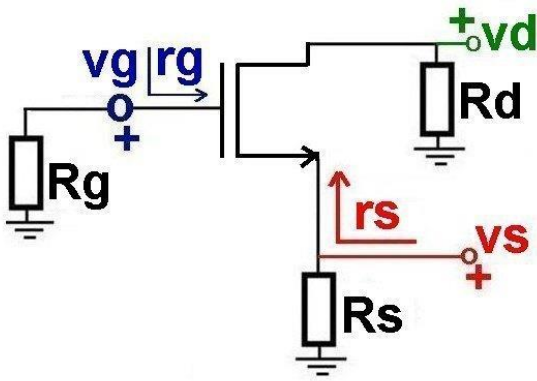
$$\frac{v_c}{v_e} = \frac{g_m R_c}{1 + g_m \frac{R_b}{\beta_f}} \quad (3)$$

$$r_b = \beta_f \left( \frac{1}{g_m} + R_e \right) \quad (4)$$

Port Dirençleri

$$r_{em} = \frac{1}{g_m} + \frac{R_b}{\beta_f} \quad (5)$$

NMOS ve PMOS transistorların ac bağıntıları ( $\beta_f = \infty$ )



ac işaret önce geçite geliyor  
ve dreynden çıkış alınıyorsa

$$\frac{v_d}{v_g} = \frac{-g_m R_d}{1 + g_m R_s} \quad (1.2)$$

ac işaret önce geçite geliyor  
ve sorstan çıkış alınıyorsa

$$\frac{v_s}{v_g} = \frac{+g_m R_s}{1 + g_m R_s} \quad (2.2)$$

ac işaret önce sorsa geliyor  
ve dreynden çıkış alınıyorsa

$$\frac{v_d}{v_s} = g_m R_d \quad (3.2)$$

Port Dirençleri

$$r_g = \infty \quad (4.2)$$

$$r_s = \frac{1}{g_m} \quad (5.2)$$