

# ELE415

## Analog Tümdevreler

### Ödev 2, Grup 4 ve Grup 5 (3 Aralık 2012, Süre 2 haftadır)

0.35µm CMOS teknolojisi ile iki kazanç katlı bir işlemsel kuvvetlendirici gerçekleştirilecektir. İşlemsel kuvvetlendiricinin sağlaması gereken özellikler aşağıdaki tabloda verilmiştir. Devre  $V_{DD} = V_{SS} = 1.5V$ 'luk simetrik kaynaktan beslenecektir. **Grup 4 giriş katında NMOS, Grup 5 PMOS transistör kullanılacaktır.**

Tablo 1: Sağlanması gereken özellikler:

Açık Çevrim Kazancı	$> 70dB$
Yükselme Eğimi	$> 5V/\mu s$
Çıkış salınım aralığı	$-0.9V \leq V_O \leq 0.9V$
Birim kazanç band genişliği	$f_i \geq 2MHz$
CMRR	$> 60dB$

a- İşlemsel kuvvetlendiriciyi tasarlayınız, sistematik dengesizlik olmayacak şekilde devredeki transistörlerin boyutlarını ve kutuplama akımlarını belirleyiniz. (Transistörler için minimum boyutların  $W_{min}, L_{min} \geq 2 \times 0.35\mu m$  olacak şekilde seçilmesi yararlı olur).

SPICE benzetim programı yardımıyla işlemsel kuvvetlendiricinin

b- DC gerilim geçiş karakteristiğini çıkartınız;

c- giriş dengesizlik gerilimini belirleyiniz.

d- Kuvvetlendiriciyi çıkış gerilimi 0V olacak biçimde kutuplayarak SPICE programı yardımıyla yüksüz durumdaki (yeteri kadar büyük değerli  $R_L$ ) açık çevrim frekans eğrisini çıkartınız.

e- Kompanzasyon uygulayarak devreyi kararlı hale getiriniz, bunun için gereken

f-  $C_C$  değerini ve  $R_z$  sıfırlama direncine verilmesi gereken değeri belirleyiniz.

g- Kompanzasyonlu durumda devrenin açık çevrim frekans eğrisini ve çıkış işaretinin yükselme eğimini inceleyiniz.

h- Kuvvetlendiricinin ortak işaret davranışını inceleyiniz. CMRR ortak işaret zayıflatma oranını belirleyiniz.

i- Elde ettiğiniz sonuçları yorumlayınız. Tasarım hedeflerine ulaşamadığınızı irdeleyiniz.

**NOT: Yapılan hesapları, elde edilen sonuçları, bunların yorumunu kapsamlı biçimde içeren bir rapor hazırlanacaktır. 0.35 µm CMOS teknolojisine ilişkin model parametreleri sayfada verilen adresten sağlanacaktır.**