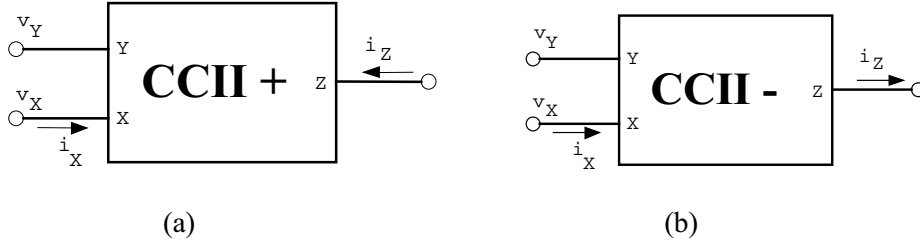


## 5. CMOS AKIM TAŞIYICI

Akım taşıyıcı, akımın çok farklı empedans seviyelerindeki iki kapı arasında taşındığı üç kapılı aktif bir devre olarak tanımlanabilir. İlk akım taşıyıcı olan birinci kuşak akım taşıyıcı (CCI) 1968 yılında Smith ve Sedra tarafından ortaya atılmıştır. 1970 yılında Smith ve Sedra daha kullanışlı bir akım taşıyıcı devresi olan ikinci kuşak akım taşıyıcı devresini (CCII) geliştirmişlerdir. Günümüzde, akım taşıyıcı denildiğinde, ikinci kuşak akım taşıyıcı (CCII) anlaşılmaktadır. Aktif eleman olarak akım taşıyıcının kullanılmasıyla çeşitli türden aktif devre yapılarını gerçekleştirmek mümkündür. Bu yapılara örnek olarak, aktif süzgeç ve osilatör devreleri verilebilir.



Şekil-5.1. Evirmeyen (CCII+) ve eviren (CCII-) türden ikinci kuşak akım taşıyıcıların devre sembolleri : a) evirmeyen türden akım taşıyıcı , b) eviren türden akım taşıyıcı.

Evirmeyen (CCII+) ve eviren (CCII-) türden ikinci kuşak akım taşıyıcıların devre sembolleri Şekil-5.1'de görülmektedir. CCII, aşağıda verilen bağıntılarla tanımlanan üç uçlu bir devredir.

$$\begin{aligned} v_X &= v_Y \\ i_Y &= 0 \end{aligned}$$

$$i_Z = \mp i_X \quad (5.1)$$

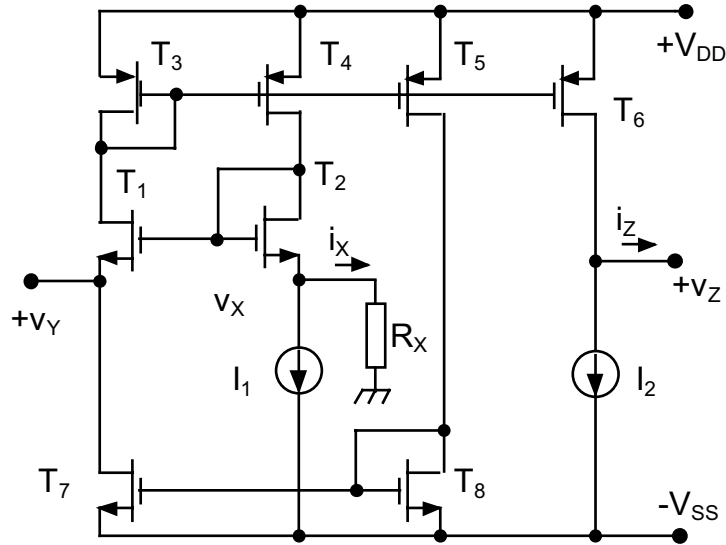
Bu bağıntılarda  $v_Y$ ,  $v_X$  büyüklükleri Y ve X uçlarındaki gerilimlerin,  $i_Y$ ,  $i_X$  ve  $i_Z$  büyüklükleri de Y, X ve Z uçlarına ilişkin akımların toplam ani değerini göstermektedir.

$i_Z = i_X$  ise CCII pozitif akım taşıyıcı adını alır ve CCII+ sembolü ile gösterilir.  $i_Z = -i_X$  ise CCII negatif akım taşıyıcı olarak isimlendirilir ve CCII- sembolü ile

belirtilir. (5.1) bağıntısından anlaşılacağı gibi, Y ve Z için küçük işaret uç empedansları büyük, x için ise küçük olmalıdır.

CCII'nin gerçekleştirilmesi için işlemsel kuvvetlendiriciler ve bipolar tranzistorlarla devre kurulmasına dayanan tasarım yöntemleri bulunmaktadır. Bu yöntemler, ilkesel olarak tümleştirilmeye elverişli olsalar bile, özellikle işlemsel kuvvetlendiricilerden yararlanılmasına yönelik olanlar, gerçekleştirilme açısından ekonomik değildirler. Bunun başlıca nedeni, her işlemsel kuvvetlendirici için kırmık üzerinde ayrı bir alana gereksinme duyulmasıdır. Karmaşık yapıdaki sistemlerin küçük boyutta gerçekleştirilmesini sağlayan CMOS teknolojisinin hızlı gelişimi sonucunda, son yıllarda, analog fonksiyonları gerçekleştiren ve akım taşıyıcıları da kapsayan CMOS devrelerin geniş çapta tümleştirilebilmesi mümkün kılınmıştır. Bu bölümde, CMOS tekniği ile gerçekleştirilebilen iki ayrı akım taşıyıcı yapısı ele alınacaktır.

### 5.1. CMOS CCII+ devresi



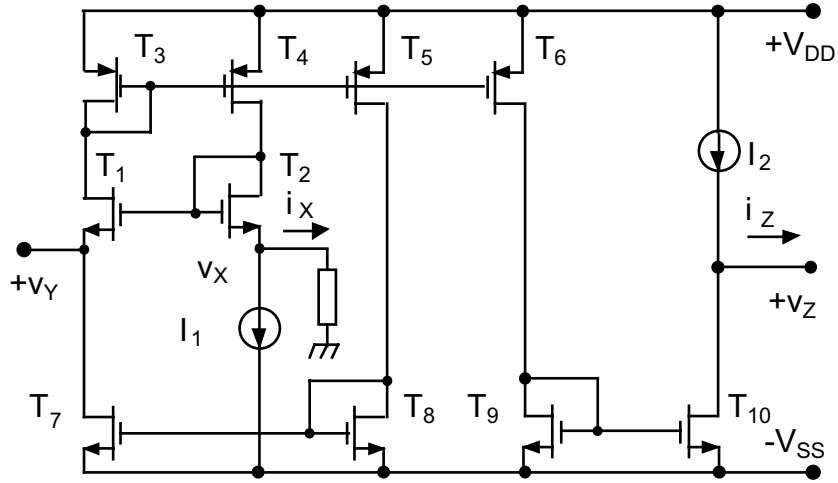
Şekil-5.2. Pozitif (evirmeyen) türden akım taşıyıcı yapısı.

CMOS tekniği ile gerçekleştirilen bir pozitif akım taşıyıcı devresi Şekil-5.2'de verilmiştir.  $T_3$ - $T_6$  PMOS tranzistorları ile  $T_7$ - $T_8$  NMOS tranzistorları akım aynası olarak görev yapmaktadır.  $I_1$  akım kaynağı devre için gerekli olan kutuplama akımını sağlar. Tranzistorların eş, akım aynalarının birim kazançlı oldukları ve tüm

tranzistorların doyma bölgesinde çalıştıkları varsayılınsın. Devrenin çalışması aşağıdaki biçimde açıklanabilir:

$T_3$ - $T_4$  tranzistorları  $T_1$  ve  $T_2$  tranzistorlarından birbirine eş akımların akmasını sağlarlar. Böylece  $V_{GS1} = V_{GS2}$  olur ki, bu da  $v_Y = v_X$  olmasını sağlar.  $R_X$  direncinden akan  $i_X$  akımı  $T_2$  tranzistorundan ve  $T_3$ - $T_4$  akım aynasından da akar.  $V_X > 0$  olması durumunda  $i_X = v_X/R_X$  akımı x ucundan dışarıya doğru akacak, dolayısıyla  $T_3$ - $T_4$  akım kaynağının akımı  $I_1 + i_X$  olacaktır. Bu akım,  $T_5$  tranzistoru ve  $T_7$ - $T_8$  akım aynası ile Y ucuna yansıtılarak  $T_1$  tranzistorunun kaynak akımındaki değişimi kompanze eder, böylece  $i_Y$  daima sıfır olur. Aynı zamanda,  $T_6$  tranzistoru  $I_1 + i_X$  akımını Z ucuna yansıtacaktır. Bu durumda,  $I_1 = I_2$  yapılırsa, Z ucundan dışarıya doğru  $i_Z = i_X$  akımı akar. Fark edilebileceği gibi,  $i_Z$  akımının yönü  $i_X$  akımı ile aynıdır. Bu nedenle, devre, **pozitif (evirmeyen türden) akım taşıyıcı (CCII+)** olarak isimlendirilir.

### 5.2. Negatif akım taşıyıcı (CCII-)



Şekil-5.3. Negatif (faz döndüren türden) akım taşıyıcı yapısı.

Negatif akım taşıyıcı yapısı Şekil-5.3'de verilmiştir. Bu devre, Şekil-5.2'deki devreden türetilmiştir. Yapıda,  $T_9$  ve  $T_{10}$  tranzistorları  $I_1 + i_X$  akımını Z ucuna yansıtırlar.  $I_2 = I_1$  yapılması durumunda, z ucundan içeriye doğru bir  $i_Z = i_X$  akımı akar.

### 5.3. Akım taşıyıcının performansı

Buraya kadar yapılan incelemelerde bütün tranzistorların eş oldukları ve doyma bölgesinde çalıştıkları varsayılmıştır. Pratikte ise, tranzistorların birbirine tam olarak eş olmamalarından ileri gelen bir hatanın ortaya çıkacağı ve bu hatanın, yapının performansında ideal performansa göre bazı sapmalara neden olacağı açıktır.

Şekil-5.2'deki devre ele alınsın.  $I_1$  akım kaynağının çıkış direnci sonsuz kabul edilsin. Bu durumda, küçük işaretler için  $v_y$  ve  $v_x$  arasındaki ilişki

$$\varepsilon_1 = \frac{R_x g_{m2} (g_{m4} g_{d1} - g_{m3} g_{d4})}{R_x g_{m2} g_{m3} g_{d4} + g_{m2} g_{d2} + g_{m3} g_{d4}} \quad (5.2)$$

olmak üzere

$$v_x = v_y \cdot (1 - \varepsilon_1) \quad (5.3)$$

biçiminde yazılabilir. (5.2) bağıntısında  $g_{mi}$  ve  $g_{di}$  büyüklükleri sırasıyla  $T_i$  ( $i = \dots$ ) tranzistorunun geçiş iletkenliğini ve savak iletkenliğini,  $R_x$  ise X ucuna bağlanan direnci göstermektedir.  $\varepsilon_1 \ll 1$  ise Y ucundaki gerilim X ucuna yüksek doğrulukta aktarılacaktır, başka bir deyişle X ucundaki gerilim Y ucundaki gerilimi iyi bir şekilde izleyecektir. Örnek olarak,  $R_x = 1k$ ,  $g_{m2} = 2.51 \times 10^{-4} A/V$ ,  $g_{m3} = 1.93 \times 10^{-4} A/V$ ,  $g_{d1} = g_{d2} = 1.01 \times 10^{-7} A/V$  ise  $\varepsilon_1 = 0.05\%$  olur.

X ucundan içeriye doğru bakıldığında görülen küçük işaret direnci aşağıdaki biçimde yazılabilir:

$$r_x = \frac{1}{g_{m2}} \cdot \left( \frac{g_{m4} g_{d5} + g_{m8} g_{d1}}{g_{m4} \cdot (g_{m8} + g_{d5})} \right) \quad (5.4)$$

Sayısal bir örnek verilirse,  $g_{m8} = 2.52 \times 10^{-4} A/V$ ,  $g_{d5} = 1.02 \times 10^{-7} A/V$  değerleri için  $r_x = 3.7 \Omega$  bulunur ki, bu direncin değeri istenen özellikleri sağlayacak kadar küçüktür.

Y ucundaki küçük işaret direnci hesaplanırsa

$$r_y = \frac{1 + \frac{g_{d1}}{g_{m3}}}{g_{d7}} \quad (5.5)$$

bağıntısı elde edilir.  $g_{d7} = 1.02 \times 10^{-7} A/V$  için  $r_y = 9.8 M\Omega$  bulunur ki, bu da yeteri kadar büyük bir direnç değeridir ve bu ucun göstereceği giriş direnci sonsuz kabul edilebilir.

Z ucundaki uç direnci yaklaşık olarak  $T_3$ - $T_6$  akım aynasının çıkış direnciyle  $I_2$  akım kaynağının çıkış direncinin paralel eşdeğerine eşittir ve

$$r_z = \frac{I}{g_{d6} + g_{dl2}} \quad (5.6)$$

biçiminde ifade edilebilir. (5.6) bağıntısındaki  $g_{dl2}$  büyüklüğü  $I_2$  akım kaynağının savak iletkenliğidir.  $r_z$  direncinin değeri tipik olarak birkaç  $M\Omega$  mertebesindedir. Bu direnç Wilson akım aynası yahut kaskod akım kaynağı kullanılarak artırılabilir.

Devrenin yüksek frekanslardaki davranışını inceleyelim. Yüksek frekanslarda baskın kutup x ucuna bağlanan eşdeğer direnç ve kapasitelerden ileri gelir. Bu kutup

$$f_x = \frac{R_x g_{m2} g_{m4}}{2\pi(R_x g_{m3} C_1 + C_3)} \quad (5.7)$$

biçiminde ifade edilebilir. Bu bağıntıdaki  $C_3$  ve  $C_1$  kapasiteleri

$$C_3 = (C_{gs3} + C_{gs4} + C_{gs5} + C_{gs6}) \text{ ve } C_1 = C_{gs1}$$

şeklinde tanımlanmışlardır.

İkinci kutup  $T_3$ - $T_6$  akım aynasından ileri gelmekte ve

$$f_m = \frac{g_{m3}}{2\pi C_3} \quad (5.9)$$

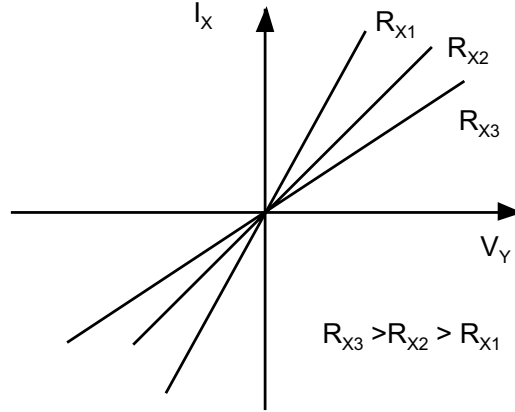
bağıntısıyla verilmektedir. Bu kutup frekansı, yukarıdaki sayısal değerler için 5 MHz civarında olur.

$V_x$  ve  $V_y$  gerilimleri arasındaki dengesizlik de

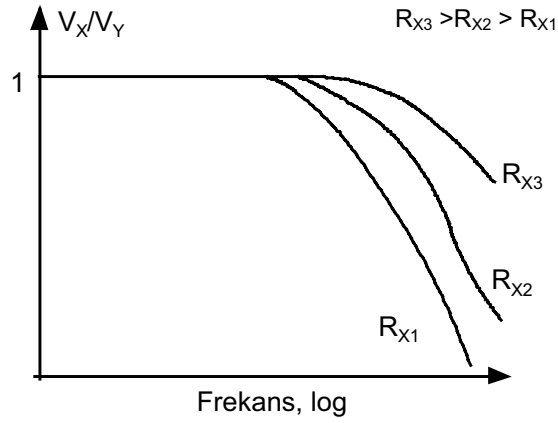
$$V_{OS} = (V_{T1} - V_{T2}) - \frac{2(\beta_1 - \beta_2)}{\beta_1 + \beta_2} \cdot \left( \frac{I_1}{\beta_1 + \beta_2} \right)^{1/2} \quad (5.9)$$

bağıntısı ile verilebilir. (5.9) bağıntısında  $V_{Ti}$  ve  $\beta_i$  büyüklükleri, sırasıyla,  $T_i$  tranzistorunun eşik gerilimini ve geçiş iletkenliği parametresini göstermektedir.  $V_{OS}$  dengesizlik geriliminde birinci terim  $T_1$  ve  $T_2$  tranzistorlarının eşik gerilimlerinin farklı olmasından ileri gelmektedir. Modern CMOS prosesinde bu bileşen birkaç mV mertebesinde olur. İkinci bileşen ise geometrideki sapmalardan ileri gelir. Bağıntıdan fark edilebileceği gibi, bu bileşeni azaltmak için W/L oranı azaltılabilir, yahut  $I_1$  akım küçültülebilir.

5.6



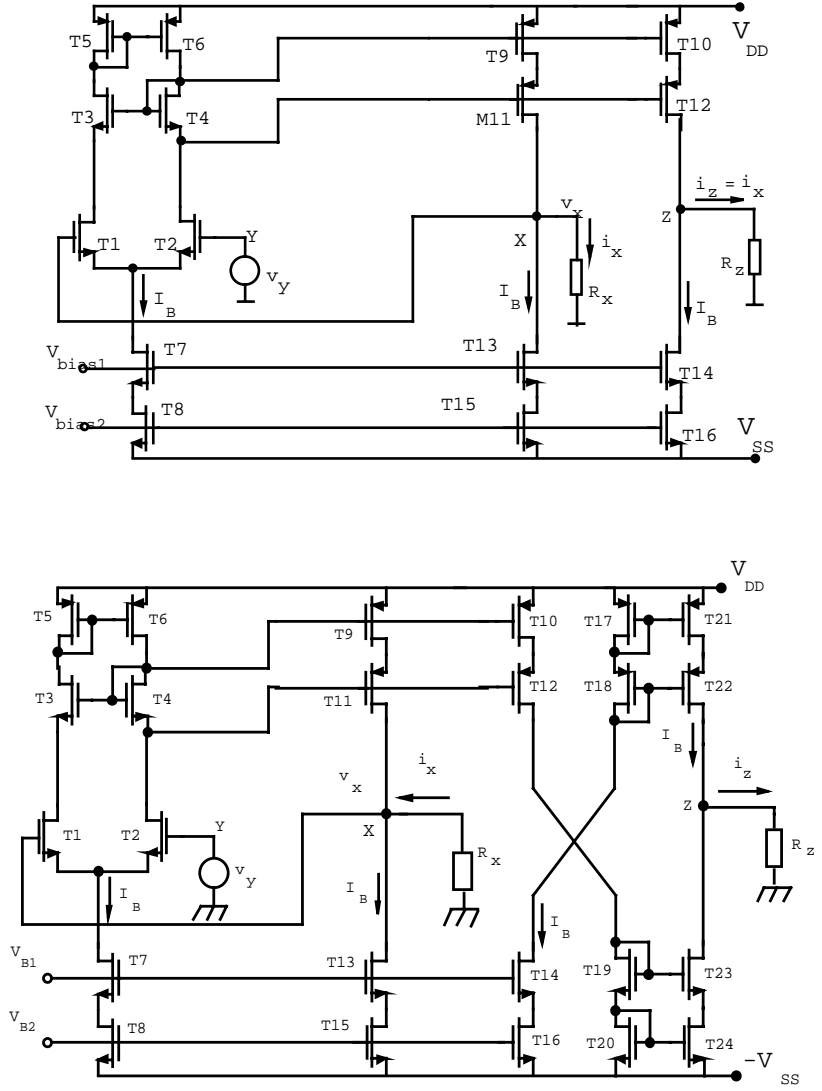
Şekil-5.4a. Farklı  $R_X$  değerleri için DC geçiş eğrisi (lineer değişim bölgesi gösterilmiştir.)



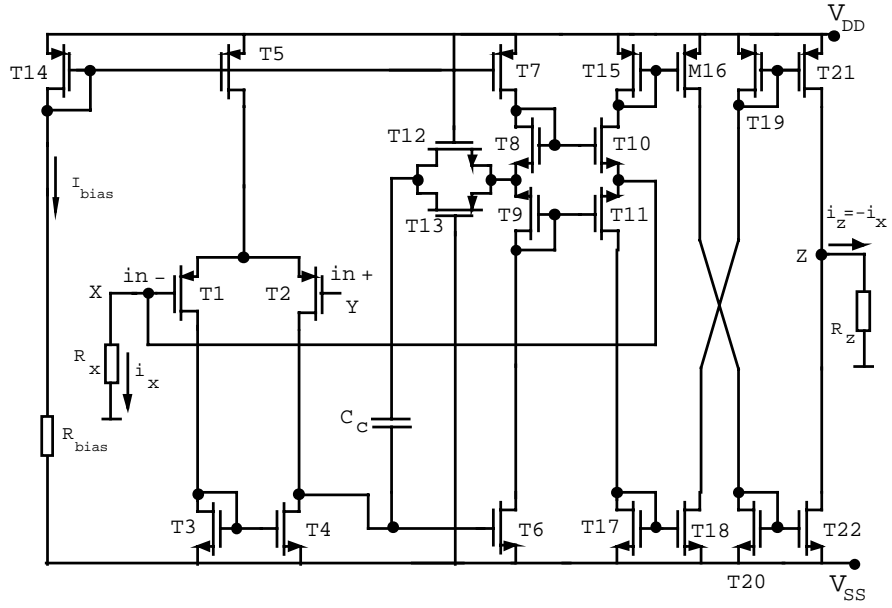
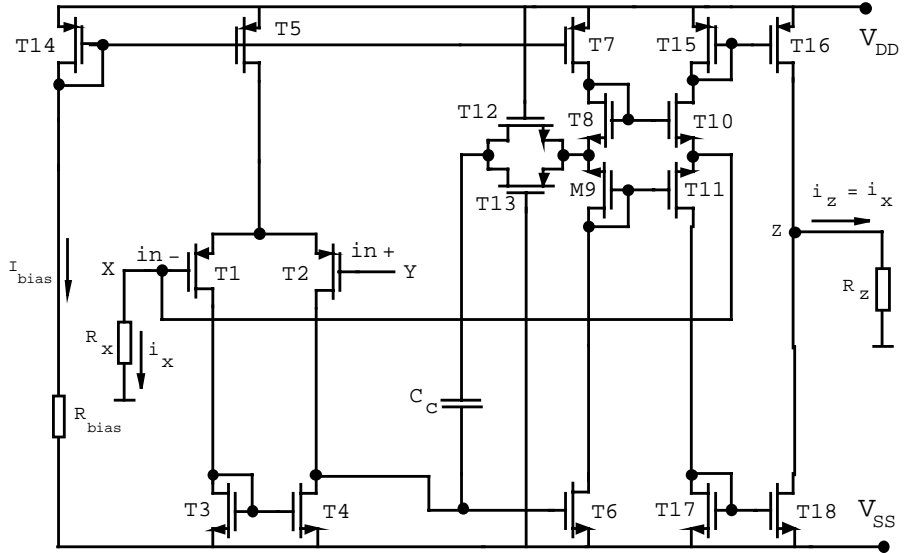
Şekil-5.4b. Farklı  $R_X$  değerleri için frekans eğrileri.

CCII'nin farklı  $R_X$  değerleri için elde edilen DC geçiş karakteristiği ve frekans eğrisi Şekil-5.4a ve Şekil-5.4b'de gösterilmiştir. Şekil-5.4'den görülebileceği gibi, devre, verilen bir gerilimi geniş bir aralık içerisinde pozitif ve negatif akımlara yüksek bir doğrulukla çevirebilmektedir.

CCII+ ve CCII- devrelerini farklı topolojilerle gerçekleştirmek mümkündür. CMOS tekniği ile gerçekleştirilen üç farklı devre topolojisi Şekil-5.5, Şekil-5.6 ve Şekil-5.7'de görülmektedir.

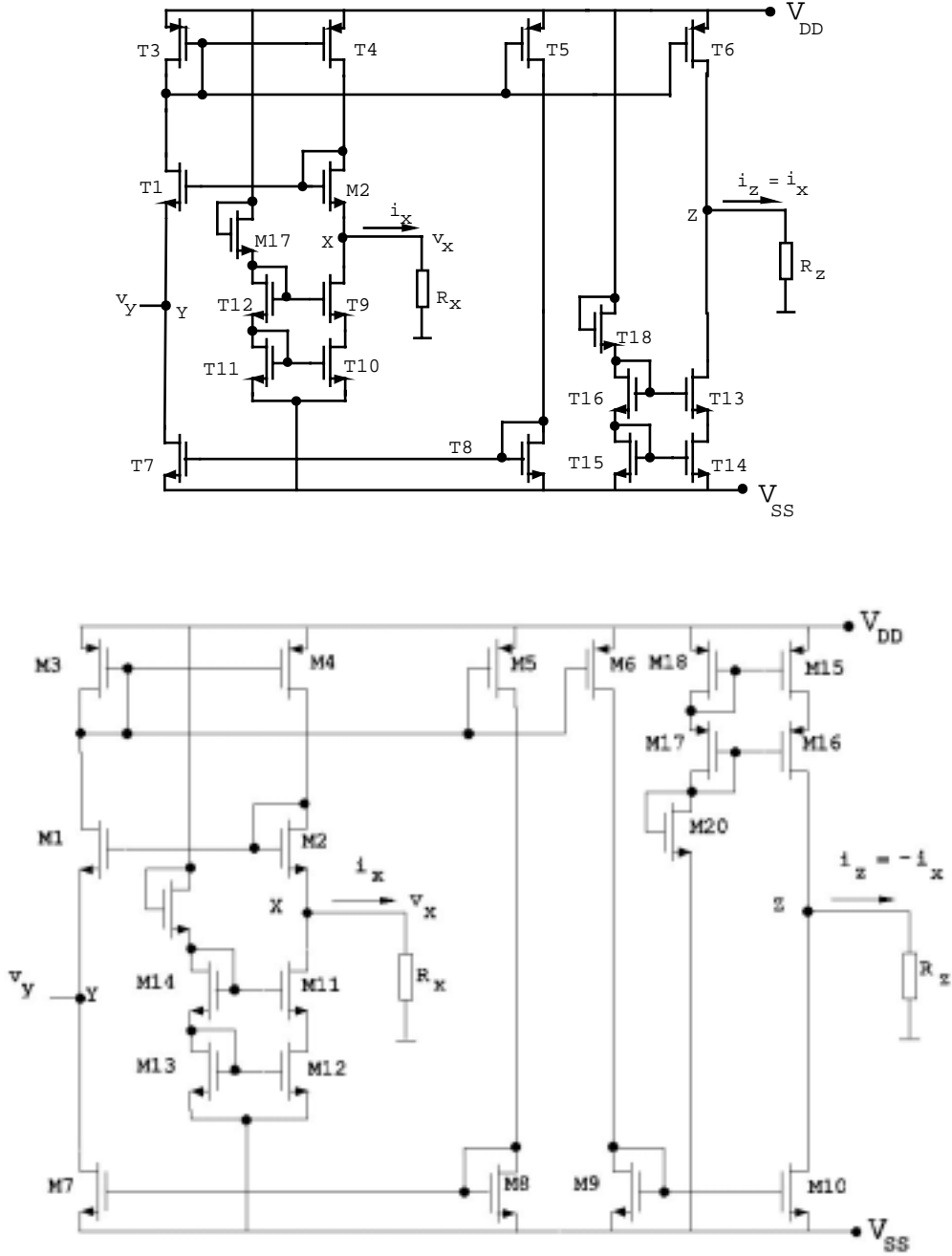


Şekil-5.5. CMOS tekniği ile gerçekleştirilen CCII+ ve CCII- yapıları, Örnek-1.



Şekil-5.6. CMOS tekniği ile gerçekleştirilen CCII+ ve CCII- yapıları, Örnek-2.





Şekil-5.7. CMOS tekniği ile gerçekleştirilen CCII+ ve CCII- yapıları, Örnek-3.