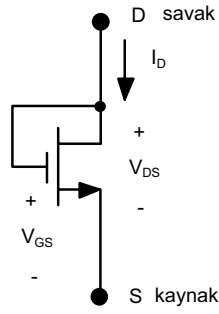


2. TEMEL YAPITAŞLARI

Bu bölümde temel NMOS ve CMOS yapıblokları olan akım kaynakları, gerilim referansları, temel kazanç katları genel özellikleri açısından ele alınacaktır.

2.1. Diyot bağlı NMOS tranzistor



Şekil-2.1. Diyot bağlı NMOS tranzistor.

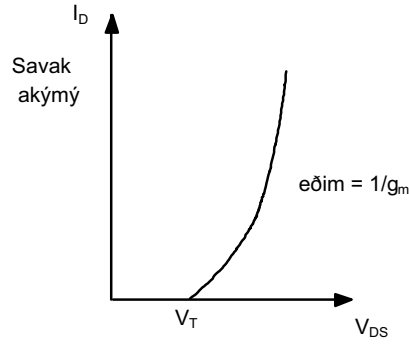
Bipolar tranzistorlardaki diyot bağlamaya benzer bir yapı MOS tranzistorlarda da kullanılmaktadır. Yapı Şekil-2.1'de görülmektedir. Bu yapıda $V_{GS} = V_{DS}$ yapılmıştır. Tranzistor iletimdeyken daima doymadadır. Zira, daima $V_{GS} = V_{DS}$ olmakta, bu nedenle $V_{DS} \geq V_{DS} - V_T = V_{GS} - V_T$ şartı sağlanmaktadır. $V_{GS} = V_T$ olana kadar tranzistor akım iletmez. $V_{GS} \geq V_T$ olunca iletim başlar. Yapının akım-gerilim karakteristiği Şekil-2.2'de verilmiştir. Tranzistor doymada çalıştığından, akım-gerilim bağıntısı

$$I_D = \frac{\beta}{2} [V_{GS} - V_T]^2 = \frac{\beta}{2} [V_{DS} - V_T]^2 \quad (2.1)$$

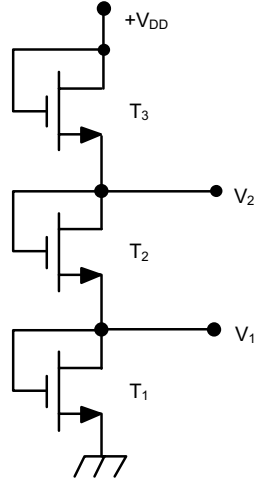
şeklindedir. Yapının dinamik direnci

$$r_o = \frac{1}{g_m} = \frac{1}{\mu \cdot C_{OX} \frac{W}{L} (V_{GS} - V_T)} = \frac{1}{\beta (V_{GS} - V_T)} \quad (2.2)$$

bağıntısıyla hesaplanabilir. Görülebileceği gibi, dinamik direnç (W/L) ile ters orantılıdır. Yapının geniş bir uygulama alanı bulunmaktadır. Bunlardan biri olan gerilim bölücü Şekil-2.3'de gösterilmiştir. Yapıda, her bir tranzistor bir direnç gibi kullanılmaktadır. Bunun yanısıra, diyot bağlı tranzistor, kutuplama elemanı ve aktif yük olarak da uygulama alanı bulmaktadır.



Şekil-2.2. Diyot bağlı NMOS tranzistorun akım-gerilim karakteristiği.

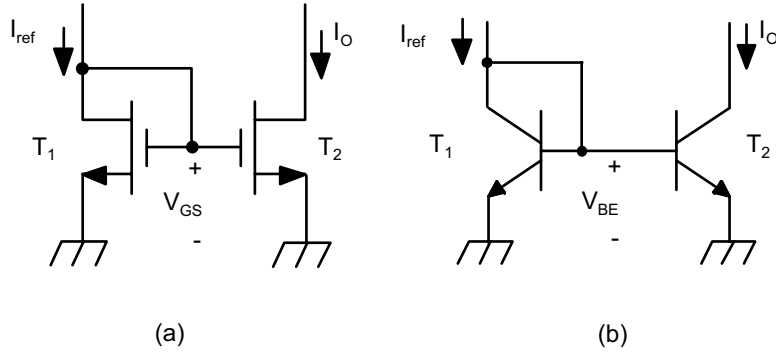


Şekil-2.3. Diyotlu gerilim bölücü.

2.2. NMOS akım aynaları

Basit akım aynası, Wilson akım aynası, kaskod akım aynası gibi bipolar tekniğinden bilinen yapılar MOS tekniğine de uygulanabilmektedir.

Basit akım aynası



Şekil-2.4. NMOS basit akım aynası ve bipolar tekniğindeki karşılığı.

Basit akım aynası devresi Şekil-2.4'de verilmiştir. Devrenin karşı düştüğü bipolar tranzistorlu akım kaynağı yapısı da yine şekilde gösterilmiştir. Tranzistorların doymada çalıştıkları varsayımı ile akım-gerilim bağıntıları yazılırsa

$$I_{ref} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_1 [V_{GS} - V_T]^2 \quad (2.3)$$

$$I_o = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_2 [V_{GS} - V_T]^2 \quad (2.4)$$

Tranzistorların aynı prosesle oluşturuldukları ve geometri dışında eş özellik gösterdikleri göz önüne alınacak olursa, iki koldaki akımların oranı

$$\frac{I_O}{I_{ref}} = \frac{(W/L)_2}{(W/L)_1} \quad (2.5)$$

şeklinde ve tam olarak 1 yapılabilir. Bipolar tranzistorlu düzenlerde bu oran, tranzistorlar eş olsa bile, baz akımları nedeniyle

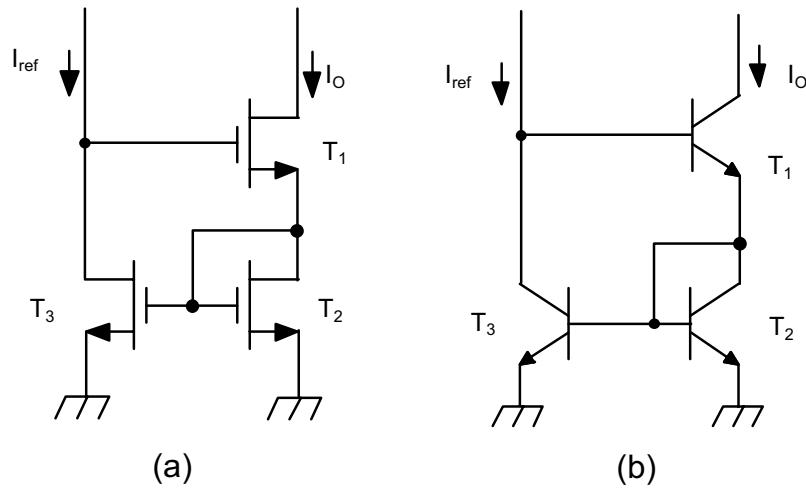
$$\frac{I_O}{I_{ref}} = \frac{1}{1 + \frac{2}{\beta_F}} < 1$$

bağıntısıyla tanımlanır. Basit akım aynasının çıkış direnci

$$R_O = \frac{1}{\lambda I_O} \quad (2.6)$$

olur.

Wilson akım kaynağı



Şekil-2.5. Wilson akım kaynağı

NMOS tranzistorlarla gerçekleştirilen Wilson akım kaynağı devresi, eşdeğer bipolar yapı ile birlikte Şekil-2.5'de görülmektedir. Bu yapıda da akım yansıtma oranı

$$\frac{I_O}{I_{ref}} = \frac{(W/L)_2}{(W/L)_3} \quad (2.7)$$

şeklindedir.

Tranzistorların tümüyle eş olmaları halinde

$$I_O = I_{ref} \quad (2.8)$$

olur. Eşdeğer bipolar yapıda ise akımların ilişkisi

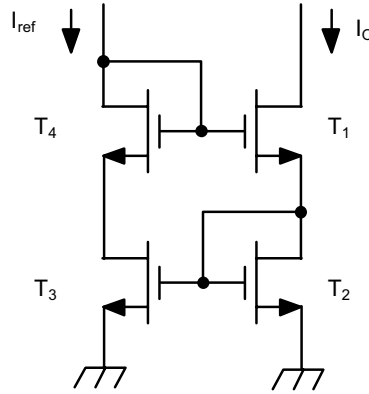
$$I_O = I_{ref} \cdot \left(\frac{\beta_F^2 + 2\beta_F}{\beta_F^2 + 2\beta_F + 2} \right)$$

şeklindedir; başka bir deyişle, yansıtma oranı birden küçüktür. Her iki yapıda da T_3 tranzistoru üzerinden sağlanan geribesleme, devrenin çıkış direncini yükseltmektedir. Küçük işaret eşdeğer devresi kullanılarak R_O çıkış direnci hesaplanırsa

$$R_O = r_{O1} g_{m3} r_{O3} \quad (2.9)$$

bağıntısı elde edilir. r_{O1} büyüklüğü T_1 tranzistorunun, r_{O3} de T_3 tranzistorunun çıkış direnci, g_{m3} büyüklüğü ise T_3 ' ün eğimi olmaktadır. $g_m \cdot r_o$ çarpanı 50-100 mertebesindedir.

İyileştirilmiş Wilson akım kaynağı



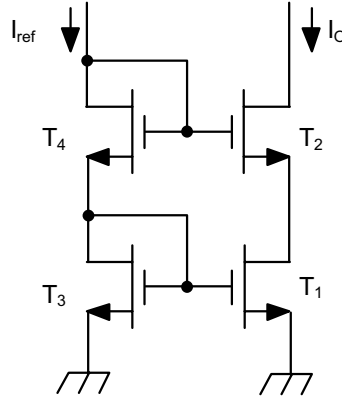
Şekil-2.6. İyileştirilmiş Wilson akım kaynağı.

MOS Wilson akım kaynağı yapılarında MOS tranzistorların eşik gerilimlerinin büyük olması durumunda, T_3 tranzistorunun savak-kaynak gerilimi, T_2 tranzistorunun savak-kaynak geriliminden 1V yahut daha fazla miktarda yüksek olur; bu da elemanların sonlu çıkış direnci (kanal boyu modülasyonu etkisi) nedeniyle savak akımı dengesizliğine yol açar. Bu nedenle, yapıdaki gerilimleri eşitlemek amacıyla ek bir tranzistor, T_4 tranzistoru kullanılır. İyileştirilmiş Wilson akım kaynağı Şekil-2.6'da verilmiştir. Devreden kolayca izlenebileceği gibi, T_2 ve T_3 tranzistorlarının V_{DS} gerilimleri, T_4 tranzistoru yardımıyla eşitlenmektedir.

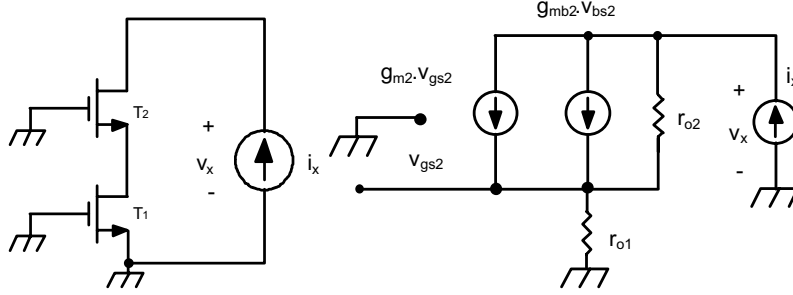
Kaskod akım aynası

Yüksek çıkış dirençli akım kaynaklarına sıkça gereksinme duyulur. Bunun temel nedenlerinden biri, aktif yüklü kuvvetlendiricilerde yüksek değerli gerilim kazancı elde edilmesi yönündeki istektir. Bu amaçla, bipolar tekniğindeki benzer şekilde kaskod akım kaynağı gerçekleştirilir. Yapı Şekil-2.7'de verilmiştir. Bu yapıda T_2 tranzistoru T_1 tranzistorunu çıkış ucundaki gerilim değişimlerinden yalıtılmaktadır. Şekil-2.8'de verilen küçük işaret eşdeğer devresi kullanılarak çıkış direnci hesaplanırsa

$$R_O = r_{O2}(1 + g_{m2}r_{O1}) \quad (2.10)$$



Şekil-2.7. Kaskod akım aynası.



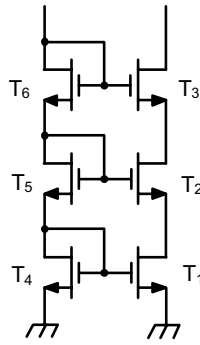
Şekil-2.8. Kaskod devrenin çıkış direncinin hesaplanması

elde edilir. Diğer bir deyişle, tranzistörün çıkış direnci $1+g_m \cdot r_o$ çarpanı ile çarpılarak çıkışa yansımaktadır. Gerçekte, çıkış direncini hesaplariken gövde etkisini de dikkate almak gerekir; zira, T_2 tranzistörünün kaynak ucu toprak potansiyelinde değildir. Bunun için Şekil-2.8'deki eşdeğer devreden hareket edilirse

$$R_o = r_{o2} [1 + (g_{m2} + g_{mb2})r_{o1}] + r_{o1} \quad (2.11)$$

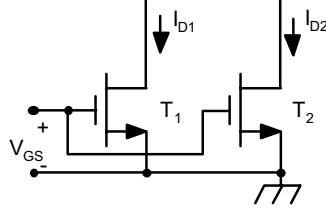
olur. Bu sonuçta ilginç olan, gövde etkisinin de çıkış direncini arttıracak yönde etki etmesidir.

MOS tekniğinde istenilen değerdeki yüksek empedans, çok sayıda kaskod katın üst üste yerleştirilmesi ile elde edilebilir. Örnek bir yapı Şekil-2.9'da görülmektedir. Bu yapılarda her bir kaskod çıkış direncini $1+g_m r_o$ kadar yükseltmektedir. Bipolar tekniğinde ise, baz akımlarının etkisi nedeniyle, bu mümkün değildir.



Şekil-2.9. Üç katlı kaskod akım kaynağı.

MOS akım kaynaklarında tranzistor dengesizliklerinin etkisi



Şekil-2.10. MOS akım aynalarında dengesizlik.

İmalat toleransları nedeniyle, birbirinin eşi olan iki tranzistoru gerçekleştirmenin mümkün olamayacağı, tranzistorlar arasındaki farklılıklar nedeniyle akım kaynaklarının performansının olumsuz yönde etkileneceği açıktır. Şekil-2.10'daki gibi bir çoğaltmalı akım kaynağının tranzistorlarının (W/L) oranları ve V_T eşik gerilimleri arasında dengesizlik bulunduğu varsayalım. Bu durumda, aynı kutuplama gerilimi yardımıyla kutuplanan tranzistorların savak akımları

$$I_{D1} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_1 [V_{GS} - V_{T1}]^2 \quad (2.12)$$

$$I_{D2} = \frac{\mu \cdot C_{OX}}{2} \left(\frac{W}{L} \right)_2 [V_{GS} - V_{T2}]^2 \quad (2.13)$$

olur.

$$I_D = \frac{I_{D1} + I_{D2}}{2}$$

$$\Delta I_D = I_{D1} - I_{D2}$$

$$\frac{W}{L} = \frac{\left(\frac{W}{L} \right)_1 + \left(\frac{W}{L} \right)_2}{2} \quad (2.14)$$

$$\Delta \frac{W}{L} = \left(\frac{W}{L} \right)_1 - \left(\frac{W}{L} \right)_2$$

$$V_T = \frac{V_{T1} + V_{T2}}{2}$$

$$\Delta V_T = V_{T1} - V_{T2}$$

şeklinde ortalama ve fark büyüklükler tanımlansın. Bunların akım-gerilim bağıntılarında yerlerine konması halinde, yüksek dereceden terimler ihmal edilirse, dengesizlikler nedeniyle akımın nominal değerinde ortaya çıkacak bağıl hata

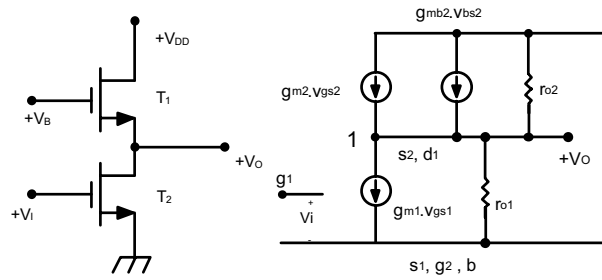
$$\frac{\Delta I_D}{I_D} = \frac{\Delta \frac{W}{L}}{\frac{W}{L}} - 2 \frac{\Delta V_T}{V_{GS} - V_T} \quad (2.15)$$

olur. Bağıntıdan görülebileceği gibi, akım dengesizliğinin iki bileşeni bulunmaktadır. Bunlardan birincisi geometriye bağlıdır ve kutuplamadan bağımsızdır. İkinci bileşen ise eşik dengesizliğinden kaynaklanmaktadır ve kutuplamaya bağlıdır, diğer bir deyişle $V_{GS} - V_T$ azaldıkça artmaktadır.

2.3. Kuvvetlendirici Yapıları

Bu bölümde, NMOS ve CMOS aktif yüklü kuvvetlendirici yapıları ele alınacaktır. İlk başta, sadece kanal oluşturmali NMOS yapılar incelenecek, daha sonra kanal oluşturmali ve kanal ayarlamali tranzistorların birlikte kullanıldıkları yapılar yer verilecek, en sonda ise CMOS yapılar değinilecektir.

Aktif yüklü savak çıkışlı kuvvetlendirici yapısı



Şekil-2.11. Savak çıkışlı kuvvetlendirici ve bu yapının eşdeğer devresi.