

### 3. MOS İŞLEMSEL KUVVETLENDİRİCİLER

İşlemsel kuvvetlendiriciler, genelde, gerilim kontrollü gerilim kaynağı işlevini yerine getirirler. İdeal işlemsel kuvvetlendiricide gerilim kazancı sonsuz, giriş direnci sonsuz, çıkış direnci sıfır, band genişliği sonsuzdur; sıcaklığa bağımlılık ve distorsiyon sorunları yoktur. Pratikte, bu özelliklere yaklaşılmaya çalışılır. MOS teknolojisiyle gerçekleştirilen işlemsel kuvvetlendirici yapılarında temel özellikler:

1. Kazanç  $K_d = 100... 10^5$  (40dB-100dB)
2. Sınırlı lineerlik bölgesi:  $V_O = K_d \cdot (V_P - V_N)$  lineer bağıntısı  $V_O$  çıkış geriliminin sınır değerleri arasında, başka bir deyişle  $V_{DD}$  nin biraz altı ile  $-V_{SS}$  nin biraz üstü arasında geçerli.
3. Dengesizlik gerilimi MOS yapılarda 5 - 15 mV mertebesinde,
4. Kazanç-band genişliği çarpımı 1 - 10 MHz ,
5. Yükselme eğimi 1 - 20 V/ $\mu$ s,
6. Çıkış direnci açık çevrimde 0.1 $\Omega$ -5k $\Omega$  değerleri arasında,
7. Gürültü gerilimi 10 - 50  $\mu$ V (bipolarda 3-5 $\mu$ V).
8. Besleme kaynağındaki değişimleri bastırma 60-80dB
9. Dinamik aralığı 90dB

başlıkları altında özetlenebilir.

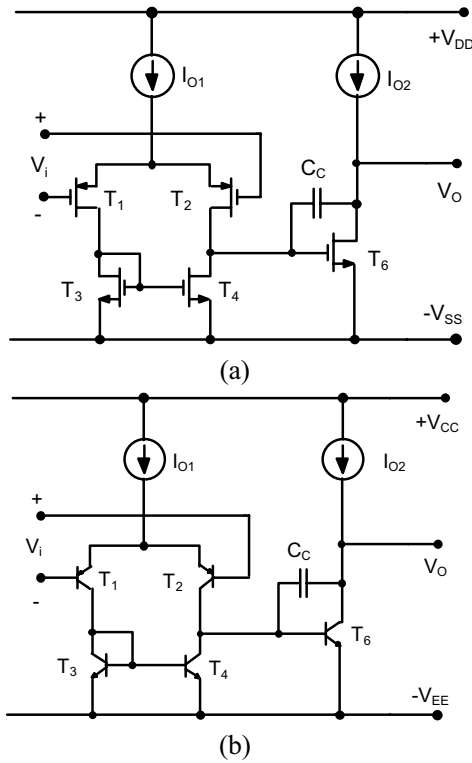
MOS işlemsel kuvvetlendiricilerin performansı klasik bipolar yapılara göre farklılık gösterir. En önemli temel fark, MOS yapılarda kuvvetlendiricilerin yükünün tam olarak belirlenmiş ve kapasitif olmasıdır. Bu kapasitif yük, genelde, birkaç pF mertebesinde.

#### 3.1. CMOS işlemsel kuvvetlendirici

Temel CMOS işlemsel kuvvetlendirici yapısı Şekil-3.1a'da verilmiştir. Bu yapı, Şekil-3.1b'de verilen ve bipolar tekniğinden bilinen iki kazanç katlı işlemsel kuvvetlendirici yapısına karşı düşer.

MOS işlemsel kuvvetlendirici tasarımında yapının performansını olumsuz yönde etkileyebilecek temel özellikler:

1. Kazancın sonlu olması,
  2. Lineerlik bölgesinin sonlu olması,
  3. Dengesizlik gerilimi,
  4. Frekans eğrisi,
  5. Gürültü
- alt başlıkları altında sıralanabilir.



Şekil-3.1. a) İki kazanç katlı CMOS işlemsel kuvvetlendirici, b) yapının bipolar tekniğindeki karşılığı.

Devrenin açık çevrim kazancı, kazanç katları için verilen yöntemle kolayca hesaplanabilir. MOS tranzistörün giriş direncinin çok yüksek olması nedeniyle ilk kat ikinci kat tarafından yüklenmez. Gerilim kazancı iki katın kazançları ayrı ayrı hesaplanarak bulunabilir. İlk katın gerilim kazancı hesaplanırsa

$$K_{V1} = \frac{g_{m1}}{g_{o2} + g_{o4}} \quad (3.1)$$

bulunur. Burada  $g_{m1}$  giriş tranzistorlarının eğimi,  $g_{o2}$  ve  $g_{o4}$  de tranzistorların çıkış iletkenlikleridir. Benzer şekilde hareket edilirse, ikinci katın kazancı da

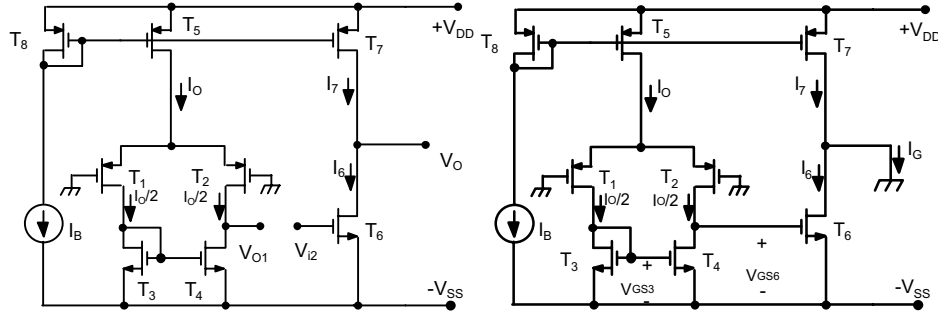
$$K_{V2} = -\frac{g_{m6}}{g_{o6} + g_{o7}} \quad (3.2)$$

olarak elde edilir. Toplam kazanç bu iki kazancın çarpımı olur. Bu tür yapılarda birkaç bin mertebesinde gerilim kazancı sağlanması istenir. Her bir kat 50 civarında kazanç sağlar. Bu tür yapılar genellikle anahtarlanmış kapasiteli süzgeçlerde kullanılırlar ve bu civardaki kazanç söz konusu uygulama alanı için yeterli olur.

### 3.1.1. CMOS işlemsel kuvvetlendiricilerde dengesizlik

CMOS işlemsel kuvvetlendiricilerde çıkışı sıfıra getirecek dengesizlik geriliminin iki bileşeni bulunur. Bunlardan birincisi, uygun olmayan boyut ve kutuplama nedeniyle ortaya çıkan sistematik dengesizlik, ikincisi ise imalat toleranslarından kaynaklanan rastgele dengesizliktir.

#### Sistematik dengesizlik



Şekil-3.2. CMOS işlemsel kuvvetlendiricide sistematik dengesizlik

### 3.4

MOS işlemsel kuvvetlendiricilerde kat başına sağlanan gerilim kazancı düşüktür, dolayısıyla ikinci kat da dengesizlik üzerine etkilidir. İlk katın girişleri Şekil-3.2'de gösterilen biçimde referans noktasına bağlansın, yani topraklansın.  $T_1 - T_5$  tranzistorları ile kurulmuş olan giriş fark kuvvetlendiricisi asimetrik çıkışlı, yapının  $T_6-T_7$  tranzistorlarıyla kurulmuş bulunan çıkış katı da yine asimetrik çıkışlıdır ve  $T_7$  tranzistoru aktif yük görevini üstlenmektedir. İdeal durumda her iki giriş ucunun da toprak potansiyelinde bulunması nedeniyle,  $V_O$  çıkış geriliminin ve buna bağlı olarak  $I_G$  akımının sıfır, dolayısıyla da  $T_6$  ve  $T_7$  tranzistorlarının savak akımlarının  $I_6 = I_7$  olması gerekir.

Yapıda, aynı geçit-kaynak gerilimi altında aynı savak akımı aktığından,  $T_4$  tranzistorunun savağındaki gerilim  $T_3$  tranzistorunun savak gerilimine eşit olur. Dolayısıyla her iki tranzistorun  $V_{DS}$  gerilimleri aynıdır. Bu gerilim ise  $T_6$  tranzistorunun  $V_{GS}$  geçit-kaynak gerilimine eşittir. Oysa,  $T_6$  tranzistorunun çıkış gerilimini sıfır yapmak üzere gereksinme gösterdiği geçit gerilimi bundan farklı olabilir. Bu nedenle,  $T_3$ ,  $T_4$  ve  $T_6$  nın akım yoğunlukları, bu üç elemanda aynı olacak biçimde  $W/L$  oranlarının seçilmesi zorunlu olur.

Devrede denge durumunda

$$(W/L)_1 = (W/L)_2 \text{ ve } (W/L)_3 = (W/L)_4 \\ V_{DS3} = V_{DS4}$$

olduğundan tüm akım ve gerilimler simetriktir.

$$V_{GS3} = V_{GS6}$$

ise

$$I_6 = I_7, I_G = 0 \text{ ve } V_{DS6} = 0 - V_{SS} = -V_{SS}$$

olur. Bu şart yerine gelmiyorsa

$$I_G \neq 0$$

olur ve bir dengesizlik oluşur. Bu dengesizlik sistematik dengesizlik olarak isimlendirilir.  $V_{GS6}$  'nın bu durumdaki değerini  $V_{GS6M}$  ile gösterelim. Böylece giriş dengesizlik gerilimi

3.5

$$V_{OS} = \frac{V_{GS6} - V_{GS6M}}{K_d} = \frac{V_{GS3} - V_{GS6M}}{K_d}$$

biçiminde ifade edilebilir. Bu bağıntıda  $K_d$  giriş katının fark işaret kazancını göstermektedir. Elemanların doymada oldukları varsayılır ve kanal boyu modülasyonu da ihmal edilirse

$$V_{GS3} = V_{DS3} = V_{GS4} = V_{DS4} = V_{TN} + \sqrt{\frac{I_O}{k_n' \cdot (W/L)_3}}$$

yazılabilir. Benzer şekilde  $T_6$  için

$$V_{GS6} = V_{TN} + \sqrt{\frac{2 \cdot I_6}{k_n' \cdot (W/L)_6}}$$

elde edilir.  $I_6 = I_7$  ve  $V_{GS6} = V_{GS3}$  olması gerektiğinden

$$V_{GS3} = V_{TN} + \sqrt{\frac{2 \cdot I_7}{k_n' \cdot (W/L)_6}}$$

olur. Böylece

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(I_O/2)}{I_7}$$

şartı elde edilir.  $T_5$  ve  $T_7$  tranzistorlarının geçit-kaynak gerilimleri birbirine eşittir. Kanal boyu modülasyonunun da ihmal edilebileceği gözönünde tutulursa

$$\frac{(W/L)_5}{(W/L)_7} = \frac{I_O}{I_7}$$

bulunur. Bütün bunların biraraya getirilmesiyle

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \frac{(W/L)_5}{(W/L)_7} = \frac{I_O}{2 \cdot I_7} \quad (3.3)$$

şartı elde edilir.

### Rastgele dengesizlik

Rastgele dengesizlik. tranzistorların eşik gerilimleri ve W/L oranları arasında imalat toleransları nedeniyle ortaya çıkan farklılıktan ileri gelir. T<sub>1</sub>-T<sub>2</sub> giriş tranzistorlarının ve T<sub>3</sub> -T<sub>4</sub> yük tranzistorlarının geometrisindeki (W/L oranlarındaki) toleranslar nedeniyle aynı kutuplama şartları altında bu tranzistorların savak akımları, yahut prosetteki farklılıklar nedeniyle aynı savak akımı için gereken kutuplama gerilimleri, dolayısıyla eşik gerilimleri farklı olabilir.

İlk önce T<sub>3</sub>-T<sub>4</sub> yük tranzistorlarının akımlarının aynı kutuplama şartları altında farklı oldukları varsayalım. Bu durumda, tranzistorların akımları

$$I_3 = \frac{I}{2}(1 - \varepsilon_1) \cdot I_O \neq I_4 = \frac{I}{2} \cdot (1 + \varepsilon_1) \cdot I_O$$

olur. Bu dengesizliği düzeltmek için devrenin girişine uygulanması gereken fark giriş gerilimi

$$V_{OS1} = \frac{\varepsilon_1 \cdot I_O}{g_{mi}} \quad (3.4)$$

değerindedir. Giriş dengesizlik geriliminin V<sub>OS1</sub> bileşenini azaltmak üzere giriş tranzistorlarının eğimlerinin arttırılması yahut I<sub>O</sub> kutuplama akımının azaltılması gerekir.

İkinci adımda giriş elemanlarının boyutları ve eşik gerilimleri dengesiz, yük elemanları ise dengeli olsun. Buna göre

$$(W/L)_1 = (1 - \varepsilon_2) \cdot (W/L)_2$$

$$V_{T1} = V_{T2} - \Delta V_T$$

yazılabilir. Eşik gerilimlerinin dengesizliğini gidermek üzere ΔV<sub>T</sub> farkı kadar bir dengesizlik geriliminin girişe uygulanması gerekli olur. Böylece giriş dengesizlik geriliminin bu ikinci bileşeni

$$V_{OS2} = \Delta V_T \quad (3.5)$$

biçiminde ifade edilebilir. Giriş tranzistorlarındaki geometrik dengesizlikten ileri gelen dengesizlik için

$$\Delta I_I = -\varepsilon_2 \cdot I_I = -\varepsilon_2 \cdot \frac{k_I}{2} \cdot (V_{GS1} - V_{T1})^2 \quad (3.6)$$

yazılabilir. Bağıntıdan fark edilebileceği gibi,  $V_{OS3}$  bileşeni,  $V_{OS1}$  bileşeninde olduğu gibi,  $(W/L)_1$  oranı arttırılarak veya  $I_O$  kutuplama akımı azaltılarak küçültülebilir. Her iki etken de  $(V_{GS1} - V_{T1})$  farkını azaltacak yönde etkisini gösterir.  $\Delta V_T$  farkı ise  $I_O$  kutuplama akımı ve  $(W/L)_1$  oranından bağımsızdır.

Yük tranzistorlarının eşik gerilimleri arasında oluşacak bir fark da giriş dengesizlik gerilimi üzerine etkili olur. Bu dengesizliği düzeltmek için girişe uygulanacak dengesizlik bileşeni

$$V_{OS4} = \frac{\Delta V_{T3-4}}{K_{d1}} = \Delta V_{T3-4} \cdot \left( \frac{g_{m3}}{g_{m1}} \right) \quad (3.7)$$

şeklinde ifade edilebilir.

Bütün bunların biraraya getirilip düzenlenmesiyle rastgele dengesizliğe ilişkin dengesizlik gerilimi için

$$V_{OS} = \Delta V_{T1-2} + \Delta V_{T3-4} \cdot \left( \frac{g_{m3}}{g_{m1}} \right) + \frac{(V_{GS} - V_T)_{1-2}}{2} \cdot \left[ \frac{\Delta(W/L)_{1-2}}{W/L_{1-2}} - \frac{\Delta(W/L)_{3-4}}{W/L_{3-4}} \right] \quad (3.8)$$

bağıntısı elde edilir. Bu bağıntıda ilk terim giriş tranzistorları eşik gerilimleri arasındaki dengesizliği, ikinci terim yük elemanları eşik gerilimleri arasındaki dengesizliği vermektedir. W/L oranlarının uygun seçilip yük tranzistorlarının eğimleri giriş tranzistorlarının eğimlerinden küçük tutulursa, yük elemanlarının eşik gerilimlerinden ileri gelen dengesizlik terimi minimize edilebilir. Üçüncü terim ise giriş tranzistorları ve yük tranzistorlarına ilişkin W/L oranları arasındaki dengesizliği vermektedir. Giriş tranzistorlarının düşük bir  $(V_{GS} - V_T)$  farkı ile çalıştırılmasıyla, bu terimi minimize etmek mümkündür. Pratikte  $(V_{GS} - V_T)$  farkı 50mV ile 100mV mertebesinde tutulur.