3. İŞLEMSEL KUVVETLENDİRİCİ YAPILARI

İdeal bir işlemsel kuvvetlendirici gerilim kazancı sonsuz, giriş empedansı sonsuz, çıkış empedansı sıfır, band genişliği sonsuz olan ve osilasyon tehlikesi olmaksızın istenildiği kadar negatif geribesleme uygulanabilen bir kuvvetlendiricidir. Pratikte, ideal işlemsel kuvvetlendiriciyi gerçekleştirme olanağı bulunmayacağı açıktır. Ancak, ideal şartlara ne kadar yaklaşılırsa, gerçekleştirilen işlemsel kuvvetlendiricinin de o derece iyi bir işlemsel kuvvetlendirici olacağı açıktır.

İşlemsel kuvvetlendiricinin performansını karakterize eden bazı temel büyüklükler bulunmaktadır. Bu büyüklüklerin tanımları aşağıda verilmiştir:

Giriş dengesizlik gerilimi, V_{OS}: V_O çıkış gerilimini sıfır yapabilmek için işlemsel kuvvetlendiricinin giriş uçları arasına uygulanması gereken gerilimdir. V_{OS} giriş dengesizlik gerilimi, eleman dengesizliklerinden ve işlemsel kuvvetlendiricinin giriş katının kutuplama dengesizliğinden kaynaklanır. Bipolar giriş katlı işlemsel kuvvetlendiricilerde ±1.5 mV olan dengesizlik gerilimi, JFET girişli ve MOSFET girişli işlemsel kuvvetlendiricilerde ±20 mV mertebesindedir. V_{OS} dengesizlik geriliminin sıcaklığa bağımlılığı ısıl sürüklenme olarak isimlendirilir. Sürüklenme V_{OS} geriliminin değeri ile artar, ancak V_{OS} gerilimi sıfıra gittiğinde sıfıra gitmez. Bipolar devreler için tipik değer V_{OS} geriliminde mV değişim başına ±3 μV/°C olur.

Giriş kutuplama akımı, I_B : Bipolar devrelerde giriş tranzistorlarının bazlarından akan I_B değerli akımdır. Bu akımın değeri, giriş katının sükunet akımına ve giriş tranzistorlarının β_F kazancına bağlıdır. Tipik değeri çoğu bipolar işlemsel kuvvetlendirici yapısı için 10nA ile 100nA arasında yer alır. npn tranzistorda akım içeriye doğru aktığından pozitif, pnp tranzistor için ise negatif değerlidir. JFET giriş katlarında giriş kutuplama akımı 1-10 pA arasındadır. Ancak, jonksiyon tıkama yönü doyma akımı şeklinde olduğundan, her 10°C de değeri iki katına çıkar.

Giriş dengesizlik akımı, Ios : İşlemsel kuvvetlendiricinin giriş uçlarından her birinden akan akımlar arasındaki dengesizlik olup

$$I_{OS} = I_B^+ - I_B^- \qquad (3.1)$$

şeklinde tanımlanır; burada + ve – işaretleri, faz çevirmeyen ve faz çeviren girişleri belirtmektedir. β_F ve eleman dengesizlikleri Ios değerinde %5-10 kadar I_B nominal değerinden sapmalara neden olur. Nominal akım

$$I_B = \frac{I_B^+ + I_B^-}{2} \qquad (3.2)$$

bağıntısıyla tanımlanır.

Giriş direnci, R_i : Giriş katı konfigurasyonunun ve β_F nin fonksiyonu olan giriş direnci, bipolar yapılarda tipik olarak 0.1-5 MΩ değerleri arasında olur. JFET girişli işlemsel kuvvetlendiricilerde ve MOS yapılarda ise $10^{10} - 10^{12}$ Ω değerleri arasında yer alır.

Çıkış direnci, R_o : Çıkış katının yapısına bağlıdır. Değeri 20–200 Ω arasında bulunur.

Açık çevrim kazancı: Açık çevrim kazancı, fark giriş gerilimindeki birim küçük işaret değişimi için çıkış işaretindeki küçük işaret değişimi olarak tanımlanır ve bu tanım geribeslemenin uygulanmadığı varsayılarak yapılır.

Birim kazanç band genişliği: Kapalı çevrimde birim kazançlı çalışma için küçük işaret 3dB band genişliğidir. Pratikte 1–10 MHz arasında olur (unity-gain bandwidth).

Yükselme eğimi: Basamak şeklinde bir giriş için çıkış geriliminin maksimum değişim hızıdır. Genelde, işlemsel kuvvetlendiricilerde çıkış işaretinin sıfırdan geçişinden yararlanılarak ölçülür. Devrenin tasarımına bağlı olarak pozitif ve negatif yükselme eğimleri farklı değerler alabilirler. Yükselme eğimi mikrosaniye başına volt olarak belirlenir.

Tamgüç band genişliği : Sinüs biçimli bir giriş işareti için çıkışta en büyük gerilim dalgalanmasının elde edildiği band genişliğidir. Doğrudan doğruya yükselme eğimi ile orantılıdır.

Yerleşme süresi: Giriş geriliminin basamak şeklinde değişmesi hali için çıkış işaretinin son değerinin ± 0.1 sınırları içerisine girmesi için gereken süredir. Bu süre ölçülürken işlemsel kuvvetlendirici birim kazançlı gerilim izleyici olarak bağlanır, girişe 10 V'luk bir basamak uygulanır ve çıkışa da 100 pF'lık kapasitif bir yük bağlanır. Çoğu işlemsel kuvvetlendirici için değeri 0.3-5 µsn arasında bulunur.

Ortak giriş işareti değişim aralığı: İşlemsel kuvvetlendiricinin içindeki kazanç katlarından herhangi birinde kesime gitme, doymaya girme, belverme oluşturmaksızın girişlerin her ikisine birden uygulanacak giriş işaretinin değişim aralığıdır.

Ortak işareti bastırma oranı: İşaret açık çevrim kazancının ortak işaret açık çevrim kazancına oranıdır. Bu oran, aynı zamanda, ortak işaret giriş gerilimindeki birim değişim başına V_{OS} deki değişim olarak da tanımlanabilir ve CMRR sembolü ile gösterilir (CMRR: Common Mode Rejection Ratio).

Besleme gerilimini bastırma oranı: Besleme gerilimlerinden herhangi birinde ortaya çıkacak birim değişim başına V_{OS} de ortaya çıkacak değişimdir. Besleme gerilimini bastırma oranı PSRR (Power Supply Rejection Ratio) sembolü ile gösterilir. PSRR CMRR ile aynı mertebededir.

İşlemsel kuvvetlendiricilerin yapıları, kuvvetlendiricinin kullanım alanına göre basit veya karmaşık olabilir. Bu açıdan bakılırsa, işlemsel kuvvetlendiricileri

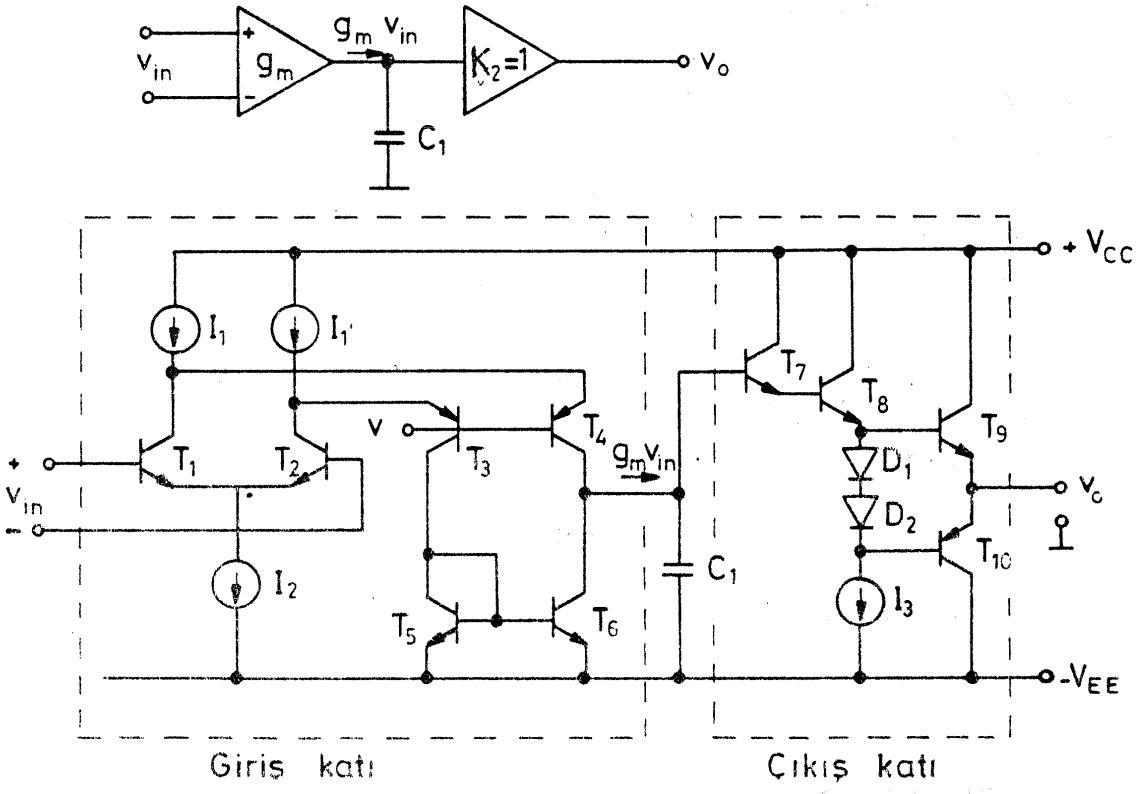
1. tek kazanç katlı işlemsel kuvvetlendiriciler,
2. iki kazanç katlı işlemsel kuvvetlendiriciler,
3. üç kazanç katlı işlemsel kuvvetlendiriciler

şeklinde sınıflandırmak mümkündür. Bu bölümde, işlemsel kuvvetlendirici yapıları temel özellikleriyle birlikte ele alınacaktır.

3.1. Tek Kazanç Katlı İşlemsel Kuvvetlendiriciler

En basit işlemsel kuvvetlendirici yapısı olan tek kazanç katlı işlemsel kuvvetlendiriciler, genelde, düşük performanslı ve ucuz devre yapılarının gerçekleştirilmesinde kullanılırlar. Bu devrelerin kazancı düşük, toplam faz kayması düşük, kazanç-band genişliği çarpımı yüksek olmaktadır. Tek kazanç katlı işlemsel kuvvetlendiriciler, çok yüksek kazanç değerlerinin gerekli olmadığı uygulamalarda kullanılmaya elverişlidirler.

Temel yapı, girişte yer alan bir geçiş iletkenliği kuvvetlendiricisinden ve çıkışta bulunan geniş bandlı (K_V=1) birim kazançlı ayırıcı bir kattan oluşur. Yüksek değerli bir gerilim kazancı elde edilmesi istendiğinden, ayırıcı katın giriş empedansının da yüksek tutulması gerekir. Böyle bir basit işlemsel kuvvetlendirici yapısı Şekil-3.1'de görülmektedir. Devrenin sağlayacağı gerilim kazancı, r_{o1} ilk katın çıkış direnci ve r_{i2} de ayırıcı katın giriş empedansı olmak üzere



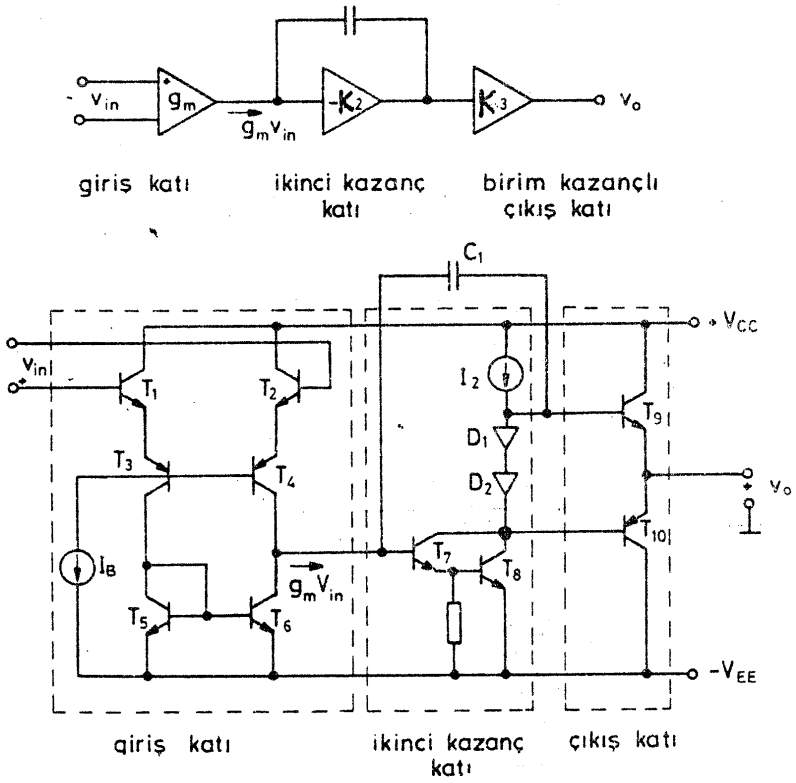
Şekil 3.1. Tek kazanç katlı işlemsel kuvvetlendirici yapısı.

$$K_v = g_m (r_{o1} // r_{i2}) \quad (3.3)$$

şeklinde hesaplanabilir. Devredeki C_1 kondansatörü ile giriş katının band genişliği azaltılarak frekans kompanzasyonu yapılmaktadır.

3.2. İki Kazanç Katlı İşlemsel Kuvvetlendiriciler

İşlemsel kuvvetlendiricilerin büyük çoğunluğu iki kazanç katlı yapıya dayanılarak oluşturulurlar. Temel yapı, girişte yer alan bir geçiş iletkenliği kuvvetlendiricisinden yüksek kazançlı ve genelde aktif yüklü faz çeviren ikinci bir kazanç katından ve en sonda yer alan birim kazançlı bir ayırıcı kattan oluşur. İki kazanç katlı işlemsel kuvvetlendirici yapısı Şekil-3.2'de görülmektedir. C_1 kondansatörü ile işlemsel kuvvetlendiriciye frekans kompanzasyonu uygulanmıştır. C_1 kondansatörü, genellikle, negatif kazançlı ikinci katın girişi ile çıkışı arasına bir integral alıcı oluşturacak şekilde bağlanır. Yapının frekans eğrisinde çoğunlukla tek kutuplu bir düşme istenir ve C_1 kondansatörünün kapasitesi buna göre seçilir.

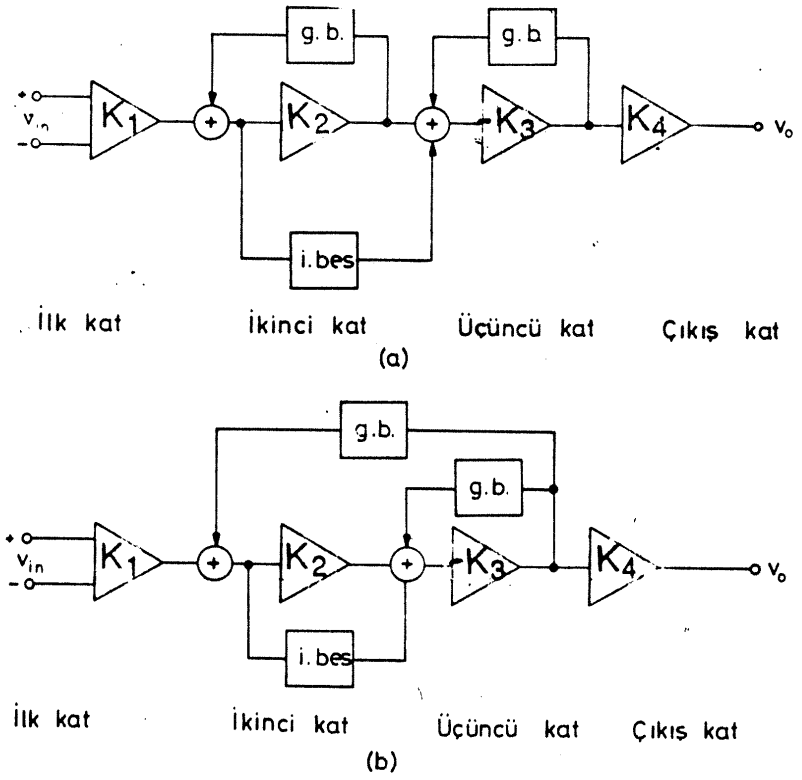


Şekil 3.2. İki kazanç katlı işlemsel kuvvetlendirici yapısı

İki kazanç katlı işlemsel kuvvetlendirici yapısı için tipik bir örnek µA 741 işlemsel kuvvetlendiricisidir. Bu tümdevrede iki kazanç katıyla 100 000 civarında gerilim kazancı sağlanmış, frekans kompanzasyonu da frekans eğrisinde tek kutuplu bir düşme elde edilecek biçimde 10-30 pF değerinde tek bir C_1 kapasitesi ile gerçekleştirilmiştir. Bu tür devrelerin en önemli sakıncası, frekans band genişliğinin çok dar, bununla ilişkili olarak yükselme eğiminin düşük ve büyük işaret cevabının kötü olmasıdır.

3.3. Üç Kazanç Katlı İşlemsel Kuvvetlendiriciler

Kazancın yüksek ve devre gürültüsünün düşük olmasının istendiği özel tasarım uygulamalarına yönelik bir yapı olan üç kazanç katlı işlemsel kuvvetlendiricilerin transfer fonksiyonunda üç kutup bulunur. Bu nedenle, devrede kararlılık sorunu ortaya çıkar ve kararlılığı sağlamak üzere bir dizi önlem alınması gerekli olur. Böyle bir yapıda kararlılığın sağlanması zordur; bunun için ileri ve geribesleme devreleri kullanılır. Üç kazanç katlı işlemsel kuvvetlendiriciler ileri ve geribesleme devreleri ile birlikte ele alındığında, bunların farklı farklı yapılarla gerçekleştirilmeleri mümkündür. Böyle iki ayrı yapının blok şemaları Şekil-3.3'de verilmiştir.

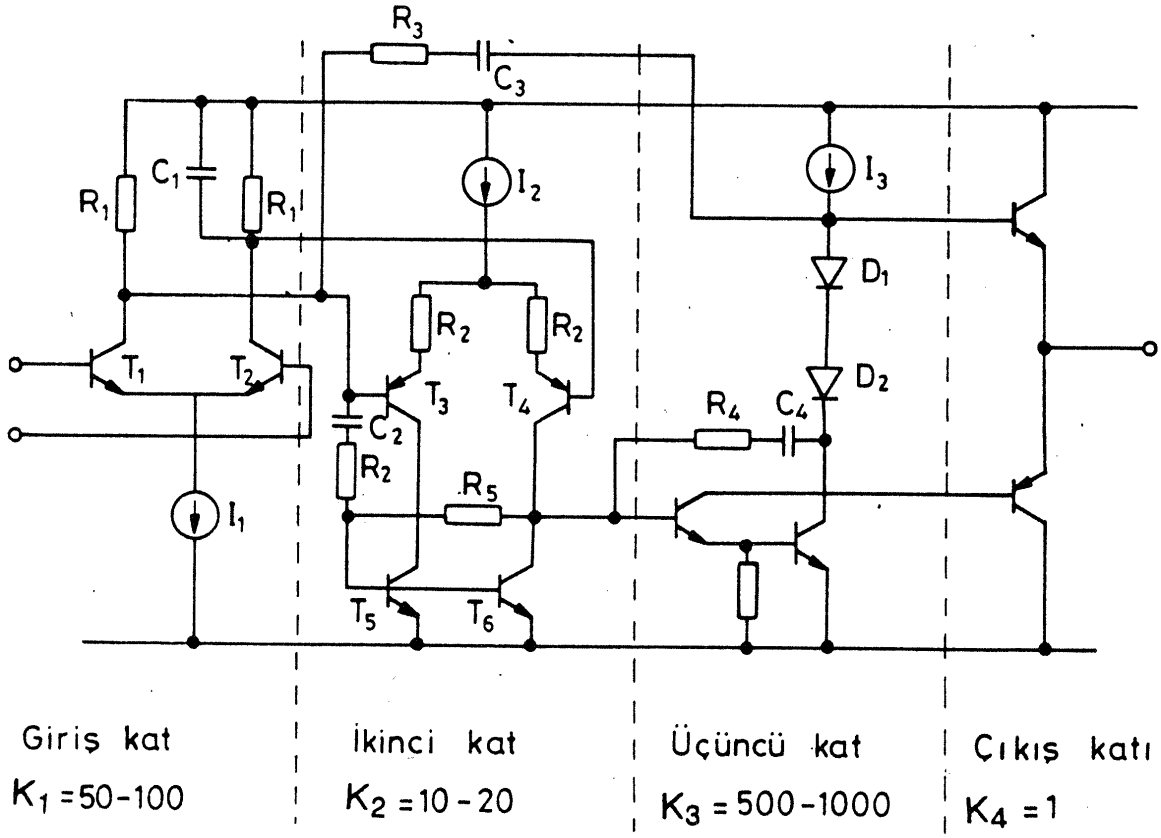


Şekil 3.3. Üç kazanç katlı işlemsel kuvvetlendiricilerin gerçekleştirilmesi.

İlk blok şemada ikinci kazanç katına lokal ileri ve geribeslemeler uygulanmıştır. Üçüncü kata uygulanan lokal geribesleme sistemin baskın kutbunu belirler. Genelde böyle bir yapıda, geniş bandlı bir seviye öteleme elde edebilmek üzere, ikinci kat kapalı çevrimli birim kazançlı kat olarak kurulur.

İkinci blok şemada ise her bir kat kendi başına gerilim kazancı sağlamaktadır. Baskın kutbu belirlemek üzere, üçüncü katın çıkışından ikinci katın girişine geribesleme uygulanmıştır. Üçüncü kata uygulanan lokal geribesleme ile devrenin baskın olmayan yüksek frekanslı kutupları belirlenir. İkinci kat, orta değerde kazançlı bir seviye öteleme katıdır; bunun getireceği sınırlamalar ileri beleme ile giderilmektedir. Şekil-3.3b'deki blok şemaya uygun bir devre yapısı Şekil-3.4'de görülmektedir. Yapıdaki R_3-C_3 kombinezonu ile

ikinci ve üçüncü katlara geribesleme uygulanmıştır, bununla baskın kutup belirlenir. Üçüncü kata uygulanması gereken lokal geribesleme R_4 -C_4 kombinezonu ile, ikinci kata uygulanan ileri besleme de



Şekil 3.4. Üç kazanç katlı işlemsel kuvvetlendirici yapısı.

R_2 -C_2 ile sağlanmaktadır. Şekilden fark edileceği gibi, seviye oteleme katı olan ikinci kat pnp tranzistorlarla kurulmuş olup bunların f_T kesim frekansı 1-2 MHz mertebesindedir. pnp tranzistorların getirecekleri bu sınırlama, bu elemanların yüksek frekanslarda bir değişken işaret yolu üzerinden köprülenmesiyle giderilebilir. Bu yöntem ileri besleme tekniği olarak isimlendirilir. İleri besleme yöntemi ile küçük işaret davranışı yüksek frekanslarda iyileşmektedir. Bu teknik, temelde, işlemsel kuvvetlendiricinin kompanze edilmemiş haldeki açık çevrim kutuplarını frekans değerince ötelemekte, böylece birim kazanç band genişliği belirli bir faz payı için daha yüksek olmaktadır.

3.4. İşlemsel Kuvvetlendiricilerde Frekans Kompanzasyonu

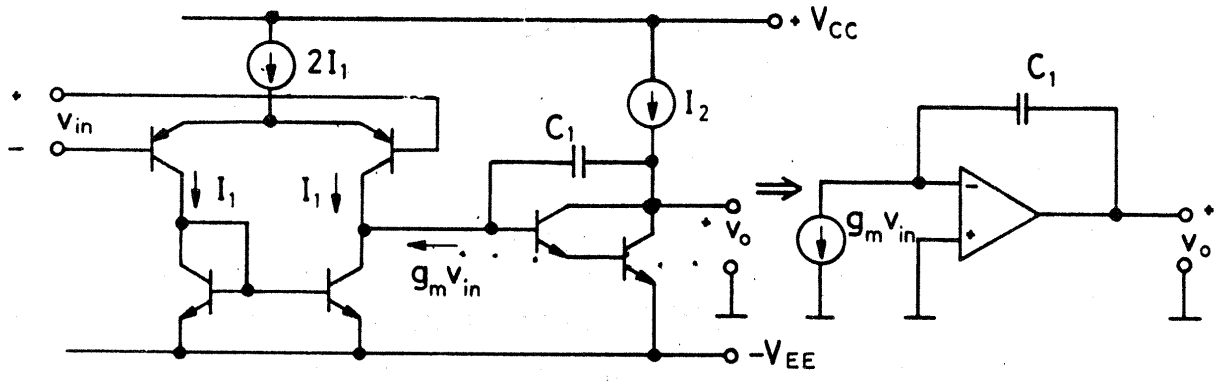
Birçok uygulamada işlemsel kuvvetlendiricilerin şartsız kararlı olarak çalışmaları istenir. Diğer bir deyişle, uygulanan rezistif bir geribesleme için işlemsel kuvvetlendirici osilasyon yapmadan çalışabilmelidir. Şartsız kararlılık, işlemsel kuvvetlendiricilerin açık çevrim kazancının

$$K(s) = \frac{K_O}{1+\tau_1 . s} \qquad (3.4)$$

şeklinde tek kutuplu bir transfer fonksiyonu ile ifade edilecek biçimde olmasıyla sağlanır. Bunun ise ancak frekans kompanzasyonu yardımıyla gerçekleştirilebileceği açıktır.

İki Kazanç Katlı İşlemsel Kuvvetlendiricilerde Frekans Kompanzasyonu

İki kazanç katlı işlemsel kuvvetlendiricide frekans kompansazyonunu incelemek üzere Şekil-3.5'deki basitleştirilmiş yapıdan yararlanılabilir. İlk katın geçiş iletkenliği g_m olduğundan, bu katın çıkış akımı



Şekil 3.5. İki kazanç katlı işlemsel kuvvetlendiriciye frekans kompanzasyonu uygulanması.

$$i_o = g_m \cdot v_{in} \qquad (3.5)$$

şeklinde ifade edilebilir. Öte yandan, ikinci kazanç katı negatif kazançlıdır ve kompanzasyon kapasitesi de bu katın çıkışıyla girişi arasına bu katla birlikte bir integral alıcı oluşturacak biçimde bağlanmıştır. Bu nedenle, yukarıda belirtilenler biraraya getirilirse, ilk katın yerine bağımlı bir akım kaynağı, ikinci katın yerine de bir integral alıcı konarak devrenin modellenebileceği açıktır. Devrenin bu şekilde oluşturulan modeli şeklin sağ tarafında yer almaktadır. Bu modelden hareketle

$$V_o = -\, g_m \cdot V_{in} \cdot \frac{1}{s \cdot C_1}$$

$$K(s) = \frac{V_o}{V_{in}} = \frac{-g_m}{s \cdot C_1}$$

olur. s yerine j.ω konur ve |K(ω)| oluşturulursa

$$|K(\omega)| = \frac{g_m}{\omega \cdot C_1} \qquad (3.6)$$

bulunur. Bu transfer fonksiyonu −20 dB/dek'lık bir düşme eğimi gösterir. C_1 kapasitesinin değerinin uygun seçildiğini ve işlemsel kuvvetlendiricinin frekans eğrisinin integratör eğrisini izlediği kabul edilsin. Bu durum için $|K(\omega_1)|=1$ değerinin sağlandığı ω_1 açısal frekansı hesaplanırsa

$$\omega_1 = 2.\pi.f_1 = \frac{g_m}{C_1} \qquad (3.7)$$

elde edilir. Yukarıda varsayılan şartın yerine gelebilmesi için, ω_1 açısal frekansının kuvvetlendiricinin kompanze edilmemiş haldeki en düşük açık çevrim kutbundan daha küçük değerli seçilmesi gerekir. Böylece, kompanzasyonlu durumda kazancın modülü 1 değerini alana kadar, kuvvetlendiricinin açık çevrim kutupları nedeniyle ek bir faz kayması oluşmaz.

Genelde, enine pnp tranzistorların f_T geçiş frekanslarının düşük değerli olmasının bir sonucu olarak, kuvvetlendiricinin açık çevrim kutupları 1–2 MHz mertebesindedir. Bu durumda $f_1=\omega_1/2.\pi=1$MHz seçilirse, (3.4) bağıntısından hareketle C_1 kapasitesinin değeri kolayca hesaplanabilir ve

$$C_1 = \frac{g_m}{2.\pi.f_1} \qquad (3.8)$$

elde edilir. Bu bağıntılarda yer alan f_1 büyüklüğü, kuvvetlendiricinin kazanç-band genişliği olarak isimlendirilmektedir.

Kompanzasyon Kapasitesinin Küçültülmesi

Kompanzasyon kapasitesi kırmık üzerinde az yer kaplamalıdır, bu nedenle kapasitenin boyutları olabildiğince küçük tutulmalıdır. (3.8) bağıntısından fark edilebileceği gibi, kompanzasyon kapasitesi, f_1 birim kazanç band genişliği ile ters orantılı, g_m eğimi ile de doğru orantılıdır. Birim kazanç band genişliği eleman özellikleri ve seçilen konfigurasyon ile sınırlıdır. Bu nedenle, C_1 kapasitesini

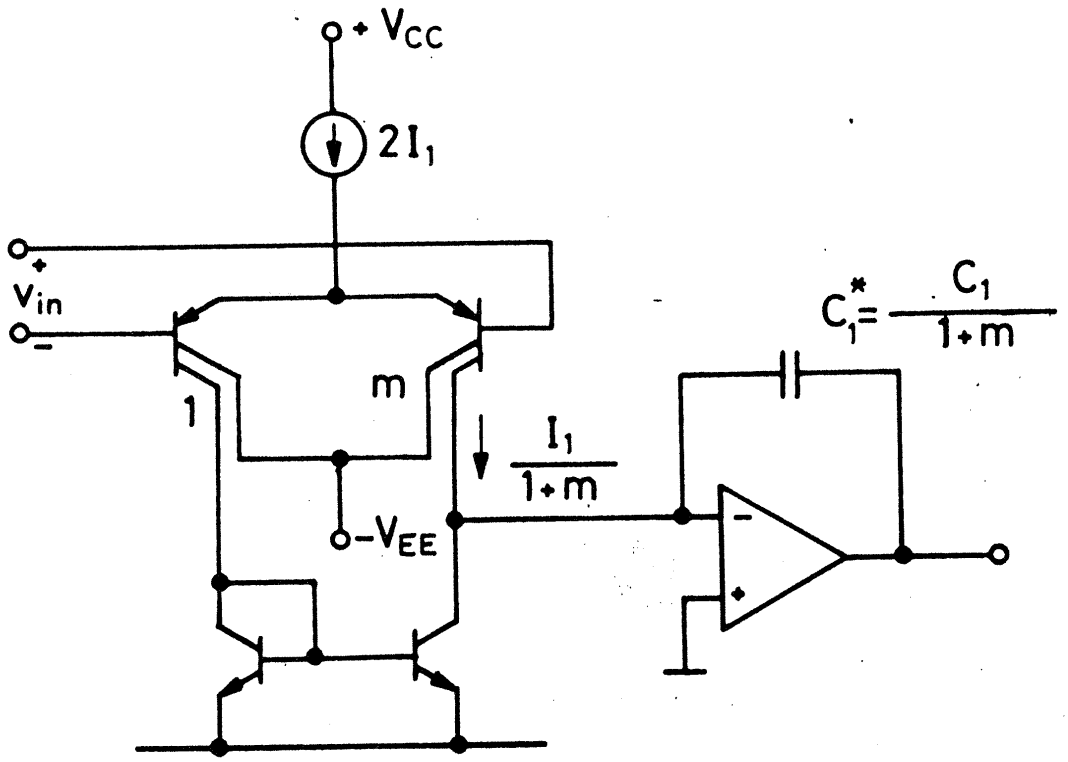
azaltmanın tek yolu ilk katın eğimini düşürmektir. Enine pnp tranzistor yapısı bunu mümkün kılar. Enine pnp tranzistor yapısında kolektör bölgesi emetörü çevreler. Kolektör bölgesi iki yaya ayrılsın ve bunların yay uzunluklarının oranı 1:m olsun. Böylece, eğim için gereken akım alınır, akımın geri kalanı referans düğümüne akıtılır. Bunun sonucunda ilk katın eğimi

$$g_m^* = \frac{I_C^*}{V_T} = \frac{1}{1+m}\,\frac{I_C}{V_T} = \frac{g_m}{1+m} \qquad (3.9)$$

ve bu yeni durumda kompanzasyon kapasitesinin değeri de

$$C_1^* = \frac{C_1}{1+m} \qquad (3.10)$$

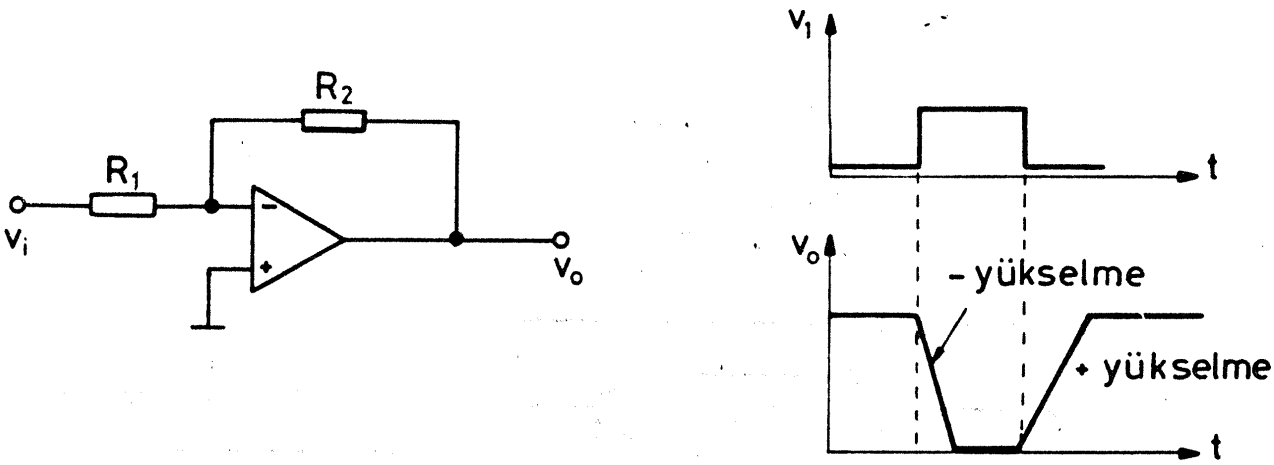
olur. Devrenin yapısı Şekil-3.6'da görülmektedir.



Şekil 3.6. Kolektör çevreleme oranıyla kompanzasyon kapasitesinin değerinin küçültülmesi.

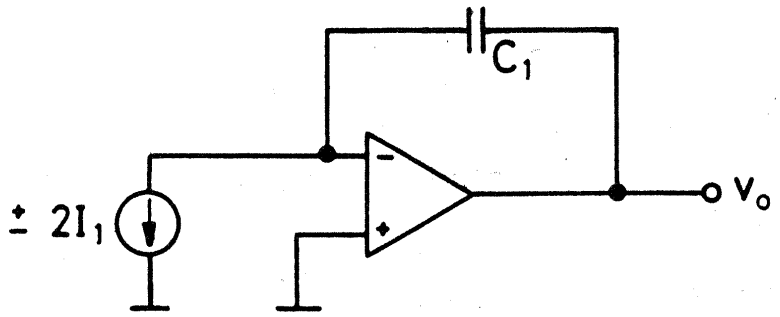
3.5. Yükselme Eğimi

Bir işlemsel kuvvetlendiricide, giriş işaretinin basamak biçiminde değişimine çıkış işaretinde karşı düşen değişimin maksimum hızı sınırlıdır. Bu nedenle, çıkış işaretinin dalga şekli giriş işaretini izleyemez. Giriş kuvvetlendiricisi doymaya sürülür ve çıkış işareti rampa şeklinde yükselir ve düşer. Çıkış işaretinde elde edilen bu rampanın eğimi devrenin iç akım ve iç kapasitelerine bağlıdır. Yine, devrenin yapısına bağlı olarak, pozitif ve negatif yükselme eğimleri farklı olabilir. Faz döndüren bir kuvvetlendirici yapısı üzerinde giriş ve çıkış işaretlerinin nasıl olacakları Şekil-3.7'de verilmiştir.



Şekil 3.7. Yükselme eğimi.

Yükselme eğimini incelemek üzere aşağıda Şekil-3.8'de verilen model kurulabilir. Giriş katının aktif yüklü bir kat olduğu varsayımı altında, bu katı oluşturan T_1 ve T_2 tranzistorlarından biri, giriş işaretinin yönüne bağlı olarak kesimde, diğeri ise iletimde olur. Buradan hareketle çıkış işaretinin yükselme hızı hesaplanırsa



Şekil 3.8. Yükselme eğimini incelemek üzere yararlanılan model.

$$(y.e) = \left[\frac{dV_O}{dt}\right]_{maks} = \frac{2.I_1}{C_1} \qquad (3.11)$$

bağıntısı bulunur. Öte yandan, C_1 kompanzasyon kapasitesi birim kazanç band genişliği ile ilişkilidir. Bu nedenle yükselme eğimi

$$(y.e) = \frac{2.\omega_1 I_1}{g_{m1}} \qquad (3.12)$$

şeklinde ifade edilebilir. Bağıntıdan fark edilebileceği gibi, işlemsel kuvvetlendirici tasarımında giriş katının g_{m1} eğimi önemli bir parametre olmakta, bu açıdan bakıldığında yukarıda verilen (3.12) bağıntısı da önem taşımaktadır.

ω_1 birim kazanç band genişliğinin belli olması halinde, işlemsel kuvvetlendiricinin yükselme eğimi I_1/g_{m1} oranı ile belirlenir. Dolayısıyla, yükselme eğimini büyütmek için ilk katın I_1/g_{m1} oranının yükseltilmesi gerekir. Ancak, bu oran I_1 akımı yükseltilerek arttırılamaz; zira

$$g_{m1} = \frac{I_1}{V_T}$$

olduğundan hareket edilirse, yükselme eğimini veren (3.12) bağıntısı

$$(y.e) = 2.\ \omega_1.V_T = 4.\ \pi.f_1.V_T \qquad (3.13)$$

şeklini alır. Görüldüğü gibi, yükselme eğimi I_1 akımından bağımsız çıkmaktadır. Yükselme eğiminin ne şekilde iyileştirilebileceği aşağıda belirtilmiştir:

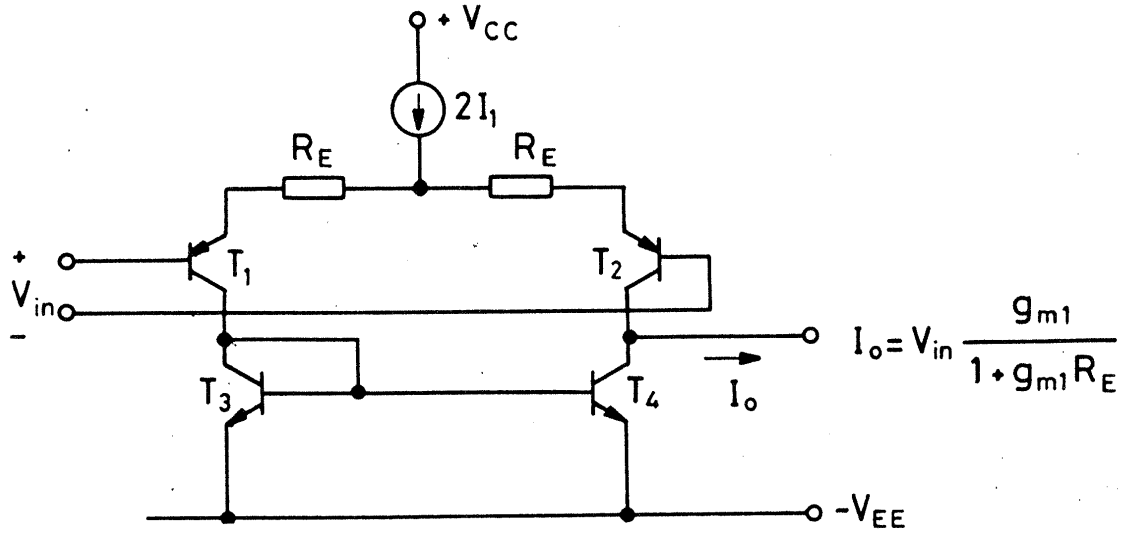
1. Daha basit devre yapıları ve daha yüksek f_T geçiş frekanslı pnp tranzistorlar kullanılarak ω_1 büyüklüğünün arttırılması,
2. İleri besleme ile ω_1'in yükseltilmesi,
3. Giriş katında emetör dejenerasyonu ile I_1/g_{m1} oranının arttırılması,
4. Giriş katında eğimi akımla orantılı olmayan JFET, MOSFET gibi düşük eğimli elemanlar kullanılması.

Ancak, bu son yöntemde giriş dengesizlik gerilimi, bipolar tranzistorlu devredekine göre 3-5 defa daha kötü olur.

Yukarıda değinilen yöntemlerden emetör dejenerasyonu ile I_1/g_{m1} oranının arttırılması yöntemine aşağıda kısaca değinilecektir. I_1 akımı (y.e) üzerinde etkisiz olduğundan, bu yoldan hareketle bir düzeltme sağlanamayacağına daha önce değinilmişti. O halde çözüm, I_1 akımını değiştirmeden g_{m1} eğiminin değiştirilmesiyle elde edilebilir. Bu da ancak emetör dejenerasyonu ile, diğer bir deyişle emetörlere seri direnç bağlanarak tranzistorlara akımdan seri geribesleme uygulanmasıyla sağlanabilir. Devre yapısı Şekil-3.9'da verilmiştir. Emetörlere bağlanan R_E dirençleri, fark kuvvetlendiricisinin akımın azaltmadan eğimini azaltır. Böylece

$$G_m = \frac{g_{m1}}{1 + g_{m1}.R_E} = \frac{I_1/V_T}{1 + I_1.R_E/V_T} \cong \frac{1}{R_E} \quad (g_m.R_E >> 1) \qquad (3.14)$$

olur. Sayısal değerler verilirse, $I_1.R_E=500mV\cong 20.V_T$ için I_1/G_m oranı dirençsiz haldekine göre 20 defa azalmaktadır. Bunun sonucunda yükselme eğiminin de 20 defa artacağı açıktır. Ancak, toplam eğimin



Şekil 3.9. Emetörlere seri dirençler yerleştirilerek yükselme eğiminin arttırılması.

ve toplam gerilim kazancının bu durumda azalacağına dikkat etmek gerekir. Açık çevrim kazancını azaltması, direnç dengesizliği nedeniyle giriş dengesizliğini arttırması nedeniyle, yükselme eğimin bu yoldan iyileştirilmesi pek tercih edilmez.

Giriş katında JFET kullanılması yöntemine ileride değinilecektir.

3.6. Tam Güç Band Genişliği

$\omega_p=2.\pi.f_p$ tepeden tepeye maksimum gerilim dalgalanmasının elde edilebildiği en yüksek frekans olsun. İşlemsel kuvvetlendiricinin gerilim izleyici olarak kullanılması halinde sinüzoidal gerilim için çıkış işaretinin tepe dalgalanması, çıkış işaretinin değişim hızının yükselme eğimini aşmaması halinde elde edilebilir. Çıkış işareti

$$V_o = E_o.\sin(\omega.t)$$

olsun. Bu durumda çıkış işaretinin değişim hızı

$$\frac{dV_o}{dt} = E_o.\omega.\cos(\omega t)$$

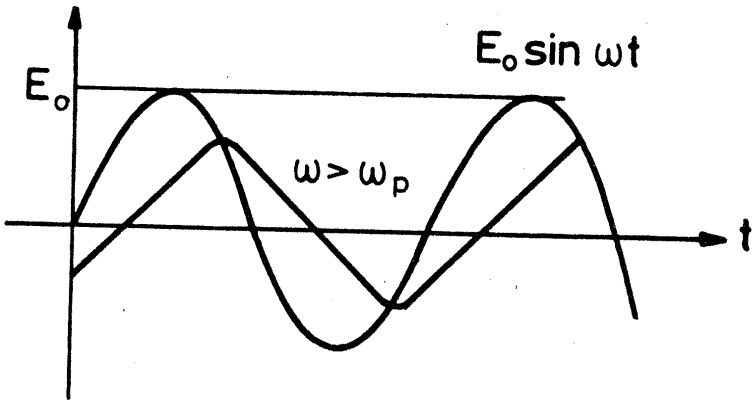
şeklinde ifade edilebilir. Bu değişimin maksimum değeri $\cos(\omega t)=1$ olması halinde elde edilebilir. Maksimum değişim hızı yükselme eğimine eşit olduğundan

$$\left(\frac{dV_o}{dt}\right)_{maks} = (y.e) = E_o.\omega_p \qquad (3.15)$$

bulunur. Tam güç band genişliği, çıkış işaretinin değişim hızının yükselme eğimine eşit olduğu frekanstır. Buradan hareketle

$$\omega_p = \frac{\text{yükselme eğimi}}{\text{çıkış işaretinin maksimum tepe değeri}}$$

şeklinde ifade edilebilir. Bu frekansa ulaşılınca çıkış dalga şekli bozulur ve üçgenleşir. Frekans daha da arttırılırsa, genlik hızla azalır. Çıkış işaretinin değişimi Şekil-3.10'da verilmiştir.



Şekil 3.10. Yükselme eğimi nedeniyle çıkış işaretinin sınırlanması.

3.7. Giriş Katı Tasarımı

Bir işlemsel kuvvetlendiricide, kuvvetlendiricinin giriş direnci, giriş dengesizlik gerilimi ve akımı, ortak işareti zayıflatma oranı gibi temel özellikleri giriş katı tarafından belirlenir. Bu nedenle, giriş katı tasarımı büyük önem taşır. Bir giriş katının sağlaması gereken temel özellikler aşağıda belirtilmiştir:

1. Giriş direncinin yüksek olması (>100 kΩ),
2. Düşük değerli giriş kutuplama akımı (<500 nA),
3. Giriş dengesizlik gerilimi ve akımının düşük olması,
4. Ortak işareti bastırma oranının yüksek olması (>60 dB),
5. Ortak işaret değişim aralığının yüksek olması (0.5 Vcc),
6. Fark işaret değişim aralığının büyük olması,
7. Gerilim kazancının yüksek olması.

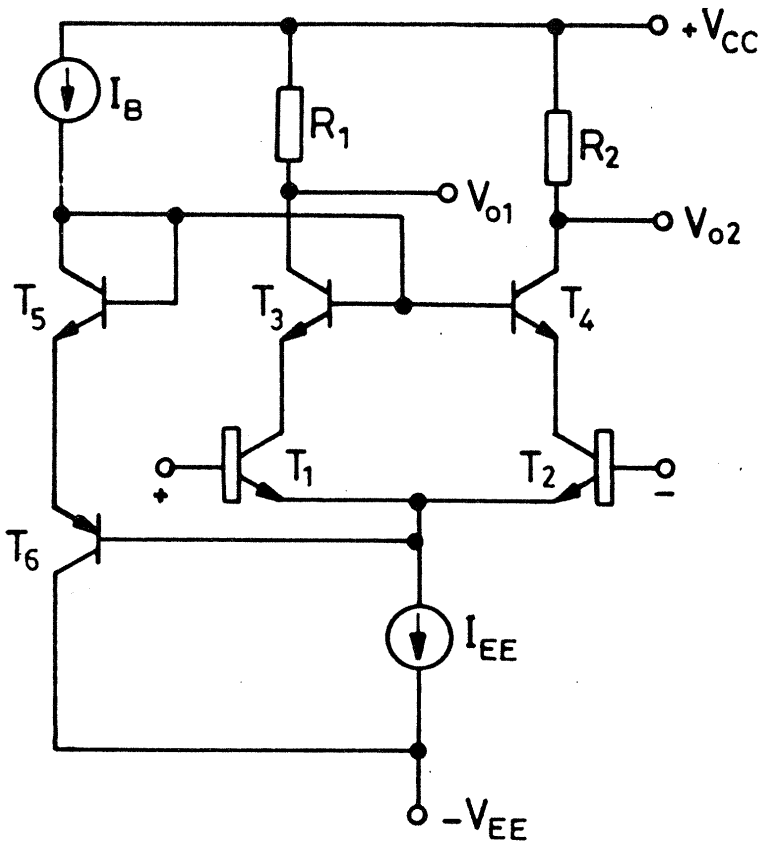
Temel giriş katları

İşlemsel kuvvetlendiricilerde giriş katı olarak, daha önce Bölüm-2'de incelenmiş olan katlar kullanılabilir. Büyük çeşitlilik gösteren bu yapılardan biri yahut diğeri, uygulamaya göre tercih edilmektedir. Yüksek değerli yükselme eğimi, düşük gürültü gibi özellikler istenmiyorsa, npn tranzistorlarla kurulan giriş katları aktif yahut pasif yükle birlikte kullanılmaktadır. npn tranzistorların eş olma özellikleri enine pnp tranzistorlardan daha iyidir. β_F akım kazançlarının yüksek olması nedeniyle npn tranzistorların giriş dirençlerinin daha yüksek olacağı açıktır. Giriş dengesizlik geriliminin ve gürültünün düşük olmasının gerekli olduğu durumlarda direnç yüklü npn katlar kullanılır. Bu tür yapılarda dengesizlik ayarı basitleşmekte, ayrıca akım aynasından gelen ek gürültü bileşenleri önlenmektedir.

Düşük giriş akımlı giriş katlarının gerekmesi halinde, bu özelliği sağlamak üzere başlıca üç yöntemden yararlanılabilir: süper β lı giriş katları, baz akımı dengelenmiş katlar ve FET'li giriş katları kullanılması.

Süper β lı Giriş Katları Kullanılması

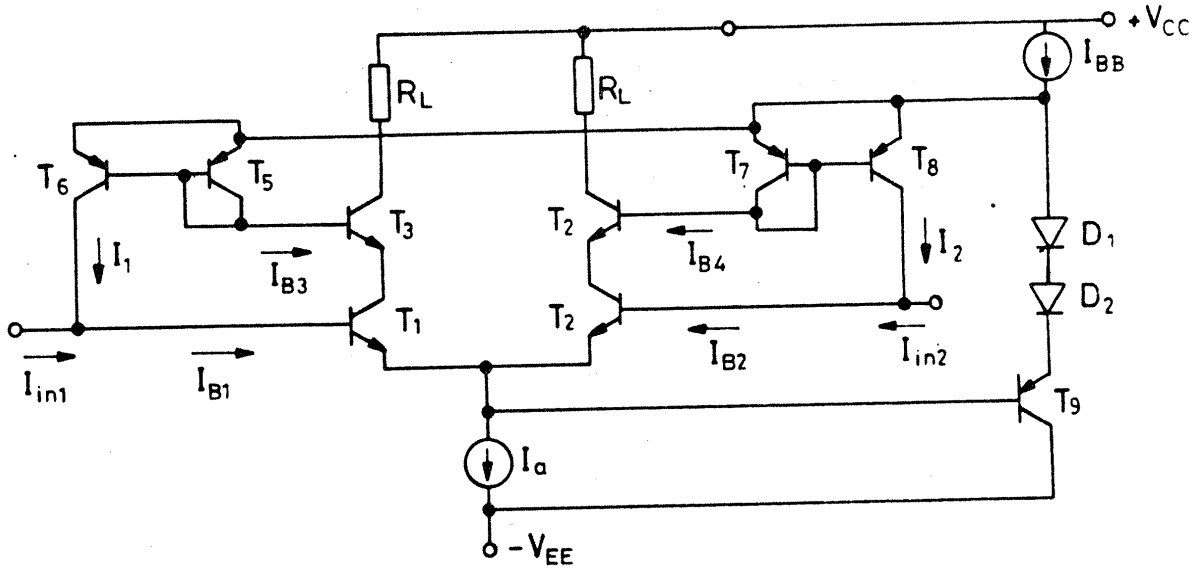
Süper β lı bipolar tranzistorlar, β_F akım kazançları 1000-3000 arasında olan ve 3-5V'luk bir belverme gerilimi gösteren tranzistorlardır. Ek bir difüzyon adımıyla normal npn tranzistorlarla birlikte imal edilirler. Belverme gerilimleri 3-5V gibi düşük bir değer gösterdiğinden, bu tranzistorların V_{CE} kolektör-emetör gerilimlerinin sınırlanması gerekir. Bunu sağlamaya elverişli uygun bir devre düzeni kaskod devredir. Süper β lı tranzistorlarla oluşturulmuş bir giriş katı devresi Şekil-3.11'de verilmiştir. Devredeki T_1 ve T_2 tranzistorları süper β lı tranzistorlardır. T_1-T_3 ve T_2-T_4 tranzistorlarıyla birer kaskod devre oluşturulmuş, böylece süper β lı tranzistorların kolektör-emetör gerilimleri sınırlanmıştır. T_5-T_6 tranzistorlarının belirlediği gerilim aralığı yardımıyla süper β lı tranzistorlardaki gerilim dalgalanması 1 V_{BE} değerinden daha küçük tutulmaktadır. Giriş akımı geniş bir sıcaklık değişimi aralığında birkaç nA mertebesinde olur. Dengesizlik gerilimi ise $V_{OS} \leq 1$ mV dur. β_F pozitif sıcaklık katsayılı olduğundan giriş akımı sıcaklıkla azalır.



Şekil 3.11. Süper β lı tranzistorlarla kurulan giriş katı.

Baz Akımının Dengelenmesi

Bipolar işlemsel kuvvetlendiricilerde giriş akımı, giriş tranzistorlarının baz akımları tarafından oluşturulur. Bu akım, giriş katı tranzistorlarının kolektör akımının β_F akım kazancına bölünmesi ile hesaplanabilir. Baz akımları işlemsel kuvvetlendiricinin girişi yerine başka bir devre üzerinden sağlanırsa, giriş akımı azaltılabilir. Giriş akımını iptal devresi olarak da isimlendirilen böyle bir dengeli devre düzeni Şekil-3.12'de görülmektedir. $\alpha_F \cong 1$ olduğu kabulü ile $I_{B1}=I_{B3}$ ve $I_{B2}=I_{B4}$ olur. Bu özellik kaskod devreden kaynaklanır. I_{B3} ve I_{B4} baz akımları pnp akım kaynakları ile I_1 ve I_2 şeklinde girişe yansıtılır. Diğer bir deyişle, baz akımları geribesleme ile sağlanır. Böylece dış uçlar üzerinden akan giriş akımları



Şekil 3.12. Baz akımı iptal devresi.

$$I_{in1} = I_{B1} - I_1$$

$$I_{in2} = I_{B2} - I_2 \qquad (3.16)$$

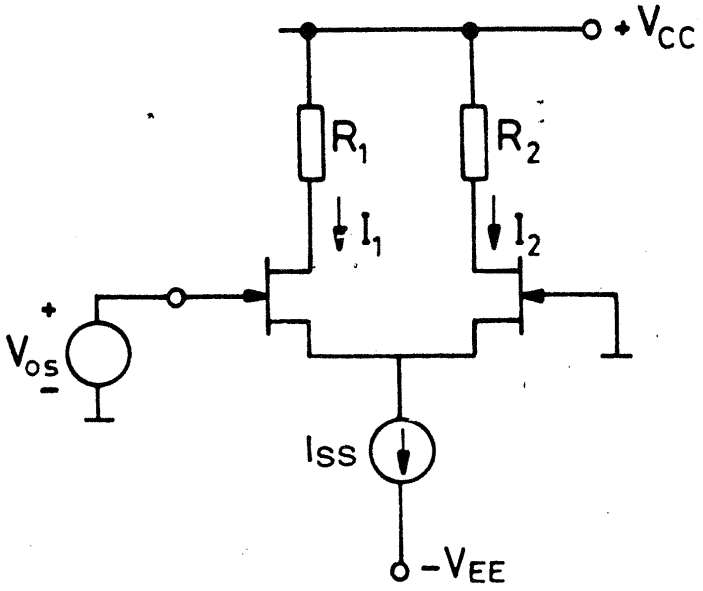
olur. Tranzistorların eş ve akımların yakın değerli oldukları göz önüne alınırsa, giriş akımlarının azalacağı ve bir ölçüde baz akımlarının giriş akımları üzerindeki etkisinin azalacağı açıktır. Başka bir deyişle, baz akımları "iptal" edilmiş olur.

Bu devrede en önemli hata kaynağı, pnp tranzistorların β_F akım kazançlarının düşük değerli olmasıdır. Bu nedenle, giriş akımının azaltılması, dengelenmemiş devrenin baz akımının % 10'u kadar bir değerde sınırlanır. Bu yöntem, giriş kutuplama akımını azaltmakla birlikte, giriş dengesizlik akımını küçültmemektedir. Giriş dengesizlik akımı, I_{in1} ve I_{in2} akımları arasındaki farktır. Kutuplama ve dengesizlik akımları, yaklaşık olarak eş ve 1–5 nA mertebesindedir.

Devredeki T_9 tranzistoru, D_1 ve D_2 diyotları ile birlikte T_7 – T_8 tranzistorlarının emetörlerini T_1 ve T_2 tranzistorlarınınkinden üç diyot gerilimi kadar daha pozitif bir potansiyelde tutmaktadır. Dolayısıyla, T_3 ve T_4 tranzistorlarının bazları T_1 – T_2 tranzistorlarının bazlarından iki diyot gerilimi kadar daha yukarıda kutuplanır. T_3 ve T_4 tranzistorlarının emetörleri T_1 – T_2 nin ortak emetör noktasından bir diyot gerilimi kadar daha pozitif olduğundan, T_1 – T_2 giriş tranzistorları $V_{BC}=0$ şartında çalışırlar. npn tranzistorların β_F akım kazançlarının yüksek olması kabulü ile T_3 ve T_4 ün kolektör akımları T_1 ve T_2 nin baz akımlarına eşittir. npn tranzistorların β_F akım kazançlarının eş olması durumunda bunların baz akımları da aynı olur. pnp akım kaynakları bu akımları almakta, T_1–T_2 çiftinin bazlarına yansıtmaktadır. pnp tranzistorların β_F akım kazançları yüksek ise, kompanzasyon da kusursuz olur. Gerçekte, pnp tranzistorlar düşük akım seviyelerinde çalıştıklarından, bunların akım kazançları da oldukça düşük değerli olurlar. Bunun yanısıra, npn tranzistorların akım kazançlarının tam olarak eşleştirilemediklerini belirtmekte yarar vardır. Bütün bunların bir sonucu olarak, T_1 in baz akımı ile T_6 nın kolektör akımı arasında, bunların eş olduklarının varsayılmasına rağmen, %5–%20 kadar bir dengesizlik oluşur. Sonuçta, giriş akımı, kompanzasyonsuz devredekinin 1/5 ... 1/20'si arasına düşürülmüş olur.

FET Girişli İşlemsel Kuvvetlendiriciler

Düşük giriş akımı elde etmenin diğer bir yolu, giriş katında aktif eleman olarak alan etkili tranzistorlar (JFET, MOSFET) kullanmaktır. JFET'lerin giriş akımı düşük oda sıcaklıklarında 10 pA'ler mertebesindedir ve bu elemanlarda eğim/çalışma akımı oranı bipolar tranzistordakinden çok daha düşüktür. Şekil-3.13'deki JFET'li fark kuvvetlendiricisi ele alınsın. Yük dirençleri arasında dengesizlik bulunduğu varsayılsın. Bu durumda çıkış geriliminin sıfır olabilmesi için



Şekil 3.13. JFET'li fark kuvvetlendırıcisi.

$$I_1 . R_1 = I_2 . R_2$$

olmak zorundadır. R_1 ve R_2 dirençleri arasındaki dengesizliği giderebilmek üzere, buna karşı düşen bir akım dengesizliği gerekir. Böylece

$$\frac{\Delta I}{I} = \frac{\Delta R}{R} \qquad (3.17)$$

olur. Bu akım dengesizliğini oluşturacak giriş dengesizlik gerilimi Vos ile gösterilirse

$$- \Delta I = g_m . V_{os} \qquad (3.18)$$

elde edilir. (3.17) ve (3.18) bağıntılarının biraraya getirilmesiyle

$$V_{os} = \frac{I}{g_m} \frac{\Delta R}{R} \qquad (3.19)$$

bağıntısı bulunur. Bağıntıdan fark edilebileceği gibi, belirli bir yük dengesizliği için giriş dengesizliğini belirleyen en önemli aktif eleman parametresi, çalışma akımının elemanın eğimine oranı olmaktadır. Doyma bölgesinde çalışan bir JFET için savak akımı

$$I_D = I_{DSS} \cdot \left(1 - \frac{V_{GS}}{V_P}\right)^2$$

JFET'in eğimi

$$g_m = -2 \cdot \frac{I_{DSS}}{V_P}\left(1 - \frac{V_{GS}}{V_P}\right)$$

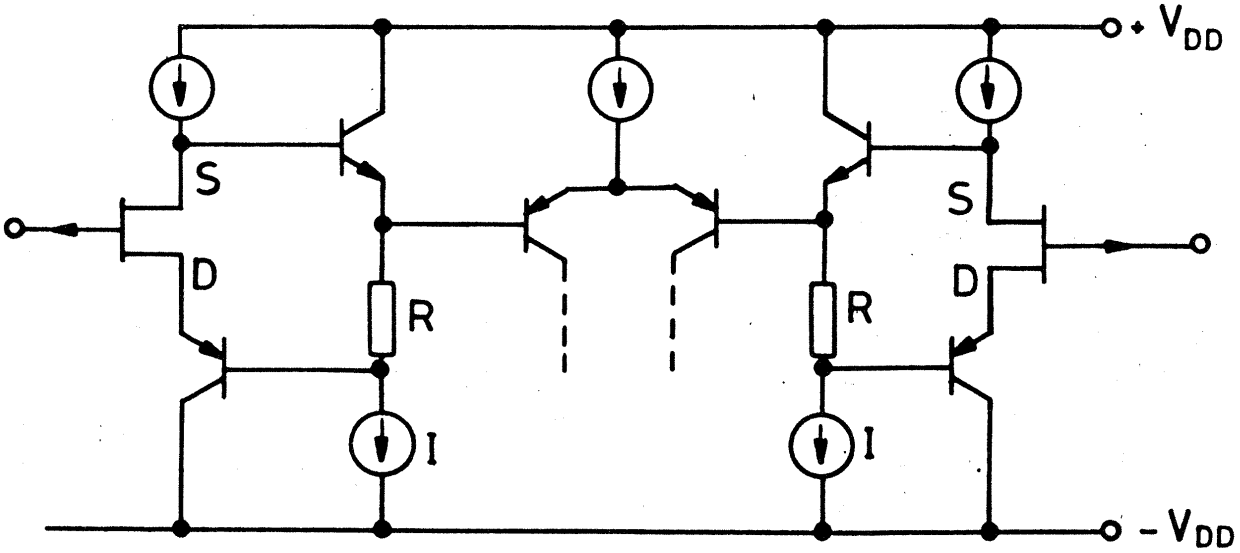
ve buradan hareketle

$$\left|\frac{I_D}{g_m}\right| = \frac{V_P}{2}\left(\frac{I_D}{I_{DSS}}\right)^{1/2} \qquad (3.20)$$

bulunur. Bir JFET'de V_P kısılma gerilimi 1–4V arasında bulunur. I_{DSS} mertebesindeki I_D akımları için yukarıdaki oran 1V mertebesinde olur. Bir bipolar tranzistorda ise söz konusu oran $V_T=k.T/q=26$ mV olduğuna göre, JFET'de bu oranın bipolar tranzistordakinden 40 defa daha yüksek olacağı açıktır. Dolayısıyla, JFET'li fark kuvvetlendiricilerinde yük elemanlarının çok daha iyi bir biçimde dengelenmesi, ayrıca JFET parametrelerinin de eşleştirilmesi gereklidir.

Jonksiyonlu FET'lerin bipolar tranzistorlarla birlikte gerçekleştirilmesi için çeşitli teknikler bulunmaktadır. Bunlardan biri, süper β lı tranzistor gerçekleştirilmesinde kullanılan prosesten yararlanmaktır. Yapı ya aynı baz difüzyonu içerisine iki ayrı emetör difüzyonu yapılarak, ya da aynı emetör difüzyonunu iki ayrı baz difüzyonu bölgesinde gerçekleştirilerek oluşturulur. Her iki durumda da kanal genişliği çok dardır. Öndepolama şartları ve difüzyon, elemanın kanal genişliği ve kısılma gerilimine çok etkili olur. Bu şekilde gerçekleştirilen elemanın diğer bir sakıncası, savak-geçit belverme geriliminin bir bipolar tranzistorun baz-emetör belverme gerilimiyle 7 V civarında sınırlı olmasıdır. Bu nedenle, elemanın, savak-kaynak gerilimini sınırlayan bir devre yapısında çalıştırılması

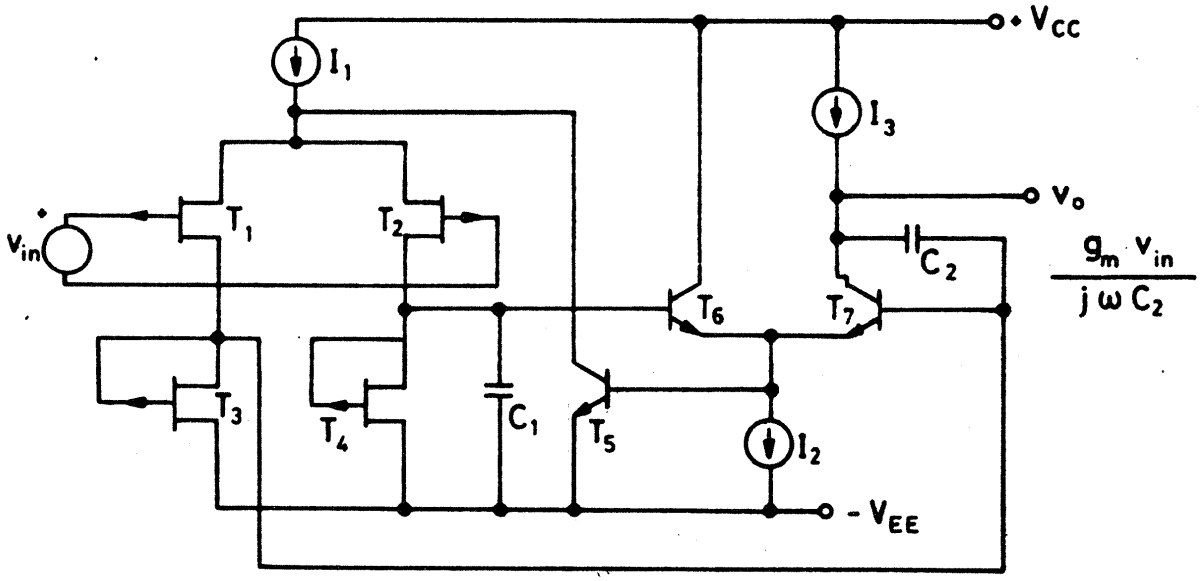
gerekir. Çift difüzyonlu JFET'lerle kurulan bu tür bir yapı Şekil-3.14'de verilmiştir. Devrede I akım kaynakları R dirençleri üzerinde 3-5 V'luk bir gerilim düşürür. Dirençlerin üst uçları npn tranzistorlarla JFET'lerin kaynak uçlarına kenetlidir. Yine, JFET'lerin savak uçları da pnp tranzistor üzerinden dirençlerin alt uçlarındaki gerilime kenetlenmiştir. Böylece, V_{DS} savak-kaynak geriliminin büyük değerler alması önlenmekte ve bu gerilimin değeri R dirençlerindeki gerilim düşümü ile belirlenmektedir.



Şekil 3.14. Çift difüzyonlu JFET'lerle giriş katı.

Çift difüzyonlu JFET'li devrenin önemli sakıncaları, prosesin kontrolunun zor olması, giriş katı yapısının karmaşıklaşması, kırmık üzerinde fazla yer kaplaması, giriş dengesizlik geriliminin yüksek ve 20-50 mV mertebesinde olması başlıkları altında toplanabilir. Bu sakıncalar, JFET'lerin ek bir iyon ekme işlemiyle gerçekleştirilmesi yoluna gidilerek ortadan kaldırılmıştır. Kanal oluşturmak üzere tek bir p tipi iyon ekme işlemi kullanılmakta, iyon ekme prosesi katkılamanın uniform ve presizyonlu yapılmasını sağladığından, kanal profili iyi bir şekilde kontrol edilebilmekte, böylece kısılma geriliminin ve eşleştirmenin presizyonlu olarak kontrolu sağlanmaktadır. Kanal bölgesindeki katkı yoğunluğu sadece 10^{16}

atom/cm^3 mertebesinde olduğundan, savak-geçit belverme gerilimi yüksek tutulabilir ve daha önceki karmaşık yapıya gerek kalmaz. Bu tür elemanlarla kurulan giriş katı içeren işlemsel kuvvetlendiricilerde giriş dengesizlik gerilimi 3-5 mV mertebesindedir. Günümüzde, JFET girişli yapılar bu teknikle gerçekleştirilmektedir. Böyle bir işlemsel kuvvetlendiricinin basitleştirilmiş yapısı Şekil - 3.15'de görülmektedir. İyon ekmeli T_1-T_2 tranzistorları giriş elemanlarını, T_3-T_4 akım kaynakları da bunların yükünü oluştururlar. Yük olarak bipolar tranzistor yerine JFET'lerin kullanılmasıyla daha düşük giriş gürültüsü ve giriş dengesizliği sağlanmaktadır. Devrenin tümüne uygulanacak kompanzasyonu ikinci kata uygulanacak tek bir C_2 kapasitesi ile sağlayabilmek üzere, diferensiyel katın yarısının kazancı C_1 ile frekansa bağlı olarak düşürülmüştür. Devrenin bir diğer önemli özelliği T_5 tranzistoru ile uygulanan ortak işaret geribeslmedir. T_5 tranzistoru, ikinci katını ortak emetör ucundaki gerilimden örnek alarak ve bu gerilimi $-V_{EE}$ negatif kaynak gerilimine 1 V_{BEon} gerilimi düşümü ile kenetleyerek I_1 akımı regüle etmekte, bununla 100 dB'den daha iyi bir ortak işareti zayıflatma oranı sağlamaktadır.



Şekil 3.15. İyon ekmeli JFET girişli işlemsel kuvvetlendiricinin devre yapısı.