

6. MOS ANALOG ÇARPMA DEVRELERİ

Analog çarpma devreleri, giriş gerilimlerinin çarpımıyla orantılı çıkış gerilimi veren düzenlerdir ve aradaki ilişki

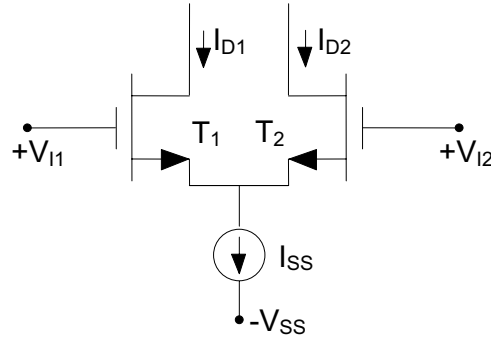
$$V_O = K.V_X.V_Y \quad (6.1)$$

şeklindedir. K büyüklüğü çarpma devresinin kazanç sabiti olarak isimlendirilir. Pratikte, çarpım sonucunu veren terimin yanısıra hata terimleri de bulunur ve bağıntının

$$V_O = K.V_X.V_Y + [K_X.V_Y + K_Y.V_X + K_O] + f(V_X, V_Y) \quad (6.2)$$

biçiminde yazılması gerekir. Bu bağıntıda ilk terim ideal çarpım sonucunu, ikincisi dengesizliği, üçüncüsü ise nonlineerliği vermektedir.

6.1 CMOS çarpma devreleri, basit çarpma devresi



Şekil-6.1. Basit fark kuvvetlendiricisi.

CMOS tekniğinde en basit analog çarpma devresi yapısı, bipolar tekniğinde olduğu gibi, Şekil-6.1'deki basit fark kuvvetlendiricisi yardımıyla gerçekleştirilebilir. Başka bir deyişle, CMOS fark kuvvetlendirici yapısı, analog çarpma devresi gerçekleştirilmesinde temel hücreyi oluşturmaktadır. Elemanların doyma bölgesinde çalışmaları ve savak akımının

$$I_D = K.(V_{GS} - V_T)^2$$

biçiminde ifade edildiği,

$$K = \frac{I}{2} \cdot k' \cdot \frac{W}{L}$$

olduğu kabulü ile tranzistorların savak akımlarını veren bağıntılar yazılırsa

$$I_1 = \frac{K}{2} \cdot \left(\sqrt{\frac{I_{SS}}{K} - \frac{V_I^2}{2}} + \frac{V_I}{\sqrt{2}} \right)^2$$

$$I_2 = \frac{K}{2} \cdot \left(\sqrt{\frac{I_{SS}}{K} - \frac{V_I^2}{2}} - \frac{V_I}{\sqrt{2}} \right)^2$$

bulunur. Buradan hareket edilirse, ΔI fark çıkış akımı için

$$\Delta I = I_1 - I_2 = K \cdot V_I \cdot \sqrt{\frac{2 \cdot I_{SS}}{K} - V_I^2} \quad (6.3)$$

bağıntısı elde edilir. ΔI çıkış fark akımı ifadesinde I_{SS} büyüklüğü kuyruk akımını, V_I giriş fark gerilimini verir. Bu bağıntının geçerlilik bölgesi

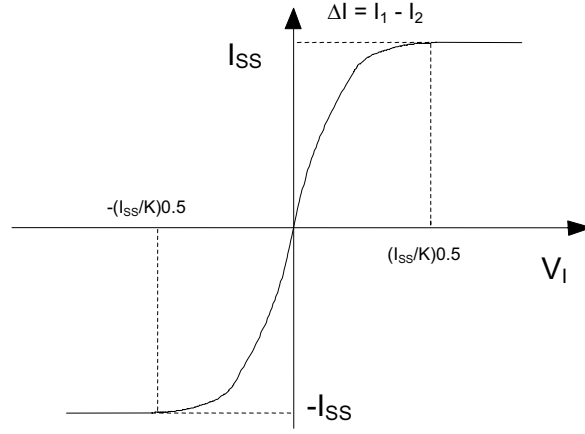
$$-\sqrt{\frac{I_{SS}}{K}} \leq V_I \leq \sqrt{\frac{I_{SS}}{K}}$$

biçiminde tanımlanabilir. Geçerlilik bölgesi Şekil-6.2'de gösterilmiştir. Giriş geriliminin bu sınırları aşması durumunda tranzistorlardan biri kesimde olur ve akımın tümü diğer tranzistor üzerinden akar. Bağıntudan fark edilebileceği gibi, I_{SS} akımının değeri ile çıkış fark akımı kontrol edilebilmektedir. Bundan yararlanılarak, analog çarpma devresi gerçekleştirilebileceği açıktır.

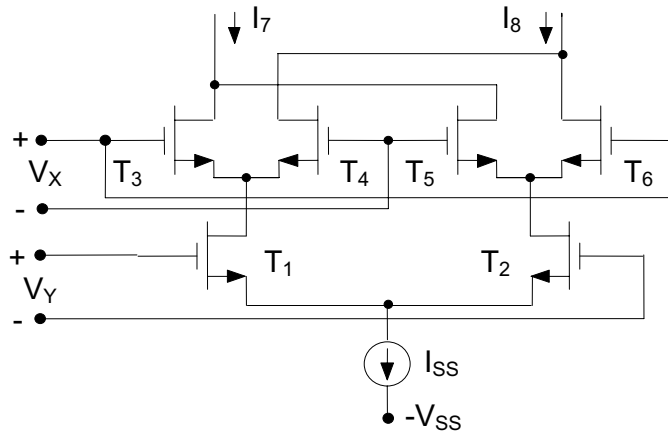
6.2. MOS Gilbert hücresi

Bipolar tekniğinden bilinen Gilbert hücresi MOS tekniği ile de gerçekleştirilebilir. MOS Gilbert hücresi Şekil-6.3'de verilmiştir.

6.3



Şekil-6.2. Lineerlik bölgesi.



Şekil-6.3. MOS Gilbert hücresi.

Dört bölge çarpma işlemini gerçekleştiren bu yapıda çıkış fark akımı

6.4

$$I_O = (I_3 - I_4) - (I_6 - I_5) \quad (6.4)$$

şeklindedir. Eleman bağıntıları (6.4) de yerine konacak olursa

$$I_O = K.V_X \cdot \left[\sqrt{\left(\sqrt{\frac{I_{SS}}{K} - \frac{V_Y^2}{2} + \frac{V_Y}{\sqrt{2}}} \right)^2 - V_X^2} - \sqrt{\left(\sqrt{\frac{I_{SS}}{K} - \frac{V_Y^2}{2} - \frac{V_Y}{\sqrt{2}}} \right)^2 - V_X^2} \right] \quad (6.5)$$

bulunur. Çıkış fark akımı ile giriş gerilimleri arasında lineer olmayan bir ilişki vardır. V_X ve V_Y yeteri kadar küçükse çıkış akımı için

$$I_O = \sqrt{2} \cdot K \cdot V_X \cdot V_Y \quad (6.6)$$

elde edilir. Bu bağıntının geçerlilik şartı

$$V_X \ll \left(\sqrt{\frac{I_{SS}}{K} - \frac{V_Y^2}{2} + \frac{V_Y}{\sqrt{2}}} \right)^2 \quad (6.7)$$

olmalıdır.

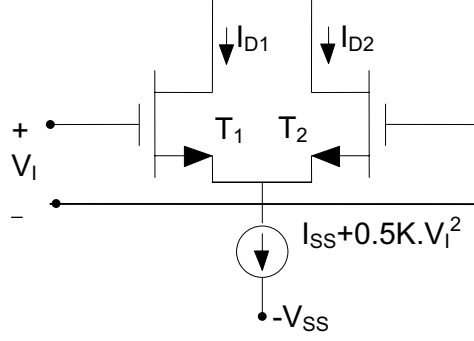
Lineerleştirilmiş CMOS Gilbert hücresi

Basit kaynak bağlamalı fark kuvvetlendiricisi, V_I giriş geriliminin (6.7) bağıntısı ile verilen sınırlar içindeki dar bir bölge dışında nonlineer bir davranış gösterir. Lineer davranış elde edebilmek için ya V_I giriş geriliminin küçük tutulması veya K büyüklüğünün küçük tutulması, ya da I_{SS} kuyruk akımının değerinin büyük tutulması gerekli olur. Böylece

$$\Delta I = V_I \cdot \sqrt{2 \cdot K \cdot I_{SS}}$$

yazılabilir. Öte yandan, küçük V_I gerilimleri söz konusu olduğundan, giriş işaretinin değişim aralığı, dolayısıyla çıkış işaretinin değişim aralığı az olur. Büyük I_{SS} akımlarıyla çalışma durumunda ise tranzistorların davranışı karesel bağıntıdan sapar. K büyüklüğünün küçültülmesi ise daha büyük V_{GS} gerilimleriyle çalışmayı zorunlu kılar.

6.5



Şekil-6.4. Lineerleştirme yöntemi.

Yapının davranışının lineerleştirilebilmesi için, kuyruk akımına sabit I_{SS} bileşeninin yanısıra, $K.V_1^2/2$ değerinde giriş geriliminin karesi ile orantılı değişen bir bileşen ilave edilir (Şekil-6.4). Giriş geriliminin karesi ile orantılı bu değişken bileşen T_1 ve T_2 tranzistorlarının savak akımlarını veren bağıntılarda yerlerine konularak ΔI çıkış fark akımı hesaplanırsa

$$I_1 = \frac{K}{2} \cdot \left(\sqrt{\frac{I_{SS}}{K}} + \frac{V_1}{\sqrt{2}} \right)^2$$

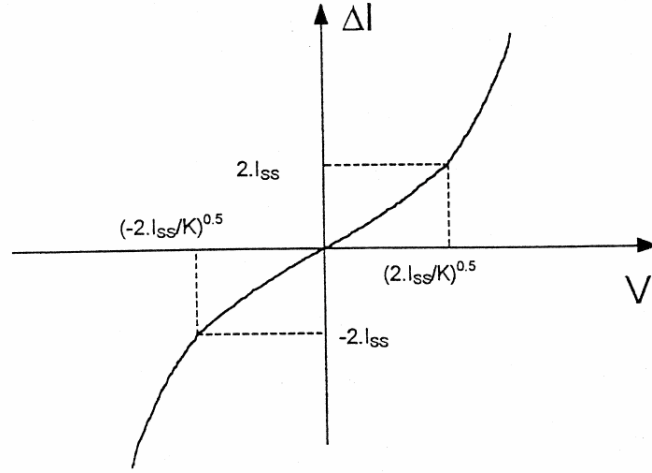
$$I_1 = \frac{K}{2} \cdot \left(\sqrt{\frac{I_{SS}}{K}} - \frac{V_1}{\sqrt{2}} \right)^2$$

$$\Delta I = V_1 \cdot \sqrt{2 \cdot K \cdot I_{SS}} \quad (6.8)$$

bulunur. Bu durumda çıkış akımı V_1 giriş geriliminin lineer bir fonksiyonu olur. Bu bağıntının geçerlilik bölgesi

$$-\sqrt{\frac{2 \cdot I_{SS}}{K}} \leq V_1 \leq \sqrt{\frac{2 \cdot I_{SS}}{K}} \quad (6.9)$$

şeklinde tanımlanabilir. $\Delta I-V_1$ değişimi Şekil-6.5'de verilmiştir. Fark edilebileceği gibi, çıkış karakteristiğinde kırılma yoktur. Tüm geçerlilik bölgesi boyunca lineer bir değişim elde edilmekte, bu bölge dışında ise parabolik bir değişimle karşılaşılmaktadır.

Şekil-6.5. ΔV_I - V_I değişimi.

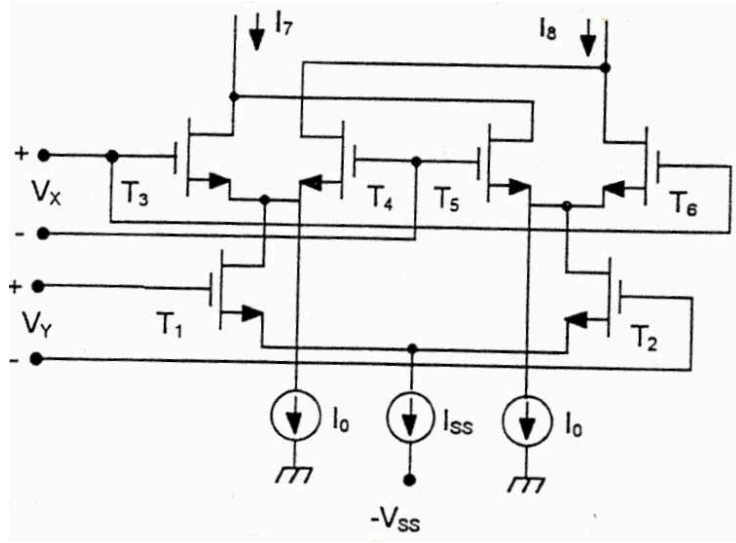
Bu yöntemin Gilbert çarpma hücrelerine uygulanmasıyla, başka bir deyişle, yapıya söz konusu lineerleştirme düzeninin eklenmesiyle, küçük işaretler için geçerli olan (6.6) bağıntısı geniş bir bölge için geçerli hale getirilebilir. Lineerleştirme düzeninin eklendiği yapı Şekil-6.6'da verilmiştir. Bu devrede lineerleştirme akımı

$$I_0 = \frac{I}{2} \cdot K \cdot V_X^2 \quad (6.10)$$

şeklindedir; çıkış akımı ise

$$I_O = K \cdot V_X \cdot \left[\sqrt{\left(\sqrt{\frac{I_{SS}}{K} - \frac{V_Y^2}{2} + \frac{V_Y}{\sqrt{2}}} \right)^2 + \frac{2 \cdot I_0}{K} - V_X^2} - \sqrt{\left(\sqrt{\frac{I_{SS}}{K} - \frac{V_Y^2}{2} - \frac{V_Y}{\sqrt{2}}} \right)^2 + \frac{2 \cdot I_0}{K} - V_X^2} \right] \\ I_O = \sqrt{2} \cdot K \cdot V_X \cdot V_Y \quad (6.11)$$

olur. (6.11) bağıntısı çıkış gerilimiyle giriş gerilimleri arasındaki ilişkiyi doğrudan doğruya ve herhangi bir yaklaşıklık yapılmaksızın vermektedir.



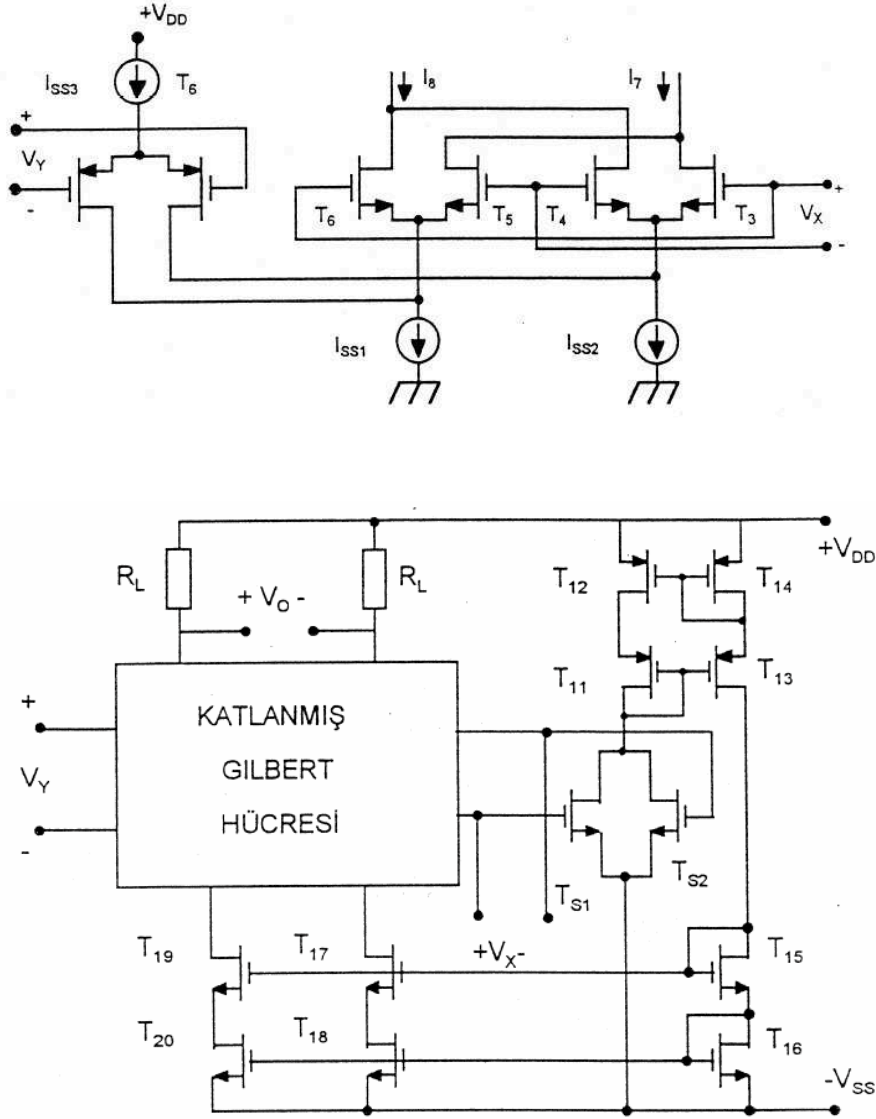
Şekil-6.6. Lineerleştirilmiş Gilbert hücresi.

Bu yapıda, giriş gerilimlerinden sadece birinin sükünet değeri sıfır seviyesinde tutulabilir. Diğer giriş gerilimi ise, tranzistorların doyma bölgesinde çalışabilmeleri için, bir doğru gerilim seviyesi etrafında değişmek zorundadır. Bu nedenle, bu giriş geriliminin, küçük değerli fark işaret bileşeninin yanısıra, yüksek değerli bir ortak işaret bileşeni de bulunur.

Söz konusu sakınca, PMOS ve NMOS tranzistorların birlikte kullanıldıkları **katlanmış Gilbert hücresi** yardımıyla giderilebilir.

Katlanmış Gilbert hücresi

Katlanmış Gilbert hücresi Şekil-6.7'de verilmiştir. Bu yapının çıkış akımı hesaplanırsa



Şekil-6.7. Katlanmış Gilbert hücresi ve bu hücre ile lineerleştirilmiş analog çarpma devresi gerçekleştirilmesi.

$$I_O = K_n \cdot V_X \cdot \left\{ \sqrt{\frac{K_p}{K_n} \left(\sqrt{\frac{I_{SS}}{K_p} - \frac{V_Y^2}{2}} + \frac{V_Y}{\sqrt{2}} \right)^2} - V_X^2} - \sqrt{\frac{K_p}{K_n} \left(\sqrt{\frac{I_{SS}}{K_p} - \frac{V_Y^2}{2}} - \frac{V_Y}{\sqrt{2}} \right)^2} - V_X^2 \right\} \quad (6.12)$$

bulunur.(6.12) bağıntısında K_n büyüklüğü NMOS, K_p büyüklüğü de PMOS tranzistorlara ilişkin geçiş iletkenliği parametresidir. Yapının eğriselliği, T_3 - T_4 ve T_5 - T_6 tranzistorlarının ortak kaynak uçlarına karesel terimli akım bileşeni eklenerek giderilebilir. Bu durumda çıkış akımı

$$I_O = \sqrt{2 K_n K_p} \cdot V_X \cdot V_Y \quad (6.13)$$

olur. T_{S1} ve T_{S2} , T_1 ve T_4 tranzistorlarına eşleştirilmiş tranzistorlardır. V_x dengeli fark işaret geriliminin sabit değerli bir V_{CX} ortak işaret bileşeni bulunduğu varsayılınsın. Bu durumda

$$I_{SQ} = I_{S1} + I_{S2}$$

$$I_{SQ} = 2 K_n \cdot (V_{CX} - V_T)^2 + \frac{K_n}{2} \cdot V_X^2 \quad (6.14)$$

olur. Bağıntıdan fark edilebileceği gibi, sabit V_{CX} gerilimi ile ilişkili kutuplama akımı bileşeninin yanısıra, giriş fark işaretinin karesi ile orantılı bir ek bileşen ortaya çıkmaktadır. Bu bileşenleri içeren toplam akım, T_3 - T_4 ve T_5 - T_6 tranzistorlarına kuyruk akımı olarak uygulanmaktadır. Başka bir deyişle, bu yapı, hem I_{SS} sabit akımını, hem de karesel terimi oluşturur.

İdealden sapmalar, hata kaynakları

CMOS Gilbert analog çarpma devresinin davranışının ideal davranıştan sapmasına neden olan etkenler başlıca iç ana başlık altında toplanabilir:

- taşıyıcıların hareket yeteneğinin V_{GS} ile değişimi
- eleman dengesizlikleri
- ölçek faktörü hatası

Taşıyıcıların V_{GS} ile değişimi

Uzun kanallı yapılarda ($L \geq 10 \mu m$) kısa kanal etkileri ihmal edilebilir. Ancak, kanal boyu kısaltıkça, taşıyıcıların hareket yeteneğinin düşey doğrultudaki elektriksel alanla değişimi dikkate alınmak zorundadır. Buna göre, doymada çalışan bir tranzistor için savak akımı

$$I_D = \frac{K \cdot (V_{GS} - V_T)^2}{1 + \theta \cdot (V_{GS} - V_T)} \quad (6.15)$$

biçiminde ifade edilmelidir. θ büyüklüğü sabit bir büyüklüktür ve değeri 0.001-0.1 [1/V] arasında değişir. Bu özellik kare alma devresinde ve kaynak bağlamalı yapılarda dikkate alınır, CMOS Gilbert hücresi için

$$I_O = \sqrt{2 K_n K_p} \cdot V_X \cdot V_Y \cdot \left(1 - \frac{\theta}{2} \cdot \left(\sqrt{2 \frac{K_p}{K_n}} + 1 \right) \cdot \sqrt{\frac{2 \cdot I_{SS}}{K_p} - \frac{V_Y^2}{2}} \right) + \frac{\alpha K_n V_X^2}{2(I_{SS} - K_p V_Y^2)} \quad (6.16)$$

bağıntısı elde edilir. Bu bağıntıda

$$\alpha = \frac{3 \cdot \theta \cdot (V_{CX} - V_T)}{2} \quad (6.17)$$

şeklinde tanımlanır. Parantez içindeki terim lineer olmayan çarpma faktörüdür; küçük V_Y değerleri için bu terim

$$1 + AV_X^2 + CV_Y^2 + CV_X^2 V_Y^2$$

yaklaşıklığı ile verilebilir. Bu sonuç, yapıda harmonik distorsiyonu olarak kendinin gösterir.

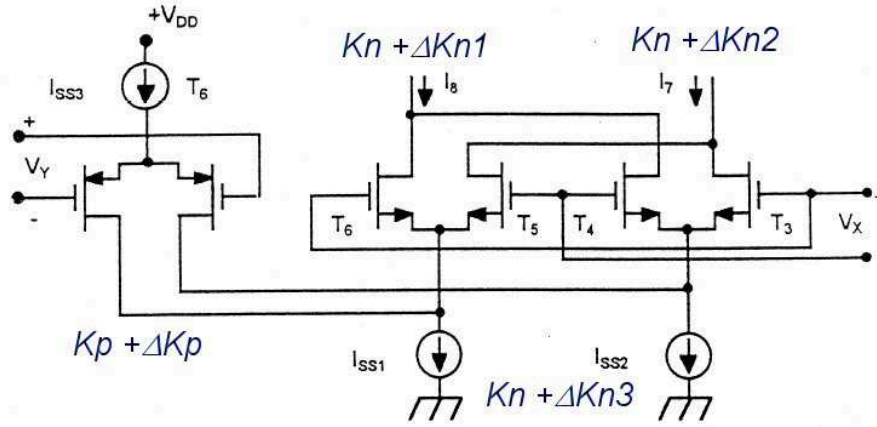
Eleman dengesizliği

Yapıdaki tranzistorların K büyüklükleri arasında Şekil-6.8'de gösterilen biçimde bir dengesizlik bulunduğu, yapının yükünün $R_1 = R_2 = R$ dirençleri ile

oluşturulduğu ve bunlar arasında da ΔR dengesizliği bulunduğu kabulü ile çıkış gerilimindeki dengesizlik bileşenleri hesaplanırsa

$$\begin{aligned} \frac{V_O}{R} = & \sqrt{2 \cdot K_n \cdot K_p} \cdot V_X \cdot V_Y + A \cdot \left(\frac{\Delta K_{n1}}{K_n} \right) + B \cdot \left(\frac{\Delta K_{n2}}{K_n} \right) \\ & + C \cdot \left(\frac{\Delta K_p}{K_p} \right) + D \cdot \left(\frac{\Delta K_{n3}}{K_n} \right) + E \cdot \left(\frac{\Delta I_{SS}}{I_{SS}} \right) + F \cdot \left(\frac{\Delta R}{R} \right) \end{aligned} \quad (6.18)$$

elde edilir.



Şekil-6.8. Katlanmış Gilbert hücrelerinde dengesizlik.

Bu bağıntıdaki büyüklükler

$$\begin{aligned} A = & -\frac{I}{4} \left(I_{SS} - K_p \cdot V_Y \cdot \sqrt{\frac{2 I_{SS}}{K_p} - V_Y^2 + K_n \cdot V_X^2} \right) \\ B = & \frac{I}{4} \left(I_{SS} + K_p \cdot V_Y \cdot \sqrt{\frac{2 I_{SS}}{K_p} - V_Y^2 + 3 \cdot K_n \cdot V_X^2} \right) \end{aligned}$$

$$C = V_X \cdot \sqrt{\frac{K_n}{2} \cdot (2I_{SS} - K_p \cdot V_Y^2)}$$

$$D = -\frac{1}{4} \cdot K_n \cdot \sqrt{2 \cdot K_n} \cdot V_X^3 \cdot \frac{\sqrt{2I_{SS} - K_p \cdot V_Y^2}}{I_{SS} - K_p \cdot V_Y^2}$$

$$E = -\frac{1}{4} \cdot \sqrt{2 \cdot K_n} \cdot I_{SS} \cdot V_X \cdot \frac{\sqrt{2I_{SS} - K_p \cdot V_Y^2}}{I_{SS} - K_p \cdot V_Y^2}$$

$$F = \frac{1}{2} \cdot (I_{SS} + K_n \cdot V_X^2)$$

eşitlikleri ile tanımlanmışlardır. Bağıntılarda fark edilebileceği gibi, çıkış işaretinde harmonik distorsiyonu ve intermodülasyon distorsiyonu bileşenleri oluşmaktadır.

Ölçek faktörü hatası

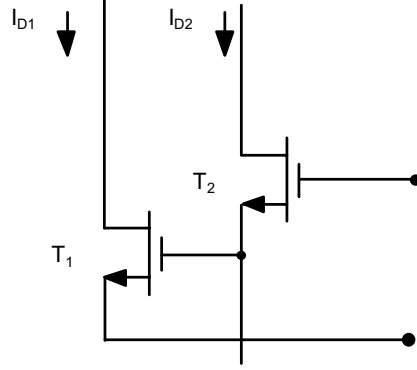
Ölçek faktörünün proses duyarlılığı %15 civarındadır. Çalışma sıcaklığı 0°C - 100°C arasında değiştiğinde, ölçek faktörü %30 oranında azalmaktadır.

6. 3. CMOS dört bölgeli analog çarpma devresi

Önceki bölümde ele alınan yapı, bipolar tekniğinden bilinen bir yapı blokunun MOS tekniğine uyarlanması ile ortaya çıkmış bir yapıdır. Gilbert dörtlüsünden farklı olarak, MOS tranzistorların karesel I_D - V_{DS} karakteristiğinden yararlanılarak gerçekleştirilen yapılar da bulunmaktadır. Bu yapıların sadece MOS tekniği ile gerçekleştirilebilecekleri açıktır. Bu bölümde, MOS tranzistorların karesel özelliklerinden yararlanılarak gerçekleştirilen bir analog çarpma devresi ele alınacaktır.

Yapının temel hücresi, gerilim kontrollü bir lineer V-I çeviricidir. Bu yapının iki tanesinin bir araya getirilmesiyle iki bölgeli bir analog çarpma devresi, elde edilen bu yapının tekrar ikilenmesi ile de simetrik girişli, dört bölgeli bir analog çarpma devresi kurulmaktadır.

Lineer V-I çevirici



Şekil-6.9. Lineer V-I çevirici.

Yapının temel hücresi olan lineer V-I çevirici Şekil-6.9'da görülmektedir. Yapıda T_1 - T_2 tranzistorları eş tranzistorlar olduklarından, bunların gerilimleri de eştir.

$$V_{GS1} + V_{GS2} = V_2$$

alınsın. Akımlar

$$I_{D1} = K.(V_{GS1} - V_T)^2$$

$$I_{D2} = K.(V_{GS2} - V_T)^2$$

biçiminde ifade edildiklerinden

$$A^2 - B^2 = (A + B).(A - B)$$

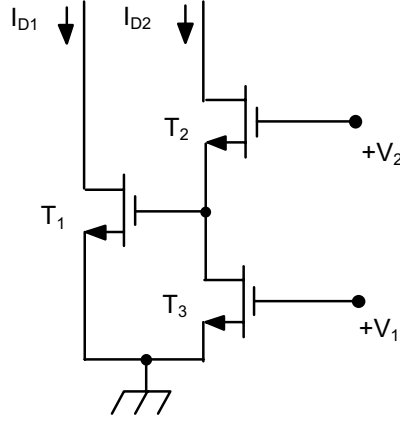
bağıntısı uyarınca

$$I_{D1} - I_{D2} = K.(V_2 - 2.V_T).(V_{GS1} - V_{GS2}) \quad (6.19)$$

olur; zira

$$V_{GS1} - V_{GS2} = V_2 - 2.V_{GS2} = 2.V_{GS1} - V_2$$

şeklindedir.



Şekil-6.10. Özellikleri düzeltilmiş V-I çevirici.

Sabit V_2 gerilimi için $I_{D1} - I_{D2}$ savak akımları farkı V_{GS1} veya V_{GS2} ile orantılı olur. Bu büyüklüklerden birinin bağımsız olarak seçilmesi gerekir. Devreye Şekil-6.10'daki gibi bir T_3 tranzistorunun eklenmesi, V_{GS2} geriliminin V_{GS3} üzerinden kontrol edilmesini sağlar. T_2 ve T_3 tranzistorları aynı geometridedir ve bir akım aynası gibi davranırlar, böylece $V_{GS2} = V_{GS3} = V_{IN}$ olur; dolayısıyla

$$I_{D1} - I_{D2} = K.(V_2 - 2.V_T).(V_2 - 2.V_{IN}) \quad (6.20)$$

yazılabilir. Fark edilebileceği gibi, yapının çevirme oranı V_2 gerilimi ile kontrol edilebilmektedir. Tranzistorların tümü doymada çalıştırıldıklarından

$$\begin{aligned} V_{IN} &> V_T \\ V_2 &> 2.V_{IN} - V_T \end{aligned}$$

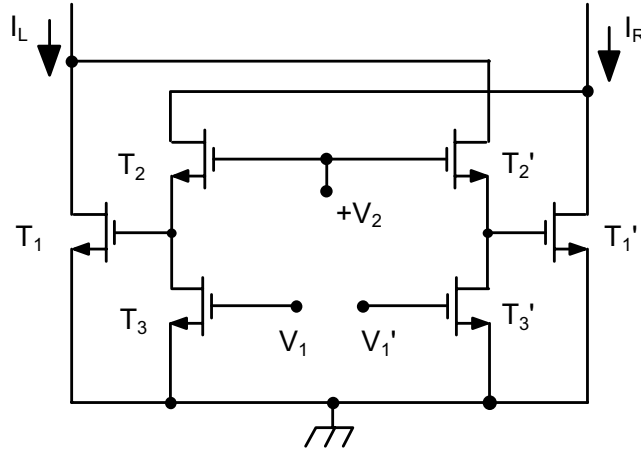
olması gerekir.

Çarpma devresi

(6.20) bağıntısı açık olarak yazılırsa

$$I_{D1} - I_{D2} = K.(V_2^2 - 2.V_T.V_2 + 4.V_T.V_{IN} - 2.V_2.V_{IN}) \quad (6.21)$$

bulunur. Bu bağıntıdaki son terim, tek bölgeli çarpma terimidir; bağıntının tümü ise V_2 geriliminin lineer olmayan bir fonksiyonudur. İlk terim, V_2 geriliminin karesi ile orantılıdır; ikinci ve üçüncü terimler ise dengesizlik terimleridir.



Şekil-6.11. İki bölgeli analog çarpma devresi.

Devrenin iki tanesi Şekil-6.11'deki gibi bir araya getirilirse, devrenin ΔI çıkış fark akımı, bir sonraki şekilde (Şekil-6.12) karşı düşen transistörler dikkate alındığında

$$I_L = I_{D11} - I_{D24} , I_R = I_{D14} - I_{D21}$$

olmak üzere

$$I_L - I_R = 2.K.(V_2 - 2.V_T).(V_1 - V_1') \quad (6.22)$$

biçiminde ifade edilebilir. Bu bağıntı iki bölgeli bir çarpma terimi içermektedir. (6.21) bağıntısıyla karşılaştırılırsa, V_2^2 'li terimle V_{IN} gerilimine ilişkin dengesizlik teriminin düştüğü kolayca fark edilebilir. Elde edilen bu yapının bir kere daha çaprazlanmasıyla, dört bölgeli analog çarpma devresi kurulabilir. Dört bölgeli analog çarpma devresi Şekil-6.12'de verilmiştir. Yapıda yer alan akım kaynağı, tek uçtan çıkış alınmasını sağlamak amacıyla kullanılmıştır. Yapının çıkış akımını giriş gerilimlerine bağlayan bağıntı çıkartılırsa

Hareket yeteneğinin V_{GS} gerilimine bağımlılığı

Daha önce ele alınan (6.15) bağıntısının bu devreye uygulanması ile çıkış akımı

$$I_D = K.(V_{GS} - V_T)^2 \cdot (1 - \theta \cdot (V_{GS} - V_T) + \theta^2 \cdot (V_{GS} - V_T)^2 - \theta^3 \cdot (V_{GS} - V_T)^3 \dots) \quad (6.25)$$

biçiminde ifade edilebilir. Ortak ve fark işaret terimleri

$$V_{1D} = \frac{(V_1 - V_1')}{2}$$

$$V_{1C} = \frac{(V_1 + V_1' - 2 \cdot V_T)}{2}$$

$$V_{2D} = \frac{(V_2 - V_2')}{2}$$

$$V_{2C} = \frac{(V_2 + V_2' - 2 \cdot V_T)}{2}$$

biçiminde yazılırsa, beşinci kuvvete kadar seri açılımı

$$I_O = K_O \cdot [V_{2d} \cdot V_{1d} \cdot (2a_2 + 6a_3 \cdot (V_{2c} - V_{1c}) + 12a_4 \cdot (V_{2c} - V_{1c})^2 + 20a_5 \cdot (V_{2c} - V_{1c})^3) + V_{2d}^3 \cdot V_{1d} \cdot (a_4 + 5a_2 \cdot (V_{2c} - V_{1c}))]$$

olur. Fark işaret giriş gerilimlerinin saf işaretler ve ortak işaret gerilimlerinin sabit olması durumunda, parantez içindeki gerilimler de sabittir. Böylece çıkış akımı

$$I_O = C_1 \cdot V_{2d} \cdot V_{1d} + C_2 \cdot V_{2d}^3 \cdot V_{1d} + C_3 \cdot V_{1d}^3 \cdot V_{2d}$$

biçiminde yazılabilir. Fark edilebileceği gibi, yüksek dereceden terimler intermodülasyon distorsiyonu oluşturmaktadırlar.

KAYNAKLAR

- [1] H. Kuntman, Analog tümdevre tasarımı, Sistem yayınları, İstanbul, 1992.
- [2] H. Kuntman, Analog MOS tümdevre tasarımı (Endüstri Semineri Notu), İTÜ İleri

- Elektronik Teknolojileri Arařtırma Geliřtirme Vakfı (ETA), Uygulamaya özgü tümdevre teknolojileri yaz okulu notları, İstanbul, 1993.
- [3] H. Kuntman, İleri analog tümdevre tasarımı: Analog devreler, (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Arařtırma Geliřtirme Vakfı (ETA), İstanbul, 1994.
- [4] P.R. Gray, R.G. Meyer, Analysis and design of analog integrated circuits, John Wiley, 1993.
- [5] R.Gregorian, G.C. Temes, Analog MOS integrated circuits for signal processing, John Wiley, 1986.
- [6] A.B. Grebene, Bipolar and MOS analog integrated circuit design, John Wiley, 1984.
- [7] F. Riedel, MOS Analogtechnik, Oldenburg Verlag, Wien, 1988.
- [8] P.E. Allen and D.R. Holberg, CMOS analog circuit design, Holt, Rinehart and Winston Inc., New York, 1987.
- [9] J.N. Babanezhad, G.C. Temes, A 20V four quadrant CMOS analog multiplier, IEEE Journal of Solid-State Circuits, 20, pp. 1158-1167, 1985.
- [10] K. Bult, H. Wallinga, A CMOS four-quadrant analog multiplier, IEEE Journal of Solid-State Circuits, 21, pp. 430-435, 1986.