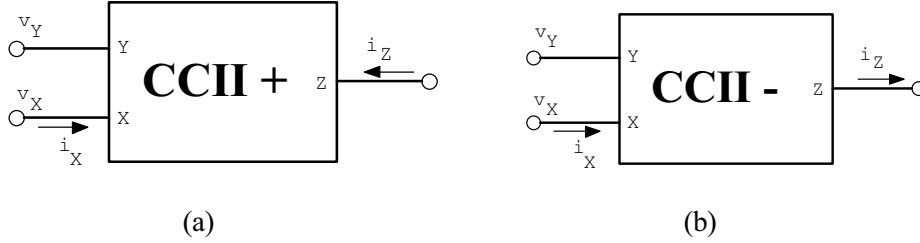


## 5. CMOS AKIM TAŞIYICI

Akım taşıyıcı, akımın çok farklı empedans seviyelerindeki iki kapı arasında taşındığı üç kapılı aktif bir devre olarak tanımlanabilir. İlk akım taşıyıcı olan birinci kuşak akım taşıyıcı (CCI) 1968 yılında Smith ve Sedra tarafından ortaya atılmıştır. 1970 yılında Smith ve Sedra daha kullanışlı bir akım taşıyıcı devresi olan ikinci kuşak akım taşıyıcı devresini (CCII) geliştirmişlerdir. Günümüzde, akım taşıyıcı denildiğinde, ikinci kuşak akım taşıyıcı (CCII) anlaşılmaktadır. Aktif eleman olarak akım taşıyıcının kullanılmasıyla çeşitli türden aktif devre yapılarını gerçekleştirmek mümkündür. Bu yapılara örnek olarak, aktif süzgeç ve osilatör devreleri verilebilir.



Şekil-5.1. Evirmeyen (CCII+) ve eviren (CCII-) türden ikinci kuşak akım taşıyıcıların devre sembolleri : a) evirmeyen türden akım taşıyıcı , b) eviren türden akım taşıyıcı.

Evirmeyen (CCII+) ve eviren (CCII-) türden ikinci kuşak akım taşıyıcıların devre sembolleri Şekil-5.1'de görülmektedir. CCII, aşağıda verilen bağıntılarla tanımlanan üç uçlu bir devredir.

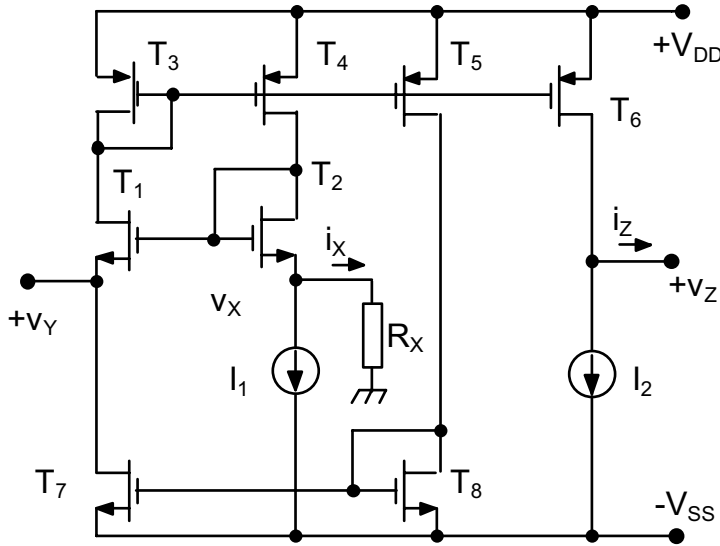
$$\begin{aligned}v_X &= v_Y \\i_Y &= 0 \\i_Z &= \mp i_X\end{aligned}\quad (5.1)$$

Bu bağıntılarda  $v_Y$ ,  $v_X$  büyüklükleri Y ve X uçlarındaki gerilimlerin,  $i_Y$ ,  $i_X$  ve  $i_Z$  büyüklükleri de Y, X ve Z uçlarına ilişkin akımların toplam ani değerini göstermektedir.

$i_Z = i_X$  ise CCII pozitif akım taşıyıcı adını alır ve CCII+ sembolü ile gösterilir.  $i_Z = -i_X$  ise CCII negatif akım taşıyıcı olarak isimlendirilir ve CCII- sembolü ile belirtilir. (5.1) bağıntısından anlaşılacağı gibi, Y ve Z için küçük işaret uç empedansları büyük, x için ise küçük olmalıdır.

CCII'nin gerçekleştirilmesi için işlemsel kuvvetlendiriciler ve bipolar tranzistörlerle devre kurulmasına dayanan tasarım yöntemleri bulunmaktadır. Bu yöntemler, ilkesel olarak tümleştirilmeye elverişli olsalar bile, özellikle işlemsel kuvvetlendiricilerden yararlanılmasına yönelik olanlar, gerçekleştirilme açısından ekonomik değildirler. Bunun başlıca nedeni, her işlemsel kuvvetlendirici için kırkım üzerinde ayrı bir alana gereksinme duyulmasıdır. Karmaşık yapıdaki sistemlerin küçük boyutta gerçekleştirilmesini sağlayan CMOS teknolojisinin hızlı gelişimi sonucunda, son yıllarda, analog fonksiyonları gerçekleştiren ve akım taşıyıcıları da kapsayan CMOS devrelerin geniş çapta tümleştirilebilmesi mümkün kılınmıştır. Bu bölümde, CMOS tekniği ile gerçekleştirilebilen iki ayrı akım taşıyıcı yapısı ele alınacaktır.

### 5.1. CMOS CCII+ devresi

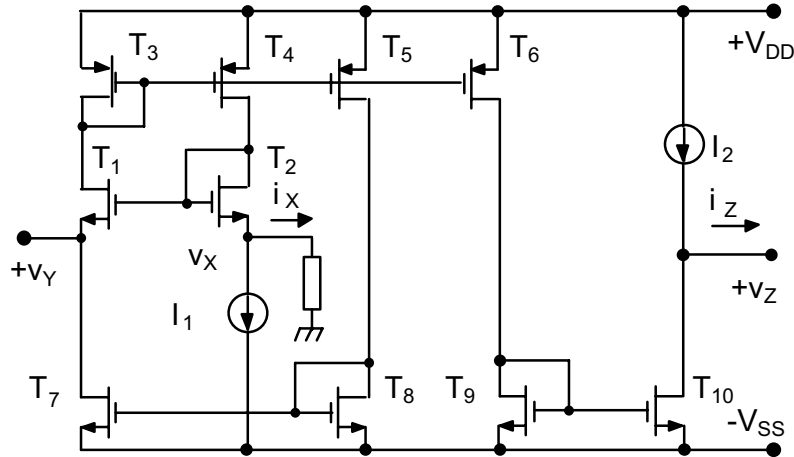


Şekil-5.2. Pozitif (evirmeyen) türden akım taşıyıcı yapısı.

CMOS tekniği ile gerçekleştirilen bir pozitif akım taşıyıcı devresi Şekil-5.2'de verilmiştir.  $T_3$ - $T_6$  PMOS tranzistörleri ile  $T_7$ - $T_8$  NMOS tranzistörleri akım aynası olarak görev yapmaktadır.  $I_1$  akım kaynağı devre için gerekli olan kutuplama akımını sağlar. Tranzistörlerin eş, akım aynalarının birim kazançlı oldukları ve tüm tranzistörlerin doyma bölgesinde çalıştıkları varsayılınsın. Devrenin çalışması aşağıdaki biçimde açıklanabilir:

$T_3$ - $T_4$  tranzistorları  $T_1$  ve  $T_2$  tranzistorlarından birbirine eş akımların akmasını sağlarlar. Böylece  $V_{GS1} = V_{GS2}$  olur ki, bu da  $v_Y = v_X$  olmasını sağlar.  $R_X$  direncinden akan  $i_X$  akımı  $T_2$  tranzistorundan ve  $T_3$ - $T_4$  akım aynasından da akar.  $V_X > 0$  olması durumunda  $i_X = v_X/R_X$  akımı x ucundan dışarıya doğru akacak, dolayısıyla  $T_3$ - $T_4$  akım kaynağının akımı  $I_1 + i_X$  olacaktır. Bu akım,  $T_5$  tranzistoru ve  $T_7$ - $T_8$  akım aynası ile Y ucuna yansıtılarak  $T_1$  tranzistorunun kaynak akımındaki değişimi kompanze eder, böylece  $i_Y$  daima sıfır olur. Aynı zamanda,  $T_6$  tranzistoru  $I_1 + i_X$  akımını Z ucuna yansıtacaktır. Bu durumda,  $I_1 = I_2$  yapılırsa, Z ucundan dışarıya doğru  $i_Z = i_X$  akımı akar. Fark edilebileceği gibi,  $i_Z$  akımının yönü  $i_X$  akımı ile aynıdır. Bu nedenle, devre, **pozitif (evirmeyen türden) akım taşıyıcı (CCII+)** olarak isimlendirilir.

### 5.2. Negatif akım taşıyıcı (CCII-)



Şekil-5.3. Negatif (faz döndüren türden) akım taşıyıcı yapısı.

Negatif akım taşıyıcı yapısı Şekil-5.3'de verilmiştir. Bu devre, Şekil-5.2'deki devreden türetilmiştir. Yapıda,  $T_9$  ve  $T_{10}$  tranzistorları  $I_1 + i_X$  akımını Z ucuna yansıtırlar.  $I_2 = I_1$  yapılması durumunda, z ucundan içeriye doğru bir  $i_Z = i_X$  akımı akar.

### 5.3. Akım taşıyıcının performansı

Buraya kadar yapılan incelemelerde bütün tranzistorların eş oldukları ve doyma bölgesinde çalıştıkları varsayılmıştır. Pratikte ise, tranzistorların birbirine

## 5.4

tam olarak eş olmamalarından ileri gelen bir hatanın ortaya çıkacağı ve bu hatanın, yapının performansında ideal performansa göre bazı sapmalara neden olacağı açıktır.

Şekil-5.2'deki devre ele alınsın.  $I_1$  akım kaynağının çıkış direnci sonsuz kabul edilsin. Bu durumda, küçük işaretler için  $v_y$  ve  $v_x$  arasındaki ilişki

$$\varepsilon_1 = \frac{R_x g_{m2} (g_{m4} g_{d1} - g_{m3} g_{d4})}{R_x g_{m2} g_{m3} g_{d4} + g_{m2} g_{d2} + g_{m3} g_{d4}} \quad (5.2)$$

olmak üzere

$$v_x = v_y \cdot (1 - \varepsilon_1) \quad (5.3)$$

biçiminde yazılabilir. (5.2) bağıntısında  $g_{mi}$  ve  $g_{di}$  büyüklükleri sırasıyla  $T_i$  ( $i = \dots$ ) tranzistorunun geçiş iletkenliğini ve savak iletkenliğini,  $R_x$  ise X ucuna bağlanan direnci göstermektedir.  $\varepsilon_1 \ll 1$  ise Y ucundaki gerilim X ucuna yüksek doğrulukta aktarılacaktır, başka bir deyişle X ucundaki gerilim Y ucundaki gerilimi iyi bir şekilde izleyecektir. Örnek olarak,  $R_x = 1k$ ,  $g_{m2} = 2.51 \times 10^{-4} A/V$ ,  $g_{m3} = 1.93 \times 10^{-4} A/V$ ,  $g_{d1} = g_{d2} = 1.01 \times 10^{-7} A/V$  ise  $\varepsilon_1 = 0.05\%$  olur.

X ucundan içeriye doğru bakıldığında görülen küçük işaret direnci aşağıdaki biçimde yazılabilir:

$$r_x = \frac{1}{g_{m2}} \cdot \left( \frac{g_{m4} g_{d5} + g_{m8} g_{d1}}{g_{m4} \cdot (g_{m8} + g_{d5})} \right) \quad (5.4)$$

Sayısal bir örnek verilirse,  $g_{m8} = 2.52 \times 10^{-4} A/V$ ,  $g_{d5} = 1.02 \times 10^{-7} A/V$  değerleri için  $r_x = 3.7 \Omega$  bulunur ki, bu direncin değeri istenen özellikleri sağlayacak kadar küçüktür.

Y ucundaki küçük işaret direnci hesaplanırsa

$$r_y = \frac{1 + \frac{g_{d1}}{g_{m3}}}{g_{d7}} \quad (5.5)$$

bağıntısı elde edilir.  $g_{d7} = 1.02 \times 10^{-7} A/V$  için  $r_y = 9.8 M\Omega$  bulunur ki, bu da yeteri kadar büyük bir direnç değeridir ve bu ucun göstereceği giriş direnci sonsuz kabul edilebilir.

Z ucundaki uç direnci yaklaşık olarak  $T_3$ - $T_6$  akım aynasının çıkış direnciyle  $I_2$  akım kaynağının çıkış direncinin paralel eşdeğerine eşittir ve

$$r_z = \frac{1}{g_{d6} + g_{d12}} \quad (5.6)$$

biçiminde ifade edilebilir. (5.6) bağıntısındaki  $g_{dl2}$  büyüklüğü  $I_2$  akım kaynağının savak iletkenliğidir.  $r_z$  direncinin değeri tipik olarak birkaç  $M\Omega$  mertebesindedir. Bu direnç Wilson akım aynası yahut kaskod akım kaynağı kullanılarak arttırılabilir.

Devrenin yüksek frekanslardaki davranışını inceleyelim. Yüksek frekanslarda baskın kutup x ucuna bağlanan eşdeğer direnç ve kapasitelerden ileri gelir. Bu kutup

$$f_x = \frac{R_x g_{m2} g_{m4}}{2\pi (R_x g_{m3} C_1 + C_3)} \quad (5.7)$$

biçiminde ifade edilebilir. Bu bağıntıdaki  $C_3$  ve  $C_1$  kapasiteleri

$$C_3 = (C_{gs3} + C_{gs4} + C_{gs5} + C_{gs6}) \text{ ve } C_1 = C_{gs1}$$

şeklinde tanımlanmışlardır.

İkinci kutup  $T_3$ - $T_6$  akım aynasından ileri gelmekte ve

$$f_m = \frac{g_{m3}}{2\pi C_3} \quad (5.9)$$

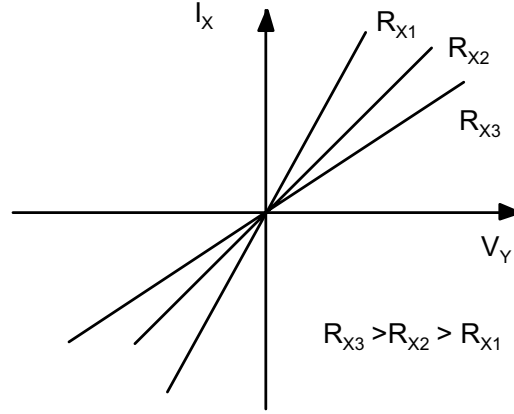
bağıntısıyla verilmektedir. Bu kutup frekansı, yukarıdaki sayısal değerler için 5 MHz civarında olur.

$V_x$  ve  $V_y$  gerilimleri arasındaki dengesizlik de

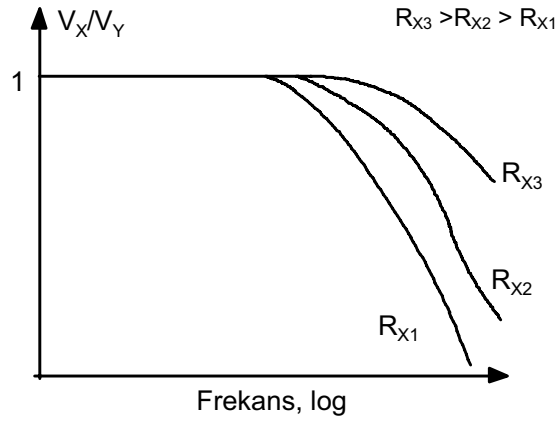
$$V_{OS} = (V_{T1} - V_{T2}) - \frac{2(\beta_1 - \beta_2)}{\beta_1 + \beta_2} \left( \frac{I_1}{\beta_1 + \beta_2} \right)^{1/2} \quad (5.9)$$

bağıntısı ile verilebilir. (5.9) bağıntısında  $V_{Ti}$  ve  $\beta_i$  büyüklükleri, sırasıyla,  $T_i$  tranzistorunun eşik gerilimini ve geçiş iletkenliği parametresini göstermektedir.  $V_{OS}$  dengesizlik geriliminde birinci terim  $T_1$  ve  $T_2$  tranzistorlarının eşik gerilimlerinin farklı olmasından ileri gelmektedir. Modern CMOS prosesinde bu bileşen birkaç mV mertebesinde olur. İkinci bileşen ise geometrideki sapmalardan ileri gelir. Bağıntıdan fark edilebileceği gibi, bu bileşeni azaltmak için W/L oranı azaltılabilir, yahut  $I_1$  akım küçültülebilir.

5.6



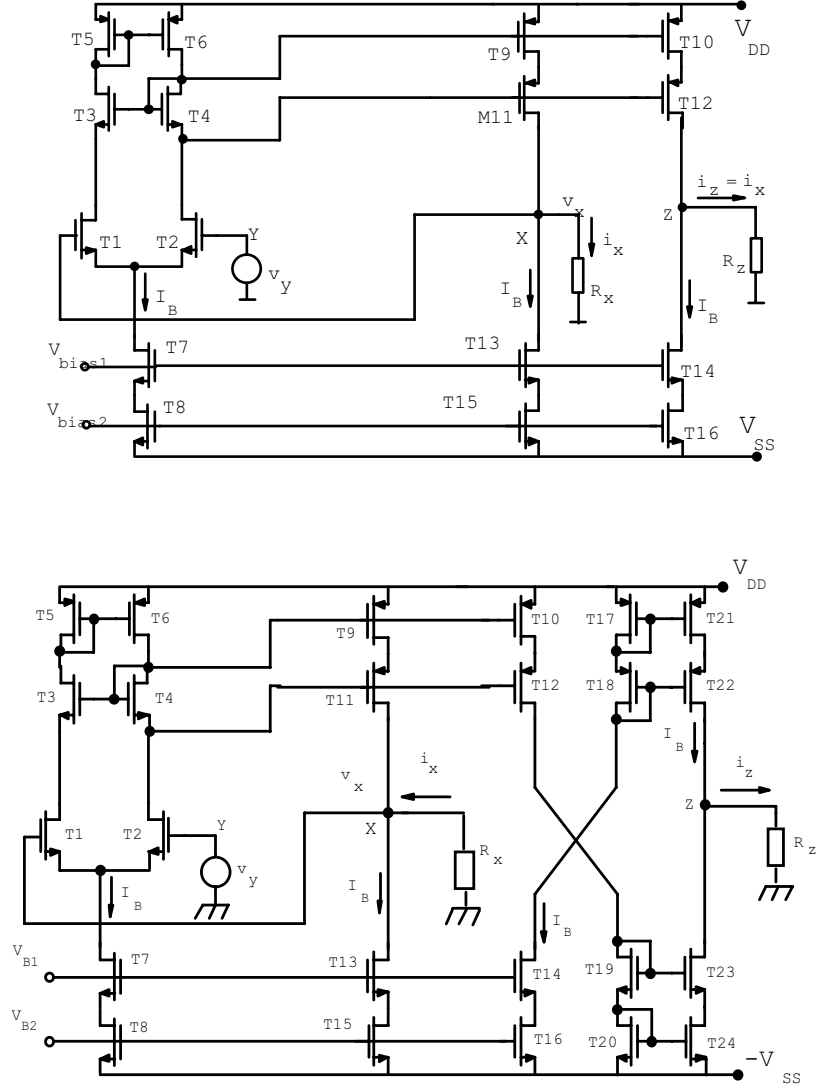
Şekil-5.4a. Farklı  $R_X$  değerleri için DC geçiş eğrisi (lineer değişim bölgesi gösterilmiştir.)



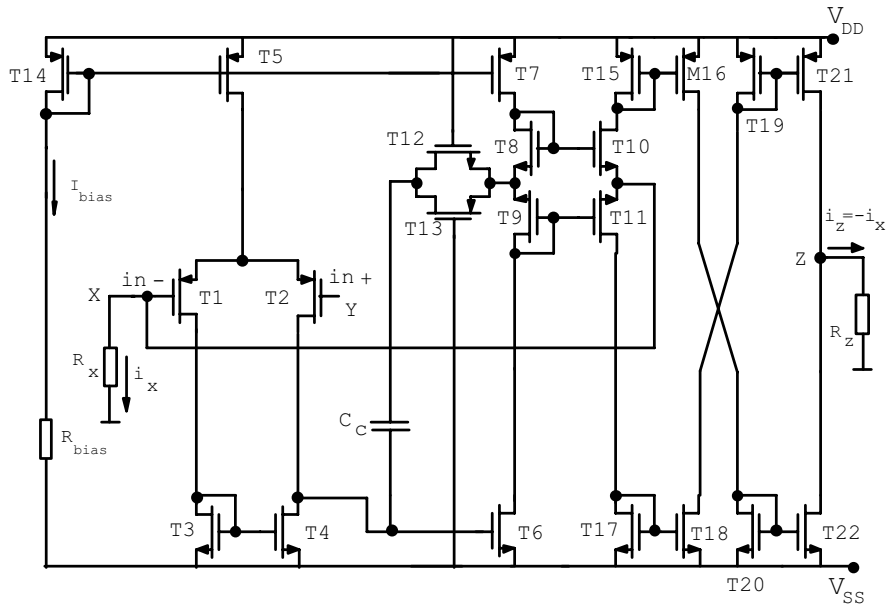
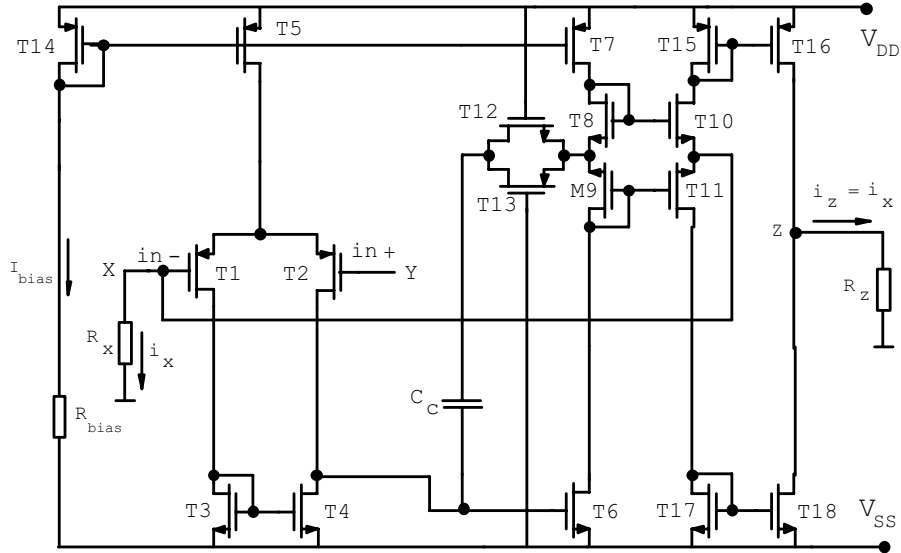
Şekil-5.4b. Farklı  $R_X$  değerleri için frekans eğrileri.

CCII'nin farklı  $R_X$  değerleri için elde edilen DC geçiş karakteristiği ve frekans eğrisi Şekil-5.4a ve Şekil-5.4b'de gösterilmiştir. Şekil-5.4'den görülebileceği gibi, devre, verilen bir gerilimi geniş bir aralık içerisinde pozitif ve negatif akımlara yüksek bir doğrulukla çevirebilmektedir.

CCII+ ve CCII- devrelerini farklı topolojilerle gerçekleştirmek mümkündür. CMOS tekniği ile gerçekleştirilen üç farklı devre topolojisi Şekil-5.5, Şekil-5.6 ve Şekil-5.7'de görülmektedir.

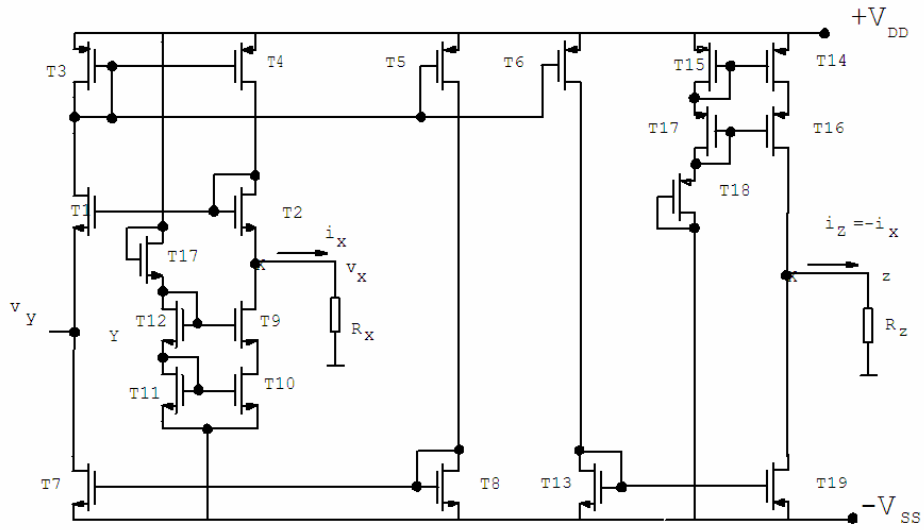
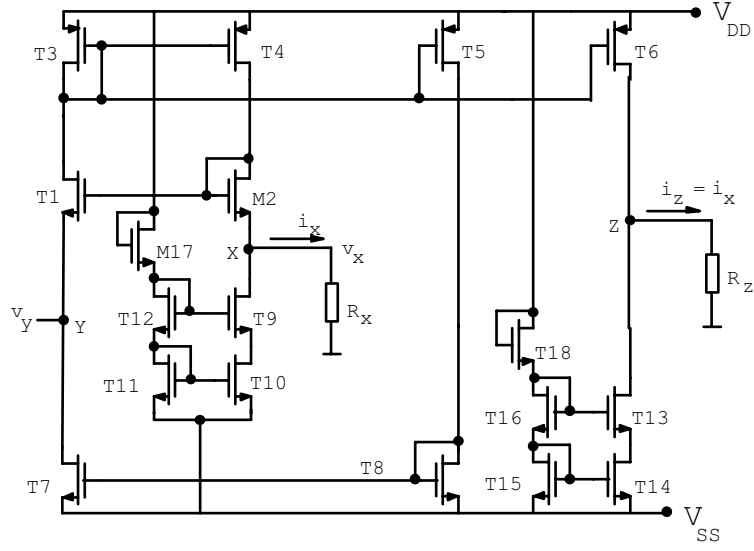


Şekil-5.5. CMOS tekniği ile gerçekleştirilen CCII+ ve CCII- yapıları, Örnek-1.



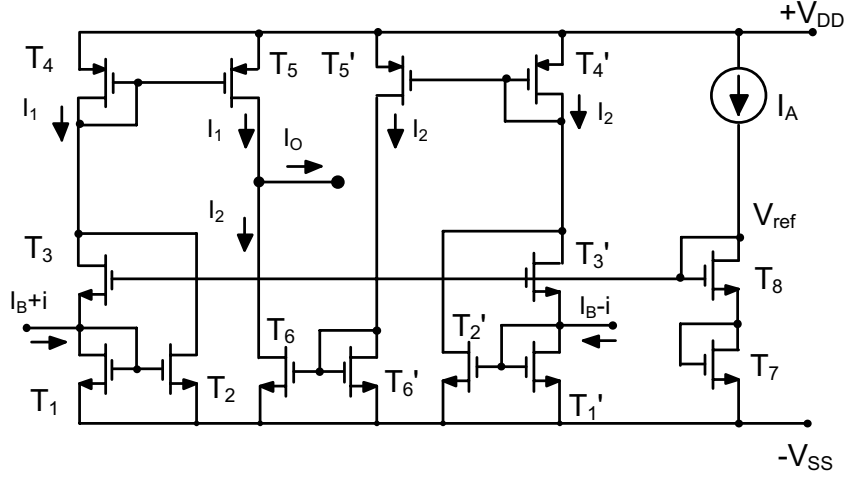
Şekil-5.6. CMOS tekniği ile gerçekleştirilen CCII+ ve CCII- yapıları, Örnek-2.





Şekil-5.7. CMOS tekniği ile gerçekleştirilen CCII+ ve CCII- yapıları, Örnek-3.

#### 5.4. Elektronik olarak kontrol edilebilen akım taşıyıcı (ECCII)



Şekil-5.8. Elektronik olarak kontrol edilebilen akım taşıyıcı hücresi.

Elektronik olarak kontrol edilebilen akım taşıyıcı yapısı, akım transfer oranı bir akım ya da bir gerilimle değiştirilebilen bir akım taşıyıcı düzenidir. ECCII'nin tanım bağıntıları

$$\begin{aligned} i_Y &= 0 \\ v_X &= v_Y \\ i_Z &= \pm h_{32} i_X \end{aligned} \quad (5.10)$$

biçimindedir. (5.10) bağıntısındaki  $h_{32}$  büyüklüğü, değeri elektronik yoldan kontrol edilebilen akım transfer oranıdır. ECCII yapısı Şekil-5.8'de verilmiştir. Bu devrede  $T_1$ ,  $T_2$  ve  $T_3$  transistörlerinden oluşan yapı grubu ile  $T_1'$ ,  $T_2'$  ve  $T_3'$  den oluşan yapı grubu, kare alan birer devre olarak davranırlar.  $T_7$ ,  $T_8$  transistörleri ve  $I_A$  akım kaynağı,  $T_3$  ve  $T_3'$  transistörlerine kutuplama gerilimi sağlayan akım kontrollü bir gerilim referansı devresi oluştururlar. Bütün transistörlerin doymada çalıştıkları ve  $T_5$  ile  $T_5'$  dışındaki transistörlerin tümünün eşit  $W/L$  oranlarına sahip oldukları kabul edilsin. Bu şart altında

5.11

$$I_1 = 2I_A + \frac{(I_B + i)^2}{8I_A}$$

$$I_2 = 2I_A + \frac{(I_B - i)^2}{8I_A}$$

$$|I_B| + |i| \leq 4I_A$$

olmak üzere, devrenin çıkış akımı

$$i_o = \left( \frac{nI_B}{2I_A} \right) \cdot i \quad (5.11)$$

biçiminde ifade edilebilir. (5.11) bağıntısından fark edilebileceği gibi, küçük işaret akımı, değeri elektronik yoldan değiştirilebilen bir k çarpanıyla çarpılarak çıkışa yansımaktadır. (5.11) bağıntısı, aynı zamanda, n büyüklüğünün kazancın değişim aralığını da belirleyen bir faktör olduğunu göstermektedir.

$$|I_B| + |i| \leq 4I_A$$

şartı uyarınca, kazancı arttırmak üzere  $I_B$  büyüklüğü istenildiği kadar büyütülemez. Örneğin,  $n=1$  için k çarpanının maksimum değeri 2 ile sınırlanır. Buna göre  $k_{maks} < 2n$  yazılabilir. Devrenin tümü Şekil-5.9'da verilmiştir. Bu yapıda  $T_9$ 'dan  $T_{13}$ 'e kadar olan transistörler gerilimden akıma dönüştürücü olarak çalışırlar. Bu yapıda  $T_9$ - $T_{10}$ ,  $T_{11}$ - $T_{12}$ ,  $T_{17}$ ,  $T_{18}$ ,  $T_{15}$ - $T_{20}$  transistörlerinin eş, akım kaynaklarının yansıtma oranlarının 1 olduklarını ve tüm transistörlerin doymada çalıştıklarını kabul edelim. MOS transistörlerin giriş direnci çok yüksek olduğundan,  $i_y$  akımı  $i_y = 0$  alınabilir.  $T_9$ 'dan  $T_{12}$ 'ye kadar olan transistörler ve  $I_C$  akım kaynağı birlikte bir gerilim izleyici oluştururlar ve X ucundaki gerilimin Y ucundaki gerilimi izlemesini sağlarlar.  $T_{13}$  transistörü, akım izleyici işlevinin yerine getirilmesinin yanısıra, X ucunun düşük empedanslı olmasını da sağlar.

X ucundan küçük bir i akımının akması durumunda, akım izleyici  $T_{13}$  transistörünün savak akımını  $I_B + i$  değerine kadar artırır.  $T_{15}$  transistörü, bu akımı akım kuvvetlendiricisinin A ucuna yansıtırken,  $T_{16}$  transistörü da aynı akımı  $T_{17}$ - $T_{20}$  transistörlerinden oluşan akım kaynağının girişine getirir.  $2I_B$  sabit akım kaynağı nedeniyle  $T_{17}$  ve  $T_{19}$  transistörlerinin savak akımları  $(I_B - i)$  değerini alırlar. Bu akım da, akım kuvvetlendiricisinin B ucuna yansıtılır. Böylece, z ucundan dışarıya doğru bir  $i_z = k \cdot i$  çıkış akımı akar.  $i_z$  akımı  $i_x$  akımı ile aynı yönde olduğundan, bu devre



$$r_x = \frac{(g_{m9} + g_{m10}) \cdot (g_{d10} + g_{d12})}{g_{m9} g_{m10} g_{m13}} \quad (5.13)$$

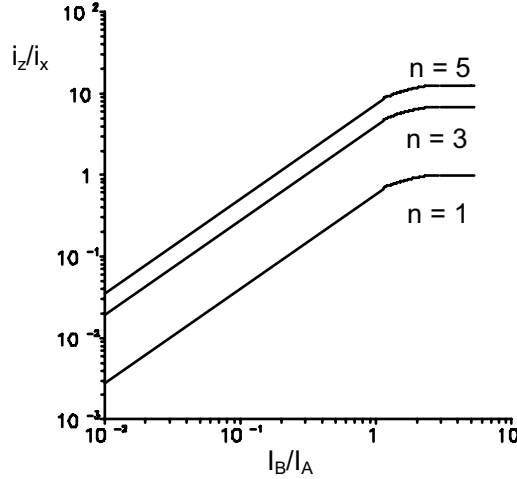
$$r_z = \frac{I}{g_{d5} + g_{d6}} \quad (5.14)$$

biçiminde ifade edilebilirler.  $g_{m6} = g_{m10} = 2.51 \times 10^{-4}$  A/V ve  $g_{m3} = 3.3 \times 10^{-4}$  A/V için  $r_x = 4.9$  Ohm bulunur. Yine,  $g_{d5} = g_{d6} = 1.02 \times 10^{-7}$  A/v için  $r_z = 4.9$  MOhm elde edilir. Wilson veya kaskod akım kaynaklarının kullanılmasıyla bu son değer daha da büyütülebilir. x ucundaki dengesizlik gerilimi

$$V_{OS} = (V_{T9} - V_{T10}) - \frac{\beta_9 - \beta_{10}}{\beta_9 + \beta_{10}} \cdot \left( \frac{I_{D9} + I_{D10}}{(\beta_9 + \beta_{10})} \right)^{1/2} \quad (5.15)$$

bağıntısıyla ifade edilebilir. (5.15) bağıntısındaki birinci terim eşik gerilimlerinin farklı olmasından ileri gelir. İkinci dengesizlik bileşeni ise geometrideki sapmalardan kaynaklanır.

Farklı n değerleri için  $i_z/i_x$  akım kazancının  $I_B/I_A$  oranıyla ne şekilde değişeceği Şekil-5.10'da gösterilmiştir.



Şekil-5.10. Farklı n değerleri için  $(i_z/i_x)$  akım transfer oranının  $(I_B/I_A)$  oranına bağımlılığı.

### 5.5. Akım taşıyıcılarda ideal olmama etkilerinin modellenmesi

İdeal bir akım taşıyıcıda, giriş ve çıkış empedansları sonsuz, band genişliği sonsuz, X ucundan içeriye doğru bakıldığında görülen empedans sıfırdır. X ucundan akacak akımla X ve Z uçlarındaki gerilimler için herhangi bir dalgalanma sınırı söz konusu değildir. Gerçek bir akım taşıyıcıda, ideal akım taşıyıcıdan farklı olarak, giriş (Y) ve çıkış (Z) empedansları sonlu, X ucundan görülen empedans sıfırdan büyük,  $v_x/v_y$  ve  $i_z/i_x$  geçiş fonksiyonlarının band genişliği sonlu olmaktadır. Bunun yanısıra, X ucundaki akım ve gerilim

$$I_{X \min} < i_X(t) < I_{X \max}$$

$$V_{X \min} < v_X(t) < V_{X \max}$$

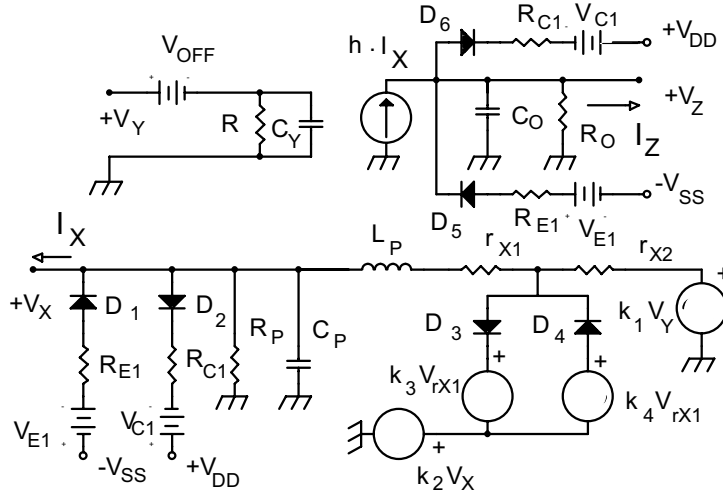
sınırları arasında, Z ucundaki gerilim de

$$V_{Z \min} < v_Z(t) < V_{Z \max}$$

sınırları arasında değişmekte, bu sınırlar zorlandığında, devre karakteristiklerinde doyma bölgesi ortaya çıkmaktadır.

Bu bölümde, söz konusu idealsizlikleri modellemek üzere, basit yapı ve yüksek doğruluklu bir akım taşıyıcı makromodeli verilecektir.

#### Makromodel



Şekil-5.11. Akım taşıyıcı makromodeli.

Akım taşıyıcının lineer ve lineer olmayan davranışını modelleyen makromodel Şekil-5.11’de görülmektedir. Makromodel oluşturulurken, akım taşıyıcının giriş-çıkış karakteristiklerinden ve frekans eğrilerinden yararlanılmış, model bu karakteristikleri aslına uygun bir biçimde verecek ve az sayıda lineer olmayan eleman içerecek biçimde düzenlenmiştir. Bunun için  $V_X-V_Y$  ve  $V_Z-V_Y$  gerilim geçiş eğrilerinin,  $I_X-V_Y$  ve  $I_Z-V_Y$  akım geçiş eğrilerinin, X, Y ve Z uçlarından içeriye doğru bakıldığında görülen  $Z_X$ ,  $Z_Y$  ve  $Z_O$  empedanslarının frekansla değişim eğrilerinin ölçü yoluyla yahut simülasyonla çıkartılması gerekmektedir. Model parametreleri, yukarıda değinilen karakteristiklerden yararlanılarak kolayca bulunabilmektedir. Kurulan lineer olmayan eşdeğer devre dokuz R elemanı, üç C elemanı, bir L elemanı, beş bağımlı kaynak, beş bağımsız gerilim kaynağı ve 6 diyot elemanı içermektedir. Bu elemanlar yardımıyla yapının gerilim ve akım izleme karakteristikleri, giriş ve çıkış empedansları, akım ve gerilim sınırlama özellikleri yeteri kadar doğru olarak modellenmektedir. Y ucuna ilişkin özellikleri temsil etmek için bir bağımsız gerilim kaynağı, bir R ve bir de C elemanı kullanılmıştır. X ucuna ilişkin giriş empedansının, akım ve gerilim sınırlama özelliklerinin modellenmesi için beş R elemanı, bir C elemanı, bir L elemanı, iki bağımlı gerilim kaynağı, dört bağımsız gerilim kaynağı ve dört de diyot elemanı öngörülmüştür. X ucundan içeriye doğru bakıldığında, ikinci dereceden bir empedans fonksiyonu ile ifade edilebilen bir empedans karakteristiği elde edilir. Rezonans karakteristiği biçimindeki bu davranışı modellemek üzere, eşdeğer devreye L elemanı eklenmiştir. Z ucuna ilişkin çıkış empedansı ve gerilim sınırlama özelliklerinin temsil edilmesi için de bir bağımlı akım kaynağı, üç R elemanı, bir C elemanı, iki bağımsız gerilim kaynağı ve iki diyot elemanı kullanılmıştır.

### Gerçek akım taşıyıcı ve makromodel karakteristikleri

Makromodelin doğruluğunu göstermek üzere, Şekil-5.5’de verilen CMOS akım taşıyıcı için SPICE 2. DÜZEY MOS modeli kullanılarak gerçek devre için elde edilen simülasyon sonuçlarıyla önerilen makromodel ile elde edilen SPICE simülasyonu sonuçları karşılaştırılmıştır. Örnek olarak seçilen CMOS akım taşıyıcıya ilişkin makromodel parametreleri Tablo-5.1’de verilmiştir.

**Tablo-5.1. Makromodel parametreleri.**

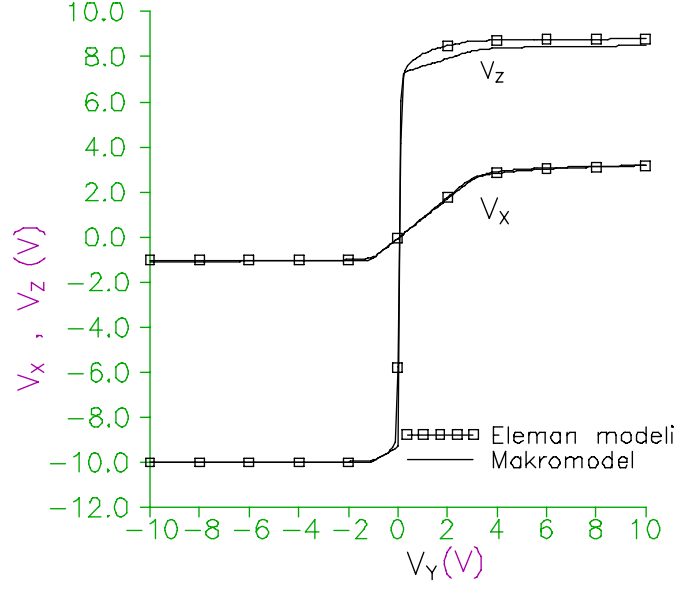
Eleman	Eleman değeri	Eleman	Eleman değeri
$R_Y$	1E12 Ohm	$k_3$	-9
$C_Y$	0.0489 pF	$k_4$	-2.2
$r_{X1}$	327 Ohm	$I_{S1}$	1E-14A
$r_{X2}$	400 Ohm	$I_{S2}$	1E-14A
$C_X$	0.1 pF	$I_{S3}$	1E-14A
$L_P$	40 $\mu$ H	$I_{S4}$	1E-14A
$R_P$	32kOhm	$I_{S5}$	1E-14A
$k_1$	1	$I_{S6}$	1E-14A
$k_2$	1	$V_{OFF}$	-63 mV
$R_O$	620 kOhm	$C_O$	.5 pF
$R_{C1}$	10 kOhm	$V_{C2}$	3.3 V
$V_{C1}$	5.72 V	$R_{E2}$	3 kOhm
$R_{E1}$	10 kOhm	$V_{E2}$	1.2 V
$V_{E1}$	1.1 V	$h$	1
$R_{C2}$	1860 Ohm	-	-

Z ucu açık devre,  $R_X = 1k$  iken elde edilen  $V_X - V_Y$  ve  $V_Z - V_Y$  gerilim geçiş eğrileri Şekil-5.12'de görülmektedir. Şekil-5.13'de  $R_X = 0$  için eleman modeli ve makromodelle elde edilen  $I_X - V_Y$  değişimleri, başka bir deyişle X ucundaki akımının  $V_Y$  ile değişimi yer almaktadır.

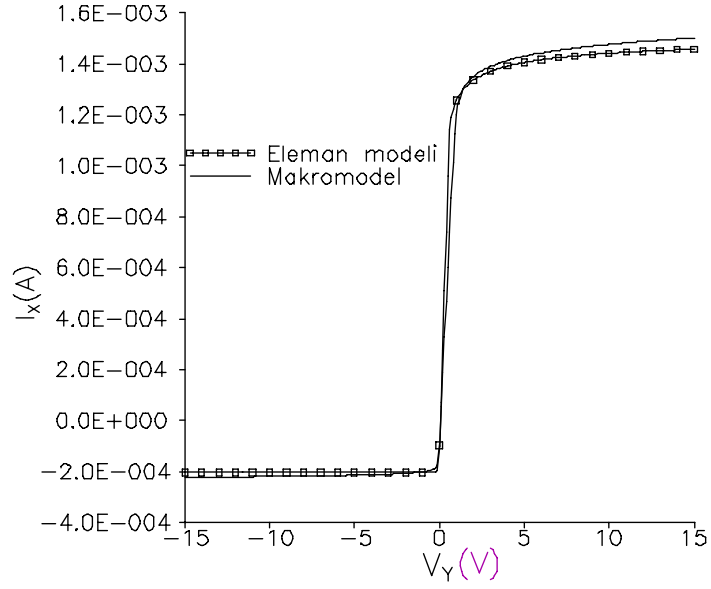
X ucunun açık devre edilmesi durumunda bu uçtaki  $V_X$  geriliminin  $V_Y$  gerilimi ile ne şekilde değişeceği eleman modeli ve makromodel ile hesaplanmış, sonuçlar Şekil-5.14'de gösterilmiştir.

X ucundan içeriye doğru bakıldığında görülen  $Z_X$  empedansının frekansla değişim eğrisi Şekil-5.15'de, Z ucundan içeriye doğru bakıldığında görülen  $Z_O$  empedansının değişim eğrisi de Şekil-5.16'da verilmiştir.  $v_X/v_Y$  ve  $v_Z/v_Y$  gerilim geçiş eğrilerinin frekansla değişimleri Şekil-5.17'de gösterilmiştir. Şekillerden kolaylıkla fark edilebileceği gibi, verilen model, akım taşıyıcının lineer ve lineer olmayan davranışını aslına uygun bir biçimde modellemektedir. Makromodel yardımıyla elde edilen sonuçlar, eleman modelleri yardımıyla elde edilen sonuçlarla iyi bir uyum sağlamaktadır.

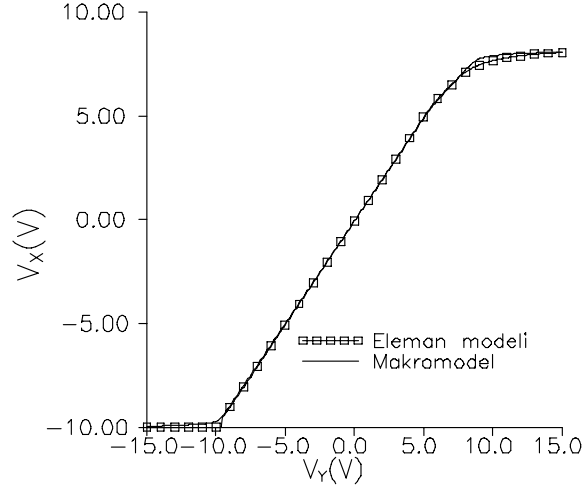




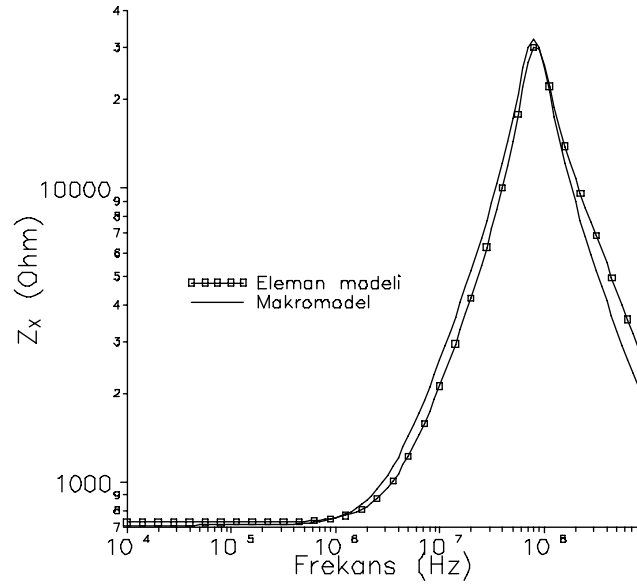
Şekil-5.12.  $R_x = 5k$ ,  $R_z = \infty$  için eleman modeli ve makromodel yardımıyla elde edilen  $V_x$ - $V_y$  ve  $V_z$ - $V_y$  değişimleri.

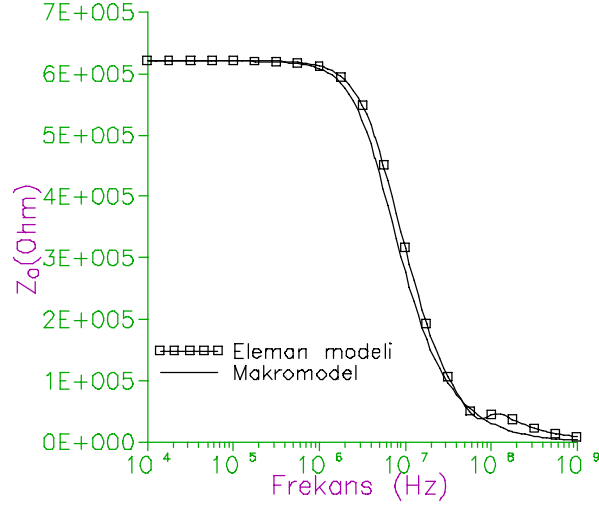


Şekil-5.13. X ucundan içeriye ve dışarıya doğru akıtılan akımın sınırları.

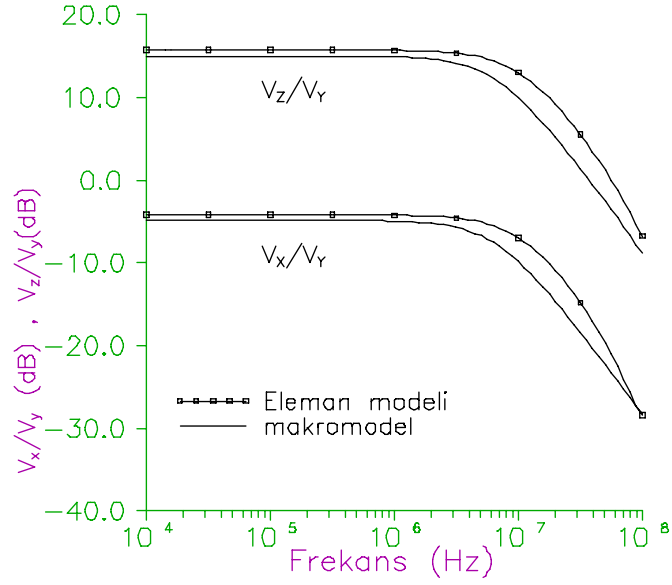


r.

Şekil-5.14.  $R_X = \infty$  için  $V_X - V_Y$  değişimi.Şekil-5.15. X ucundan görülen  $Z_X$  empedansının frekansla değişimi için makromodel ve eleman modeli yardımıyla elde edilen simülasyon sonuçları.



Şekil-5.16. Z ucundan görülen  $Z_o$  empedansının frekansla değişimi için makromodel ve eleman modeli yardımıyla elde edilen simülasyon sonuçları.



Şekil-5.17.  $v_x/v_y$  ve  $v_z/v_y$  gerilim transfer oranlarının frekansla değişimi için makromodel ve eleman modeli yardımıyla elde edilen simülasyon sonuçları.

**KAYNAKLAR**

- [1] K.C. Smith, A. Sedra, The current conveyor - a new circuit building block, IEEE Proc., 56, pp.1368-1369, 1968.
- [2] A. Sedra, K.C.Smith, A second generation current conveyor and its applications, IEEE Trans. on Circuit Theory, CT-17, pp.132-134, 1970.
- [3] S.-I. Liu, H.-W. Tsao, J. Wu, T.-K.Lin, MOSFET capacitor filters using unity gain CMOS current conveyors, Electronics Letters, 26, pp.1430-1431, 1990.
- [4] M.C. Chang, C. Toumazou, 3V MOS current conveyor for VLSI technology, Electronics Letters, 29, 317-318, 1993.
- [5] A.S. Sedra, G.W. Roberts, F.Gohh, The current conveyor: History, Progress and New Results, IEEE Proc., 137, 78-77, 1990.
- [6] W.S. Amptorn, V. Riewruja, F. Cheevasuvit, Integrible CMOS-base realization of current conveyors, Int.J. Electronics , 71, 793-798, 1991.
- [7] H. Sedef, Akım taşıyıcı kullanarak aktif devre sentezinde yeni olanaklar, Doktora tezi, YTÜ FBE, Elektronik ve Haberleşme Mühendisliği ABD. Ocak 1994.
- [8] C.M. Chang, P.-C.Chen, Realization of current-mode transfer function using second-generation current conveyors, Int. J. Electronics, 71, 809-815, 1991.
- [9] B. Yenen, CMOS akım taşıyıcıların makromodellerinin oluşturulması ve akım taşıyıcılı süzgeçlerin analizi, Yüksek Lisans Tezi, İTÜ FBE, Elektronik ve Haberleşme Mühendisliği ABD. Ocak 1995.
- [10] B. Yenen, N. Tarım, H. Kuntman, Aktif süzgeç simülasyonuna yönelik bir akım taşıyıcı makromodeli, Elektrik Müh. 6. Ulusal Kongresi Bildiri Kitabı, Cilt 3, 1023-1026, Uludağ Üniversitesi, Bursa, 11-17 Eylül 1995.
- [11] N. Tarım, B. Yenen and H. Kuntman, Simple and accurate nonlinear current-conveyor macromodel, Melecon 96, Proceedings of 8th Mediterranean Electrotechnical Conference, Vol.1, pp.447-450, Bari, Italy, May 13-16, 1996.
- [12] H. Tek, F. Anday, Voltage transfer function synthesis using current conveyors, Electronics Letters, 25, 1552-1553, 1989.