

İleri Analog Tümdevre Tasarımı

2007-2008 Bahar Yarıyılı

Yılsonu Ödevi

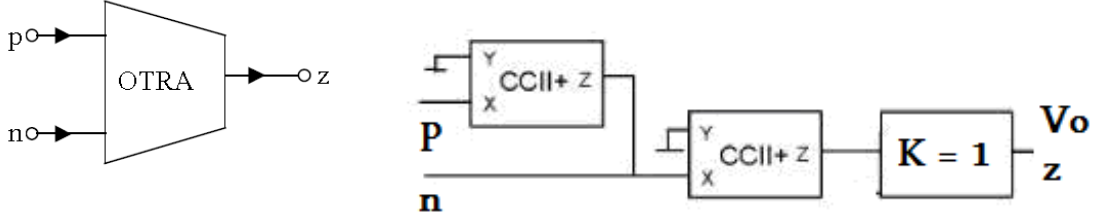
Yapılan hesapları, elde edilen sonuçları, bunların yorumunu kapsamlı biçimde içeren bir rapor hazırlanacaktır. Hazırlanan rapor 2 Haziran 2008 Pazartesi akşamına kadar teslim edilecektir.

OTRA (Operational Transresistance Amplifier-işlemsel geçiş direnci kuvvetlendiricisi) tanım bağıntıları, devre sembolü ve ilkesel gerçekleştirme şeması Şekil-1'de verilmiştir. Tanım bağıntıları uyarınca giriş uçları bir kısadevre elemanı gibi davranmakta, bu girişlerin akımlarının farkı ile orantılı bir çıkış gerilimi elde edilmektedir. Şekil-1'deki gerçekleştirme topolojisi, 2 adet ikinci kuşak akım taşıyıcı ile kurulmaktadır. Çıkışta birim kazançlı ayırıcı kat yer almaktadır.

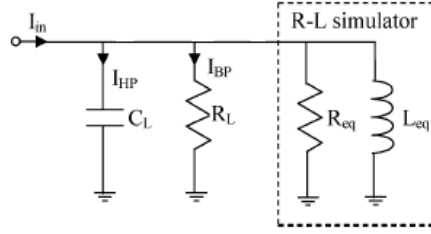
Bu ilkeden yararlanarak 0.35µm CMOS teknolojisi ile bir İşlemsel Geçiş Direnci Kuvvetlendiricisi (OTRA) gerçekleştiriniz. Bunun için daha önce ödevlerde oluşturduğunuz CCII yapılarının ana hatlarından ve birim kazançlı ayırıcı katlardan yararlanabilirsiniz.

- a- Devredeki tranzistorların boyutlarını ve kutuplama akımlarını belirleyiniz. SPICE benzetim programı yardımıyla devrenin
- b- DC geçiş karakteristiğini çıkartınız; $V_Z = f(I_P - I_n)$.
- c- $R_m = v_Z / (i_p - i_n)$ geçiş empedansının frekansa bağımlılığını inceleyiniz.
- d- p, n ve z uçlarından içeriye doğru bakıldığında görülen empedansların frekansla değişimini inceleyiniz.
- e- OTRA devresinin performans parametrelerini (dinamik aralığı, band genişliği, uç emp. vb) ayrıca bir tablo halinde veriniz.
- f- Tasarlanan CMOS devre kullanılarak Şekil-2'deki gösterilen akım modlu süzgeç yapısı oluşturulacak, bu hücrelerin Şekil-3'deki gibi arka arkaya bağlanmasıyla da 4. dereceden bir band geçiren süzgeç gerçekleştirilecektir. Devredeki CCII elemanları akım sezme ve ayırıcı kat işlevlerini yerine getirmektedir. Her bir süzgeç hücresinin akort frekansı $f_p = 1$ MHz ve değer katsayısı $Q_p = 1$ olacaktır.
- g- Devreyi gerçeklemek üzere için ekte verilen şekillerden uygun bir topolojiyi seçerek paralel bir R-L-C benzetimi devresi gerçekleştiriniz, benzetim devresinin frekans eğrisini SPICE programı yardımıyla çıkartınız. Bunun için modül ve fazın frekansla değişimini hem ideal paralel R-L-C kombinezonu, hem de tasarladığınız CMOS devre için çıkartınız.
- h- Devrenin büyük işaret yanıtını inceleyiniz. Bunun için giriş işareti seviyesini belli aralıklarla yükselterek çıkış işaretini izleyiniz, her bir seviye için THD toplam harmonik distorsiyonunu belirleyiniz, THD(%)- I_{in} karakteristiğini çiziniz.
- i-Seviyeyi distorsiyonun düşük olduğu bir düzeyde tutarak yük direncini değiştiriniz, her bir yük direnci değeri için çıkış gerilimini ve THD(%) toplam harmonik distorsiyonunu saptayınız. $V_o - R_L$ ve THD(%)- R_L değişimlerini çiziniz.
- j- Elde ettiğiniz sonuçları yorumlayınız.

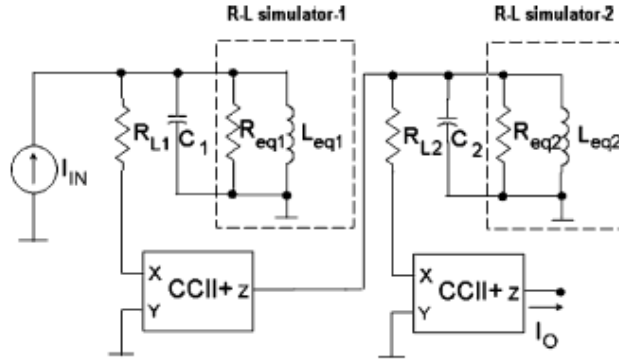
$$\begin{pmatrix} V_P \\ V_N \\ V_Z \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ R_m & -R_m & 0 \end{pmatrix} \begin{pmatrix} I_P \\ I_N \\ I_Z \end{pmatrix}$$



Şekil-1. OTRA tanım bağıntıları , Devre Sembolü ve CCII+ ile gerçekleştirilmesi



Şekil-2. OTRA tabanlı akım modlu süzgeç



Şekil-3. OTRA-CCII tabanlı 4. derece akım modlu band geçiren süzgeç

Ekler:

Kaynak 1:

U. Cam, F. Kacar, O. Cicekoglu, H. Kuntman and A. Kuntman “Novel Grounded Parallel Imittance Simulator Topologies Employing Single OTRA”, AEÜ – International Journal of Electronics and Communications, Vol. 57, No. 4, pp. 1-4, 2003.

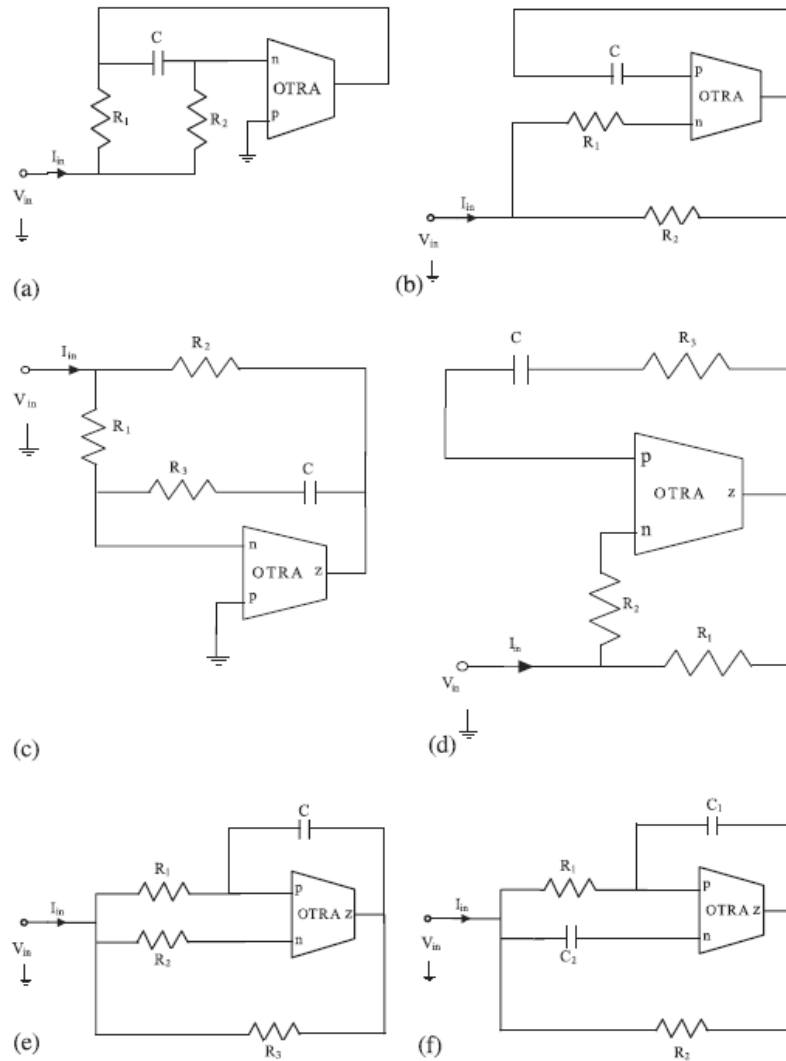


Fig. 2. The proposed immittance simulator topologies.

Table 1. The actively realizable inductance forms.

Figure	L_{eq}	G_{eq}	C_{eq}	Type
2.a	$\frac{C}{G_1 G_2}$	$G_1 + G_2$	–	L parallel with R
2.b	$-\frac{C}{G_1 G_2}$	$G_1 + G_2$	–	$-L$ parallel with R
2.c	$\frac{C}{G_1 G_2}$	$G_1 + G_2 + \frac{G_1 G_2}{G_3}$	–	L parallel with R
2.d	$-\frac{C}{G_1 G_2}$	$G_1 + G_2 - \frac{G_1 G_2}{G_3}$	–	$-L$ parallel with $\pm R$
2.e	$\frac{C}{G_1 G_3} - \frac{C}{G_2 G_3}$	$G_1 + G_2 + G_3$	–	$\pm L$ parallel with R
2.f	$\frac{C_1}{G_1 G_2}$	$G_1 + G_2 - \frac{C_1 G_2}{C_1}$	C_2	L and C parallel with $\pm R$

Kaynak 2:

F. Kaçar, U. Çam, O. Çiçekoğlu, H. Kuntman, A. Kuntman, “Novel OTRA-Based Grounded Parallel Immitance Simulator Topologies”, Analog Integrated Circuit and Signal Processing, Vol.39, 169-175, 2004.

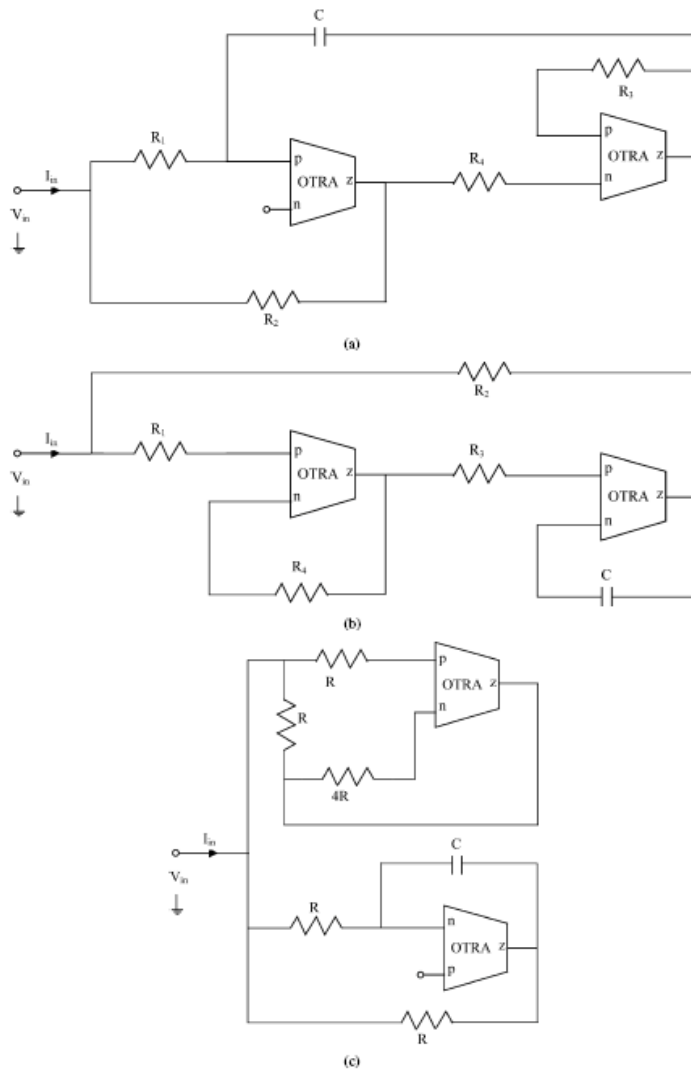


Fig. 2. The proposed immitance simulator topologies.

Figure	L_{eq}	G_{eq}	Type
2(a)	$\frac{CG_4}{\sigma_1\sigma_2\sigma_3}$	$G_1 + G_2$	L parallel with R
2(b)	$-\frac{CG_4}{\sigma_1\sigma_2\sigma_3}$	$G_1 + G_2$	-L parallel with R
2(c)	$\frac{C}{\sigma^2}$	-	Pure L