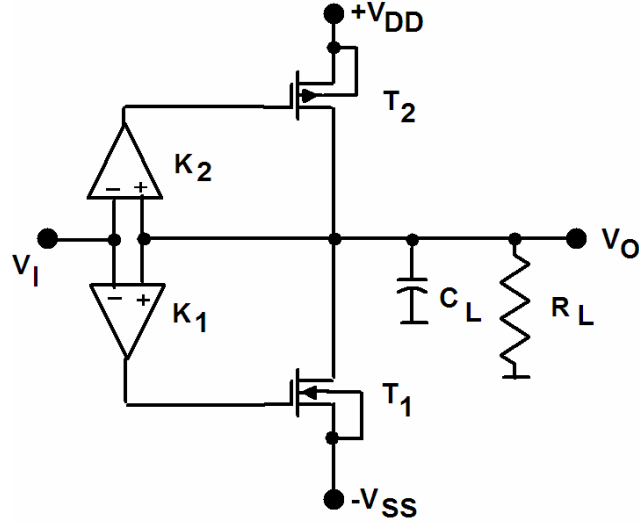


ELE512
İleri Analog Tümdevre Tasarımı
2006-2007 Bahar Yarıyılı
ÖDEV 2
(7 Mart 2007, Süre 3 haftadır)

Yüksek başarımlı işlemsel kuvvetlendirici yapılarında kullanılmak üzere, $0.35 \mu\text{m}$ n-kuyulu CMOS teknolojisi ile ilkesel yapısı Şekil-1'de verilen çıkış katı gerçekleştirilecektir. Çıkış katının sağlanması gereken özellikler aşağıdaki tabloda verilmiştir. Devre $V_{DD} = V_{SS} = 1.5\text{V}$ 'luk simetrik kaynakla beslenecektir.



Şekil-1 Yüksek başarımlı işlemsel kuvvetlendirici için çıkış katı.

Tablo 1: Sağlanması gereken özellikler:

R_L	$\geq 1\text{k}$
C_L	$\leq 100\text{pF}$
Yükselme Eğimi	$\geq 5\text{V}/\mu\text{sn}$
Çıkış salınım aralığı	$ V_o \geq 0.9\text{V}$

a- Çıkış katındaki K_1 ve K_2 kuvvetlendiricilerini tasarlayınız, devredeki tüm tranzistörlerin boyutlarını ve kutuplama akımlarını belirleyiniz. (Tranzistörler için minimum boyutların W_{\min} , $L_{\min} \geq 2 \times 0.35 \mu\text{m}$ olacak şekilde seçilmesi yararlı olur).

SPICE benzetim programı yardımıyla çıkış katının

- b- DC gerilim geiř eđrisini ıkartınız, eđrinin dođrusallıđını arařtırınız.
- c- Kuvvetlendiricinin ykl durumda genlik-frekans ve faz-frekans eđrilerini ıkartınız. Kararsızlık sorunu olup olmadıđını arařtırınız. Kararsızlık sorunu varsa, bu sorunu giderecek nlemleri alınız.
- d- Devrenin byk iřaret yanıtını ve ıkıř iřaretinin ykselme eđimini inceleyiniz.
- e-Elde ettiđiniz sonuları yorumlayınız. Tasarım hedeflerine ulařıp ulařamadıđınızı irdeleyiniz.

NOT: Yapılan hesapları, elde edilen sonuları, bunların yorumunu kapsamlı biimde ieren bir rapor hazırlanacaktır. 0.35 μm CMOS teknolojisi WEB sayfasında verilen adresten seilecek ve benzetim iin kullanılacak model parametreleri buradan sađlanacaktır.

http://atlas.cc.itu.edu.tr/~kuntman/Y_lisans/ele512/ileriltd.htm