

9. EŞİKALTI BÖLGESİNDE ÇALIŞAN ANALOG YAPI BLOKLARI

Son yıllarda, eşikaltında çalışan MOS tranzistorların kullanıldığı analog devre yapıları gittikçe önem kazanmaktadır. Bunun başlıca nedeni, hasta üzerine yerleştirilebilecek kadar **küçük boyutlu** biomedikal cihazlar gibi düzenlerde kullanılabilecek, **pille beslenen ve düşük güç harcayan** elektronik devrelere duyulan gereksinmedir.

Bir MOS tranzistoru eşikaltında çalıştırmanın sağlayacağı çok sayıda yararlı yanları bulunmaktadır:

- a- Eşikaltında çalıştırılan MOS tranzistorlarla kurulan devreler için güç tüketimi 10^{-12} ile 10^{-6} W mertebesinde çok küçük değerler gösterir.
- b- Tranzistorun savak akımı birkaç kT/q değerinde doyar, bu da tranzistorun referans geriliminden besleme gerilimine kadar olan aralıkta bir akım kaynağı gibi davranmasını sağlamaktadır.

9.1 Eşikaltı MOS modeli bağıntıları

Bir MOS tranzistorda, V_{GS} geçit-kaynak geriliminin V_T eşik geriliminden büyük olması halinde, tranzistorun akım-gerilim ilişkisi **doyma bölgesinde** ($V_{DS} \geq V_{GS} - V_T$, $V_{GS} > V_T$)

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

karesel bağıntısı ile verilir. Genellikle, $V_{GS} < V_T$ için I_D savak akımı ihmal edilir. Gerçekte, $V_{GS} < V_T$ için yüzeye yakın bölgelerde bir elektron yoğunluğu bulunduğundan, savak akımı sıfır değildir. Bu bölgeye **eşikaltı** yahut **zayıf evirtim** bölgesi, bu bölgedeki akıma da **eşikaltı akımı** adı verilir. Diğer bir deyişle, geçit kaynak geriliminin eşik geriliminin üzerinde olduğu bölge **kuvvetli evirtim** bölgesi, bu gerilimin eşik geriliminin altında kaldığı bölge de **zayıf evirtim** yahut **eşikaltı** bölgesi olarak isimlendirilmektedir. Kuvvetli evirtimde akan savak akımı

9.2

sürüklenme akımı, buna karşılık, eşikaltı akımı ise bir difüzyon akımıdır. V_{GS} gerilimi V_T eşik gerilimine doğru yaklaştıkça, MOS tranzistorun I_D - V_{GS} karakteristiği karesel bağımlılıktan üstel bağımlılığa dönüşür.

Bir MOS tranzistorun eşikaltı davranışını modellemek üzere çeşitli çalışmalar yapılmıştır. Tranzistorun eşikaltı çalışmada akıtacağı savak akımı

$$I_D = \left(\frac{W}{L}\right) I_{DO} \exp(qV_G / kT) \left[\exp(-qV_S / kT) - \exp(-qV_D / kT) \right] \quad (9.1)$$

bağıntısıyla verilebilir. Bu bağıntıdaki V_G , V_S ve V_D büyüklükleri, geçit, kaynak ve savak uçlarının referans düğümüne göre gerilimlerini vermektedir. Tranzistorun kaynak ucunun referans düğümüne bağlanması durumunda (9.1) bağıntısı

$$I_D = \left(\frac{W}{L}\right) I_{DO} \exp(qV_{GS} / kT) \left[1 - \exp(-qV_{DS} / kT) \right] \quad (9.2)$$

şekline dönüşür. Burada V_{GS} ve V_{DS} büyüklükleri, sırasıyla, geçidin ve savağın kaynak ucuna göre gerilimleri olmaktadır. Bağıntılardaki I_{DO} büyüklüğü prosese bağlı bir parametre olup, özellikle eşik gerilimi ve kaynak-gövde geriliminin bir fonksiyonudur (W/L). I_{DO} çarpanı, kısaca I_{on} sembolü ile gösterilebilir.

Yapılan araştırmalar, (9.1) ve (9.2) bağıntılarının, MOS tranzistorun has yarıiletken bir gövde üzerinde oluşturulması durumunda geçerli olduğunu ortaya koymuştur. Gerçekte, MOS tranzistorlar has yarıiletken bir gövde üzerinde oluşturulmazlar; NMOS tranzistorlar p tipi bir gövde, PMOS tranzistorlar ise n tipi bir gövde üzerinde gerçekleştirilirler. Bu nedenle, yukarıdaki bağıntılarda bir değişiklik yapılması ve eşikaltı eğim çarpanı olarak isimlendirilen bir model parametresinin (κ) bağıntılara katılması gerekli olur. Bu düzeltme için, (9.1) ve (9.2) bağıntılarında geçit gerilimine ilişkin terimde kT/q yerine $kT/(\kappa q)$ alınmalıdır. Böylece, eşikaltı bağıntısı

$$I_D = \left(\frac{W}{L}\right) I_{DO} \exp(q\kappa V_G / kT) \left[\exp(-qV_S / kT) - \exp(-qV_D / kT) \right] \quad (9.3)$$

şeklini alır. (9.3) eşitliğinde görülen κ parametresi (eşikaltı iletim eğim parametresi) prosesten prosese önemli ölçüde değişim gösterebilir. Ancak, aynı üretim hattından çıkmış tranzistorlar için bu parametrenin sabit değerli olacağı söylenebilir. Bazı kaynaklarda, genellikle, V_G , V_S ve V_D gerilimlerinin değerleri kT/q ısı geriliminin katları cinsinden ifade edilerek, başka bir deyişle

$$v_G = \frac{V_G}{kT/q}, \quad v_S = \frac{V_S}{kT/q}, \quad v_D = \frac{V_D}{kT/q}$$

şeklinde normalize gerilimler cinsinden verilmektedir. Literatürde bu normalize gerilimler cinsinden ifade edilmiş olan akım-gerilim bağıntıları gerçek gerilimler cinsinden aşağıdaki gibi olmaktadır:

$$I_D = \left(\frac{W}{L}\right) I_{DO} \exp\left(\kappa \frac{V_G}{kT/q}\right) \left[\exp\left(-\frac{V_S}{kT/q}\right) - \exp\left(-\frac{V_D}{kT/q}\right) \right] \quad (9.4)$$

$$I_D = I_{SAT} \left[1 - \exp\left(-\frac{V_{DS}}{kT/q}\right) \right] \quad (9.5)$$

biçiminde yazılabilir. Bu bağıntıdaki I_{SAT} büyüklüğü

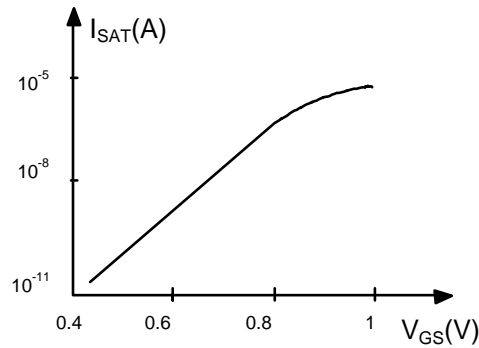
$$I_{SAT} = \left(\frac{W}{L}\right) I_{DO} \exp\left(\frac{\kappa V_G - V_S}{kT/q}\right) \quad (9.6)$$

bağıntısıyla tanımlanır ve tranzistörün doyma akımına karşı düşer. Bağıntıdaki $(W/L) \cdot I_{DO}$ çarpanı yerine kısaca I_{on} yazılabilir. Eşikaltında ve doyma bölgesinde çalışan tranzistörün akımını veren üstel bağıntı

$$I_D = I_{on} \exp\left[(V_{GS} - V_{on}) \left(\frac{q}{nkT} \right) \right] \quad (9.7)$$

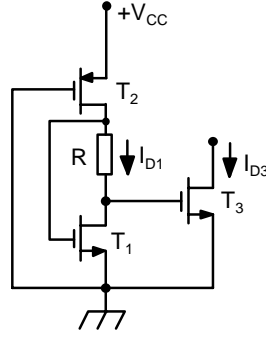
biçimindeki bir eşitlikle de verilebilir. Bu bağıntıda n bir katsayı, V_{on} zayıf evirtimle kuvvetli evirtim arasındaki sınır değeri, I_{on} büyüklüğü $V_{GS} = V_{on}$ için kuvvetli evirtim bağıntısının vereceği akım değeridir.

Bir MOS tranzistörde I_{SAT} doyma akımının V_{GS} gerilimiyle ne şekilde değişeceği Şekil-9.1'de gösterilmiştir.



Şekil-9.1. Bir MOS tranzistörde I_{SAT} doyma akımının V_{GS} gerilimiyle değişimi.

9.2. Eşikaltı bölgesinde çalıştırılan akım referansı devreleri



Şekil-9.2.Eşikaltında çalışan MOS tranzistorlarla akım referansı devresi.

Eşikaltı bölgesinde çalıştırılan NMOS ve PMOS tranzistorların üstel akım-gerilim değişiminden yararlanılarak, bipolar tekniğinden bilinen temel akım referansı devreleri, CMOS tekniği ile de gerçekleştirilebilir. Buna ilişkin bir devre örneği Şekil-9.2’de görülmektedir. Bu devrede T_2 tranzistoru sürekli iletimdedir. Yapıdan akan akım T_1 , T_3 tranzistorları ve R direnci ile dengelenmektedir. T_1 ve T_3 tranzistorlarının kaynak uçları referans düğümüne bağlı olduklarından, T_3 tranzistorunun savak akımı

$$I_{D3} = \frac{(W/L)_3}{(W/L)_1} I_{D1} \cdot \exp(-R \cdot I_{D1} \cdot \kappa / V_T) \quad (9.8)$$

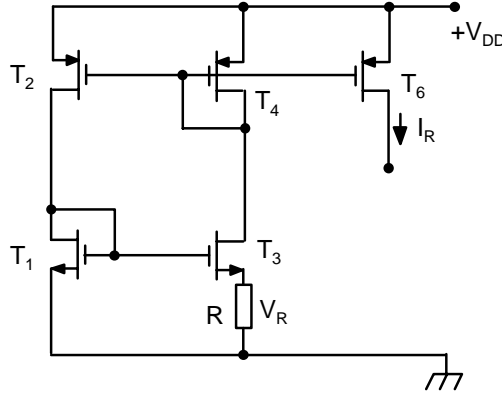
olmaktadır. Bu akımın alabileceği en büyük değeri hesaplamak üzere, (9.8) eşitliğinin her iki tarafının I_{D1} büyüklüğüne göre türevi alınıp sifıra eşitlenirse, söz konusu maksimum değer için

$$I_{D3} = \frac{(W/L)_3}{(W/L)_1} \frac{V_T}{\kappa \cdot e \cdot R} \quad (9.9)$$

bağıntısı elde edilir.

Eşikaltı bölgesinde çalıştırılan diğer bir akım referansı devresi Şekil-9.3’de verilmiştir. Bu devrede T_2 ve T_4 tranzistorları bir akım aynası oluştururlar. Bu akım aynasının kollarındaki akımların oranı S_2/S_4 olsun ($S_i = \mu_{n,p} \cdot C_{OX} \cdot (W/L)_i$). Yapıda yer alan T_1 ve T_3 tranzistorları da ikinci bir akım aynasını oluşturmaktadır. Bunun kollarındaki akımların oranı da S_1/S_3 ile gösterilsin. Devredeki akım aynaları, şekilde gösterildiği gibi kapalı bir çevrim oluşturacak biçimde bağlanırlarsa,

çevrim kazancı akım aynalarının kazançlarının çarpımına eşit olur. Bu çevrim kazancı küçük akım değerleri için 1'den büyük seçilir; böylece kollardaki akımlar bir denge sağlanana kadar artarlar. Söz konusu denge, R direnci üzerinde bir V_R gerilim düşümü oluşması ve kazanç değerinin 1'e eşitlenmesi ile sağlanır.



Şekil-9.3. Eşikaltı iletimde çalışan MOS transistörlerle kurulan diğer bir akım referansı devresi.

Yapıdaki T_1 ve T_3 NMOS transistörlerinin eşikaltı bölgesinde çalışmaları durumunda, R direncinin uçlarında düşen V_R gerilimi

$$V_R = \frac{kT}{q} \ln \frac{S_3 S_2}{S_1 S_4} \quad (9.10)$$

şeklinde yazılabilir. Böylece, V_R/R ile orantılı bir referans akımı, T_4 ve T_6 transistörlerinin oluşturduğu akım aynasından gösterilen yönde akıtılabilir.

9.3. Fark kuvvetlendiricisi

Eşikaltında çalışan MOS transistörlerle fark kuvvetlendiricisi gerçekleştirmek mümkündür. Şekil-9.4'deki fark kuvvetlendiricisi ele alınsın. Bu devrede kutuplama akımını sağlayan T_B transistörü, akım kaynağı işlevini yerine getirmektedir. Ortak kaynak düğümündeki V geriliminin yeteri kadar büyük değerleri için, bu transistörün I_B savak akımı V_B kutuplama geriliminin belirlediği sabit bir değerde doyar. I_B kutuplama akımının T_1 ve T_2 transistörleriyle oluşturulan kollara ne şekilde dağılacağı, V_1 ve V_2 gerilimleri arasındaki farka ve transistörlerin çalışma rejimine (kuvvetli evirtim yahut eşikaltında çalışma) bağlı

olur. Kuvvetli evirtimde çalışan tranzistorlarla kurulan bir fark kuvvetlendiricisinin davranışı daha önce Bölüm-2’de ele alınmıştı. Eşikaltında (zayıf evirtimde) çalışan NMOS tranzistorlarda, (9.6) bağıntısından görüleceği gibi, tranzistorun doyma bölgesindeki I_{SAT} savak akımı geçit ve kaynak gerilimlerine

$$I_{SAT} = I_{on} \exp\left(\frac{\kappa V_G - V_S}{kT/q}\right) \quad (9.11)$$

biçiminde üstel olarak bağlıdır. Bu bağıntının T_1 ve T_2 tranzistorlarına uygulanması durumunda

$$I_1 = I_{on} \exp\left(\frac{\kappa V_1 - V_S}{kT/q}\right) \quad I_2 = I_{on} \exp\left(\frac{\kappa V_2 - V_S}{kT/q}\right) \quad (9.12)$$

yazılabilir. I_{D1} ve I_{D2} savak akımlarının toplamı I_B kutuplama akımına eşit olmak zorunda olduğundan

$$I_B = I_1 + I_2 = I_{on} \exp\left(\frac{-V}{kT/q}\right) \left(\exp\left(\frac{\kappa V_1}{kT/q}\right) + \exp\left(\frac{\kappa V_2}{kT/q}\right) \right) \quad (9.13)$$

olur. (9.13) eşitliği V gerilimi için çözülür ve bu çözüm (9.12) bağıntılarında yerine konursa

$$I_1 = I_B \cdot \frac{\exp\left(\frac{\kappa V_1}{kT/q}\right)}{\exp\left(\frac{\kappa V_1}{kT/q}\right) + \exp\left(\frac{\kappa V_2}{kT/q}\right)} \quad (9.14)$$

$$I_1 = I_B \cdot \frac{\exp\left(\frac{\kappa V_2}{kT/q}\right)}{\exp\left(\frac{\kappa V_1}{kT/q}\right) + \exp\left(\frac{\kappa V_2}{kT/q}\right)} \quad (9.15)$$

elde edilir.

$V_1 - V_2 \geq kT/q\kappa$ ise, T_2 tranzistoru kesime girer ve tüm I_B akımı T_1 üzerinden akar. $V_1 - V_2 < -kT/q\kappa$ durumunda ise T_1 tranzistoru kesime sürülür ve akım tümüyle T_2 üzerinden akar

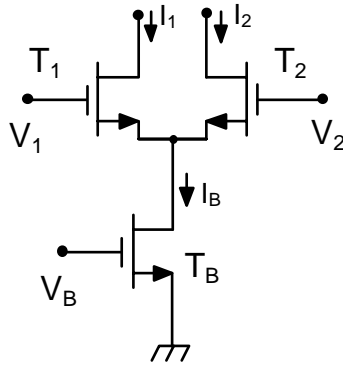
Yukarıda anlatılanlar doğrultusunda düşünülecek olursa, fark kuvvetlendiricisinin çıkış fark akımının

$$I_1 - I_2 = I_B \cdot \frac{\exp\left(\frac{\kappa V_1}{kT/q}\right) - \exp\left(\frac{\kappa V_2}{kT/q}\right)}{\exp\left(\frac{\kappa V_1}{kT/q}\right) + \exp\left(\frac{\kappa V_2}{kT/q}\right)} \quad (9.16)$$

bağıntısı ile verileceği kolayca fark edilebilir. (9.16) bağıntısının pay ve paydasının $\exp[-(V_1+V_2)/2]$ ile çarpılması durumunda, her bir üstel terim gerilim farkları cinsinden ifade edilebilir. Bu durumda çıkış fark akımı

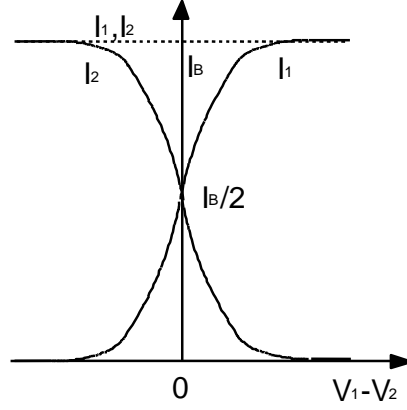
$$I_1 - I_2 = I_B \cdot \tanh\left(\frac{\kappa(V_1 - V_2)}{2kT/q}\right) \quad (9.17)$$

biçiminde yazılabilir. Bu bağıntıdan kolayca fark edilebileceği gibi, çıkış fark akımı, bipolar tranzistorlu fark kuvvetlendiricilerinde olduğu gibi, tanh fonksiyonunu izlemektedir. Bu fonksiyon, orijinden birim eğimle geçer; büyük değerli pozitif argümanlar için +1, büyük değerli negatif argümanlar için de -1 değerlerine gider. Akımların giriş fark gerilimiyle değişimi Şekil-9.5'de gösterilmiştir.



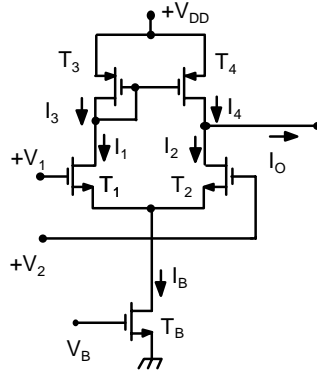
Şekil-9.4. Eşikaltında çalışan MOS tranzistorlarla fark kuvvetlendiricisi gerçekleştirilmesi

9.8



Şekil-9.5. Fark kuvvetlendiricisinin çıkış akımlarının giriş fark gerilimine bağlı değişimi.

Eşikaltında çalışan CMOS OTA yapıları



Şekil-9.6. Eşikaltında çalıştırılabilecek en basit geçiş iletkenliği kuvvetlendiricisi yapısı

Eşikaltında çalıştırılabilecek en basit geçiş iletkenliği kuvvetlendiricisi yapısı Şekil-9.6'da verilmiştir. Bu kuvvetlendirici, daha önce kuvvetli evirtimde çalışan transistörlerle gerçekleştirilme şartı altında Bölüm-4'de ele alınan en basit yapıyla aynıdır. Devre bir fark kuvvetlendiricisi ve bir akım aynasından oluşmaktadır. PMOS transistörlerle kurulan bu akım aynası yardımıyla I_1 ve I_2 akımlarının farkı alınarak çıkış ucuna yansıtılmaktadır. T_3 transistöründen akan I_1 akımına eş bir akım T_4 transistöründen de akar. Böylece, devrenin çıkış akımı $I_1 - I_2$

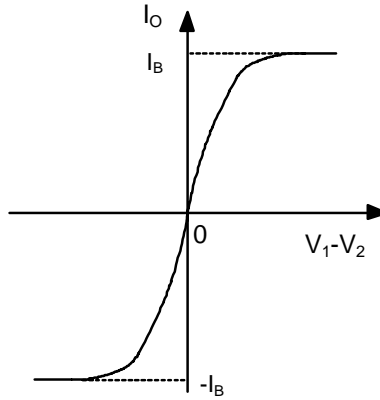
olur. Bu akımın genel ifadesi daha önce (9.17) bağıntısıyla verilen değişimi izler. Kuvvetlendiricinin çıkış akımı V_1-V_2 fark geriliminin bir fonksiyonu olarak çizilebilir. Elde edilecek değişim tanh fonksiyonu biçiminde olur. kT/qk değeri, eğrinin orijindeki eğimi yardımıyla bulunabilir. Kuvvetlendiricinin G_m geçiş iletkenliği, tanh fonksiyonunun orijin civarındaki eğimidir. Devreye ilişkin bağıntılardaki değişkenler cinsinden bu eğim yazılırsa

$$G_m = \frac{I_B}{2 \cdot \frac{kT}{q \cdot k}} \quad (9.18)$$

$$G_m = \frac{K \cdot I_B}{kT/q} \quad (9.19)$$

elde edilir. Bu bağıntıda K bir çarpan, T sıcaklık, I_B OTA'nın kutuplama akımı, k Boltzmann sabiti q elektron yüküdür. Dikkat edilecek olursa, kuvvetlendiricinin geçiş iletkenliği, I_B kutuplama akımı ile orantılıdır. Bu açıdan bakıldığında, devre bipolar tranzistörlerle kurulan geçiş iletkenliği kuvvetlendiricileriyle aynı davranışı göstermektedir. Bu davranış, Bölüm-4'de ele alınan yapının davranışından, eğimin $(I_B)^{0.5}$ ile orantılı olması özelliğinden, farklı olmaktadır.

Eşikaltında çalışan basit CMOS geçiş iletkenliği kuvvetlendiricisinin çıkış akımının giriş fark gerilimi ile değişimi Şekil-9.7'de verilmiştir.

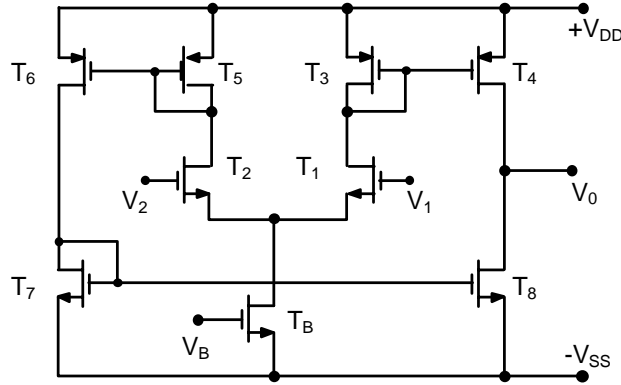


Şekil-9.7. Eşikaltında çalışan basit CMOS geçiş iletkenliği kuvvetlendiricisinin çıkış akımının giriş fark gerilimi ile değişimi

Eşikaltında çalıştırılmaya elverişli diğer bir CMOS geçiş iletkenliği kuvvetlendiricisi yapısı Şekil-9.8’de görülmektedir. Şekilden fark edilebileceği gibi, bu yapı, daha önce Bölüm-4’de ele alınan simetrik CMOS geçiş iletkenliği kuvvetlendiricisi ile aynıdır. Bu devrenin geçiş iletkenliği (eğimi)

$$G_m = \frac{K \cdot I_B}{kT/q} \quad (9.20)$$

bağıntısıyla verilebilir. Elde edilen ifade önceki devreye ilişkin bağıntıyla aynı karakterdedir. (9.19) bağıntısından farklı olarak, burada K büyüklüğü devredeki akım aynalarının akım yansıtma katsayısını da içermektedir. Daha önce Bölüm-4’de de değinildiği gibi, simetrik geçiş iletkenliği kuvvetlendiricisi (OTA) yapısı, gerek bipolar gerekse CMOS analog devre tekniğinde en yaygın olarak kullanılan devre topolojilerinden birini oluşturur.



Şekil-9.8. Eşikaltında çalışan basit CMOS geçiş iletkenliği kuvvetlendiricisi

Eşikaltında çalışan MOS tranzistorlarla kurulan analog çarpma devreleri

Analog çarpma devresi gerçekleştirmek üzere yararlanılan en temel yapı bloku, bipolar tekniğinden de bilinen Gilbert dörtlüsüdür. Eşikaltında çalışan MOS tranzistorlarla kurulan bir Gilbert çarpma devresi Şekil-9.9’da

$$I_{14} = \frac{I_1}{2} \left(1 - \tanh \left(\frac{\kappa(V_3 - V_4)}{2kT/q} \right) \right) \quad (9.26)$$

$$I_{23} = \frac{I_2}{2} \left(1 + \tanh \left(\frac{\kappa(V_3 - V_4)}{2kT/q} \right) \right) \quad (9.27)$$

$$I_{24} = \frac{I_2}{2} \left(1 - \tanh \left(\frac{\kappa(V_3 - V_4)}{2kT/q} \right) \right) \quad (9.28)$$

şeklinde ifade edilebilir. Bağlıtlardan kolayca görülebileceği gibi, tranzistor akımları giriş gerilimlerine bipolar tranzistorlu devrelerdekine benzer biçimde tanh fonksiyonu ile bağlıdır. Devredeki I_{13} ve I_{24} akımlarının toplamı I_+ akımını, I_{14} ile I_{23} akımlarının toplamı da I_- akımını oluşturur. Böylece, I_+ ve I_- akımları için

$$I_+ = \frac{I_1 + I_2}{2} + \frac{I_1 - I_2}{2} \cdot \tanh \left(\frac{\kappa(V_3 - V_4)}{2kT/q} \right) \quad (9.29)$$

$$I_- = \frac{I_1 + I_2}{2} - \frac{I_1 - I_2}{2} \cdot \tanh \left(\frac{\kappa(V_3 - V_4)}{2kT/q} \right) \quad (9.30)$$

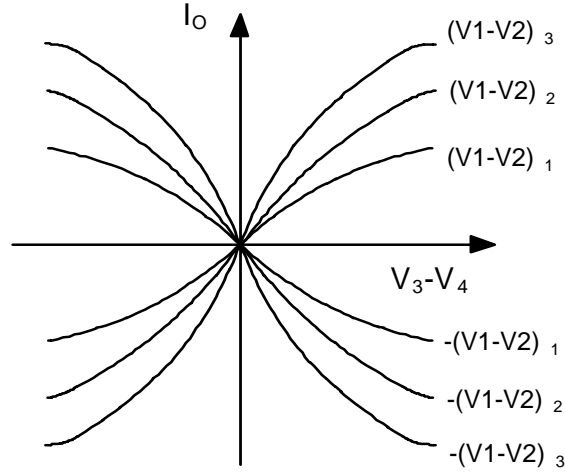
bağıntıları yazılabilir. Üst tarafta yer alan PMOS akım aynası yardımıyla I_+ akımı aynalanarak geçiş iletkenliği kuvvetlendiricisindekine benzer biçimde çıkışa yansıtılmakta, böylece çıkış akımı

$$I_o = (I_1 - I_2) \cdot \tanh \left(\frac{\kappa(V_3 - V_4)}{2kT/q} \right) \quad (9.31)$$

$$I_o = I_B \cdot \tanh \left(\frac{\kappa(V_1 - V_2)}{2kT/q} \right) \cdot \tanh \left(\frac{\kappa(V_3 - V_4)}{2kT/q} \right) \quad (9.32)$$

olmaktadır. Eşikaltında çalışan CMOS tranzistorlarla kurulan analog çarpma devresinin tipik karakteristikleri Şekil-9.10'da görülmektedir. Bu karakteristik çıkartılırken $V_1 - V_2$ giriş gerilimi parametre olarak alınmıştır. Benzer bir karakteristiğin $V_3 - V_4$ giriş geriliminin parametre olarak alınmasıyla da elde edilebileceği açıktır.

Şekil-9.9'da verilen devre, (9.32) bağıntısı uyarınca ancak dar bir bölge içerisinde lineer çarpma işlemini yerine getirebilir. Bu özellik, bipolar tekniğinden de iyi bilinen bir özelliktir.



Şekil-9.10. Eşikaltında çalışan CMOS transistörlerle kurulan analog çarpma devresinin tipik karakteristikleri

Düşük güç tüketimli işlemsel kuvvetlendiriciler

Eşikaltında çalışan MOS transistörlerle kurulan işlemsel kuvvetlendirici yapıları son yıllarda gittikçe önem kazanmaya başlamıştır. Bunun başlıca nedeni, bu tür yapıların bazı biyomedikal uygulamalarda kullanılan, pille çalışan ve insan vücudu üzerine yerleştirilebilen, düşük güç tüketimli düzenler gibi elektronik sistemlerin gerçekleştirilmesine son derece elverişli olmalarıdır. Bu tip kuvvetlendiricilerin sağladıkları yarar sadece düşük çalışma akımı çekmeleri değil, aynı zamanda düşük besleme gerilimlerinde de çalışmalarıdır. Eşikaltı bölgesinde çalışmaya ilişkin büyük işaret bağıntılarının kuvvetli evirtim bağıntılarından farklı olmaları nedeniyle, bunların türevlerinden hareketle elde edilen küçük işaret modeli bağıntıları da farklılık gösterir. Buna göre doyma bölgesi için

$$I_D = I_{on} \exp(\kappa q V_{GS} / kT) \quad (9.33)$$

bağıntısından hareketle bir MOS tranzistorun eğimi

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = I_{on} \frac{\kappa q}{kT} \cdot \exp\left(\frac{\kappa q V_{GS}}{kT}\right)$$

$$g_m = \frac{\kappa q \cdot I_D}{kT} \quad (9.34)$$

olur. Bağıntıdan fark edilebileceği gibi, eşikaltı çalışmada tranzistorun eğimi ile akım arasında lineer bir ilişki bulunmaktadır. Bu açıdan bakıldığında, eşikaltında çalışan MOS tranzistorun eğiminin bipolar tranzistorun eğimine benzer biçimde ifade edildiği söylenebilir. (9.33) bağıntısı birincil olayları içeren, yani MOS tranzistorun temel davranışını modelleyen bir bağıntıdır. Bu nedenle, savak akımının savak-kaynak gerilimine bağımlılığı temsil edilmemektedir. Kuvvetli evirtim modelinde olduğu gibi, bu bağıntıya da kanal boyu modülasyonu terimi katılabilir. Böylece savak akımı bağıntısı

$$I_D = I_{on} \cdot (1 + \lambda \cdot V_{DS}) \cdot \exp(\kappa q V_{GS} / kT) \quad (9.35)$$

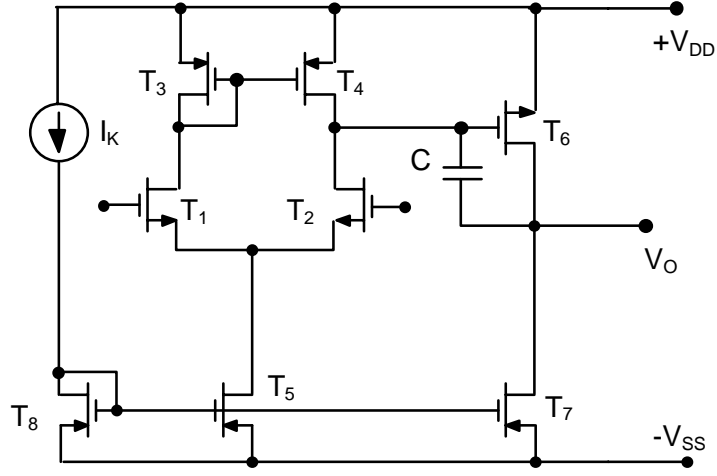
olur. Buradan hareketle zayıf evirtimdeki (eşikaltı çalışmadaki) çıkış direnci hesaplanırsa

$$r_o = \frac{1}{\lambda \cdot I_D} \quad (9.36)$$

olur. Eğim bağıntısında olduğu gibi, elemanın çıkış direnci de tranzistorun (W/L) oranından bağımsız kalır. Ancak, eşikaltı çalışma bölgesi için belirlenecek λ kanal boyu modülasyonu parametresinin kuvvetli evirtim için bulunacak olan parametre değerine göre önemli derecede farklılık gösterebileceğini belirtmekte yarar vardır.

kuvvetlendiricinin kazanç-band genişliği çarpımı da

$$GBW = \frac{\kappa \cdot I_{D1}}{kT} \cdot \frac{1}{q \cdot C} \quad (9.38)$$



Şekil-9.11. İki kazanç katlı basit işlemsel kuvvetlendirici yapısı.

olur. (9.37) ve (9.38) bağıntıları incelenecek olursa, işlemsel kuvvetlendiricinin kazancının çalışma akımlarından bağımsız olduğu, buna karşılık kazanç-band genişliği çarpımının ilk katın transistörlerinin I_{D1} çalışma akımına bağımlı olduğu kolayca gözlenebilir. Kuvvetlendiricinin yükselme eğimi hesaplanırsa

$$YE = \frac{I_{D5}}{C} = 2 \frac{I_{D1}}{C} = 2GBW \left(\frac{kT}{\kappa_1 \cdot q} \right) \quad (9.39)$$

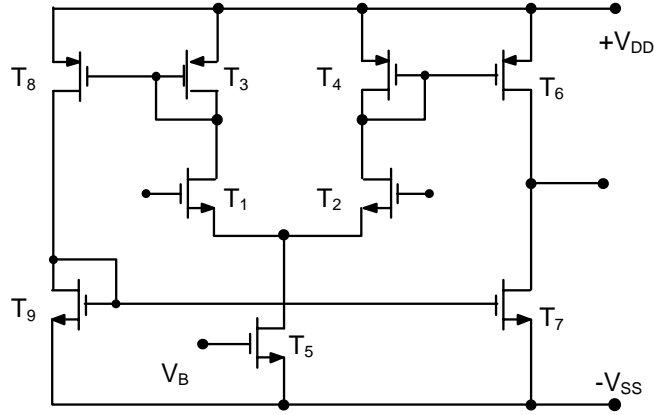
elde edilir.

Eşikaltında çalıştırılan diğer bir işlemsel kuvvetlendirici yapısı Şekil-9.12'de gösterilmiştir. Bu devrede ilk katın gerilim kazancı

$$K_{VO} = \frac{g_{m2}}{g_{m4}} \quad (9.40)$$

olur. (9.40) bağıntısı eleman parametreleri cinsinden yazılırsa

$$K_{VO} = \frac{I_{D2} \cdot \kappa_2 \frac{kT}{q}}{I_{D4} \cdot \kappa_4 \frac{kT}{q}} \approx 1 \quad (9.41)$$



Şekil-9.12. Eşikaltı iletimde çalışan puşpul çıkışlı işlemsel kuvvetlendirici.

elde edilir. Görüldüğü gibi, ilk kat yardımıyla herhangi bir gerilim kazancı sağlanması olanağı bulunmamaktadır. İkinci katın ise oldukça yüksek bir kazanç sağlayacağı söylenebilir. Eşikaltı bölgesinde çalışan puşpul çıkışlı bir işlemsel kuvvetlendirici yapısı olan bu devrede, yapının toplam kazancı T_3 - T_8 , T_4 - T_6 ve T_9 - T_7 transistör çiftlerinin birer akım aynası oldukları gözönüne alınarak hesaplanabilir. Bu yapırsa

$$K_{VO} = \frac{g_{m1} \left(\frac{S_6}{S_4} \right)}{g_{ds6} + g_{ds7}} \quad (9.42)$$

$$K_{VO} = \frac{\left(\frac{S_6}{S_4} \right) \cdot \kappa_1}{\left(\frac{kT}{q} \right) \cdot (\lambda_6 + \lambda_7)} \quad (9.43)$$

elde edilir. Bu tür yapılarla oda sıcaklığında ve tipik transistör boyutları için 60dB mertebesinde gerilim kazancı elde etmek mümkündür. Devrenin kazanç-band genişliği çarpımı

$$GBW = \frac{g_{m1} \cdot \left(\frac{S_6}{S_4} \right)}{C} = \frac{g_{m1} \cdot B}{C} \quad (9.44)$$

olur. bağıntıda yer alan B katsayısı T_6 ve T_4 tranzistorlarının boyut oranlarının oranıdır.

Bu yapı ilkesini kullanarak daha yüksek açık çevrim kazancı değerlerine ulaşmak mümkündür. Bunun için iki farklı yol izlenebilir.

Bunlardan birincisi, T_3 ve T_4 tranzistorlarından akan akımların bir kısmını başka tranzistorlardan akıtarak bu tranzistorların eğimlerini düşürmek ve bununla ilk katın kazancını arttırmaktır. Bu yönteme karşı düşen devre yapısı Şekil-9.13'de verilmiştir. Ancak, söz konusu yöntemle kazanç değerinde elde edilebilecek artma miktarı sınırlıdır.

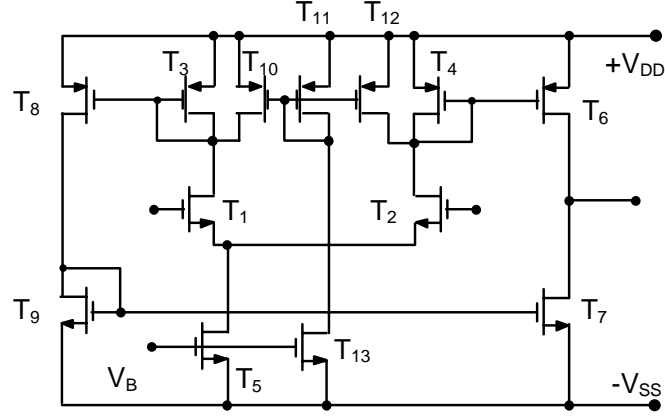
Kazancı yükseltmenin ikinci yolu ise, Şekil-9.14'da gösterilen biçimde devrenin çıkış katını kaskod devre biçiminde kurmaktır. Devrenin kazancı hesaplanacak olursa

$$K_{vo} = \frac{\kappa_n}{\left(\frac{kT}{q}\right)^2 \left(\frac{\lambda_p^2}{\kappa_p} + \frac{\lambda_n^2}{\kappa_n}\right)} \quad (9.45)$$

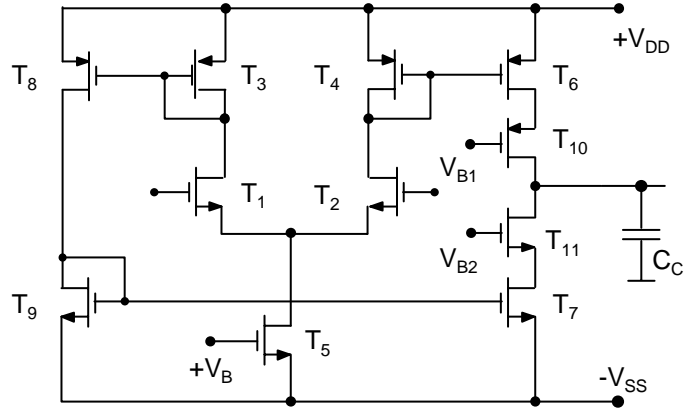
elde edilir. Bu tür bir kuvvetlendirici ile 100dB'e varan kazanç değerleri elde edilebilir.

Buraya kadar ele alınan işlemsel kuvvetlendirici yapıları, düşük kutuplama akımları nedeniyle, yüksek değerli çıkış akımı veremeyen devrelerdir. Düşük güç tüketimi gerektiren, ancak yüksek değerli çıkış akımına da gereksinime gösteren uygulamalar için dinamik kutuplamalı işlemsel kuvvetlendirici yapıları geliştirilmiştir. Bu tür yapıların temel ilkesi, girişe fark gerilimi uygulandığında giriş katının kutuplama akımının artırılması fikrine dayanmaktadır. Dinamik kutuplamalı bir işlemsel kuvvetlendirici devresi Şekil-9.15'de gösterilmiştir.

Şekil-9.15'deki devrede T_{11} - T_{14} tranzistorlarının T_3 ve T_4 tranzistorlarına eşit oldukları ve T_{15} , T_{16} , T_{17} , T_{20} , T_{21} ve T_{22} tranzistorlarının birbirine eş oldukları varsayılınsın. T_{17} , T_{18} , T_{19} ve T_{20} tranzistorlarının boyutları arasında da



Şekil-9.13. Kazancı iyileştirilmiş işlemsel kuvvetlendirici yapısı.



Şekil-9.14. Çıkış katının kaskod devre biçiminde kurulması.

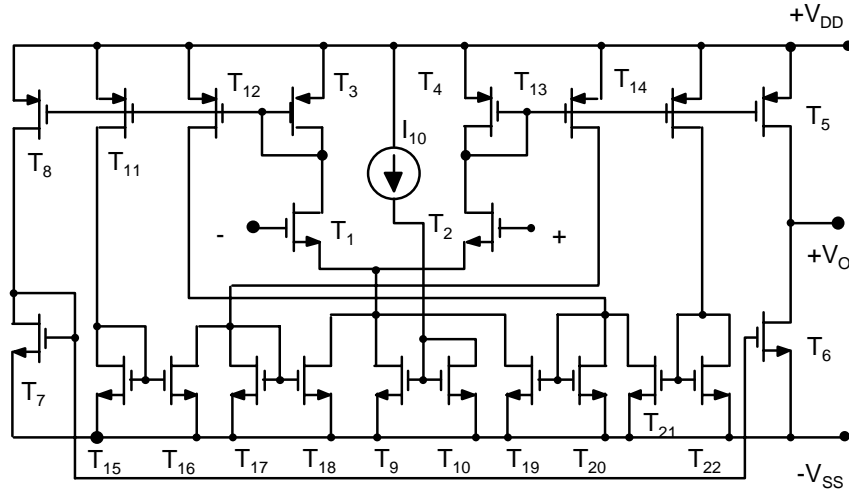
$$\left(\frac{W}{L}\right)_{18} = A \cdot \left(\frac{W}{L}\right)_{17} \quad (9.46)$$

$$\left(\frac{W}{L}\right)_{19} = A \cdot \left(\frac{W}{L}\right)_{20} \quad (9.47)$$

ilişkisinin bulunduğu kabul edilsin. Devrenin girişine herhangi bir fark işareti uygulanmıyorsa, I_1 ve I_2 akımları eşit olur. Bu nedenle, T_{16} tranzistorundan akan akım T_{13} tarafından sağlanan akıma eşittir. Bunun bir sonucu olarak T_{17} ve T_{18} tranzistorlarından, benzer şekilde T_{19} tranzistorundan akım akmaz. I_1 ve I_2 akımlarının dengesini bozacak bir fark giriş gerilimi uygulandığında, fark kuvvetlendiricisinin kutuplama akımı $A|i_1 - i_2|$ kadar artar; böylece çıkıştan alınabilecek akım

$$I_O = B \cdot \frac{I_{10} \exp\left(\frac{\kappa_n V_{IN}}{kT/q}\right)}{(A+1) - (A-1) \exp\left(\frac{\kappa_n V_{IN}}{kT/q}\right)} \quad (9.48)$$

olur. Bu bağıntıda B büyüklüğü T_5 ve T_4 tranzistorlarının boyut oranlarının oranını göstermektedir.



Şekil-9.15. Dinamik olarak kutuplanmış işlemsel kuvvetlendirici.

KAYNAKLAR

- [1] P. Antognetti, D. Caviglia, E. Profumo, CAD model for threshold and subthreshold conduction in MOSFETs, IEEE J. Solid State Circuits, Vol. Sc-17, pp 454-458, 1982.
- [2] B.J. Sheu, D.L. Scharfeter, P.-K. Koand M.-Ch. Jeng, BSIM: Berkeley short-channel IGFET model for MOS transistors, IEEE Journal of Solid-State Circuits, Vol. SC-22, 4, pp 558-564, 1987.
- [3] M.D.Godfrey, Device modeling for subthreshold circuits, IEEE Transactions on Circuits and Systems, Vol.39, 8, pp 532-539, 1992.
- [4] C. Mead, Analog VLSI and Neural Systems, Addison-Wesley Comp., 1989.
- [5] H. Öztürk, Eşikaltında çalışan CMOS OTA-C süzgeç tasarımı ve tıp elektroniği alanına uygulanması, Yüksek Lisans Tezi, İTÜ Fen Bilimleri Enstitüsü, 1994.
- [6] P.E. Allen and D.R. Holberg, CMOS analog circuit design, Holt, Rinehart and Winston Inc., New York, 1987.
- [7] H. Kuntman, Analog tümdevre tasarımı, Sistem yayınları, İstanbul, 1992.
- [8] H. Kuntman, Analog MOS tümdevre tasarımı (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), Uygulamaya özgü tümdevre teknolojileri yaz okulu notları, İstanbul,1993.
- [9] H. Kuntman, İleri analog tümdevre tasarımı: Analog devreler (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), İstanbul,1994.
- [10] H.Öztürk, H.Kuntman, M.Korürek, E.Yazgan, EEG işareti (α , β , θ ve δ bandı) süzgeçlerinin eşikaltında çalışan CMOS OTA-C süzgeçleri ile tasarımı, Biyomut 94, Biyomedikal Mühendisliği Ulusal Toplantısı Bildiriler Kitabı,16-19, Boğaziçi Üniversitesi 17-18 Ekim 1994.