

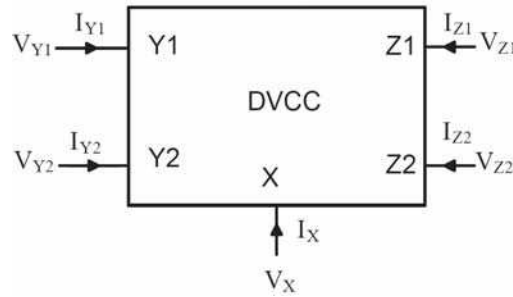
İleri Analog Tümdevre Tasarımı

2005-2006 Bahar yarıyılı

Yılsonu Ödevi

Yapılan hesapları, elde edilen sonuçları, bunların yorumunu kapsamlı biçimde içeren bir rapor hazırlanacaktır. Hazırlanan rapor 6 Haziran 2006 Çarşamba akşamına kadar teslim edilecektir.

0.35µm CMOS teknolojisi kullanılarak fark gerilim akım taşıyıcı (DVCC) devresi tasarlanacaktır. Devre blok olarak Şekil-1'de gösterilmiştir.



Şekil-1

DVCC elemanı için tanım bağıntıları

$$\begin{bmatrix} V_X \\ I_{Y1} \\ I_{Y2} \\ I_{Z1} \\ I_{Z2} \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ -1 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_X \\ V_{Y1} \\ V_{Y2} \\ V_{Z1} \\ V_{Z2} \end{bmatrix}$$

şeklindedir.

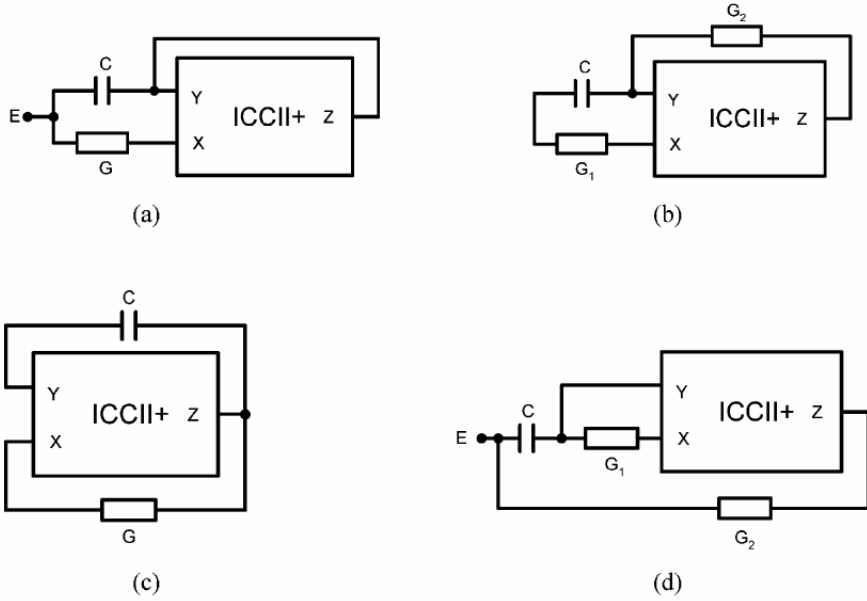
Tablo 1: Özellikler

Gerilim kazancı band genişliği f_{V3dB} ($K_{V1} = v_x/v_{Y1}$, $K_{V2} = v_x/v_{Y2}$)	≥ 10 MHz
Akım kazancı band genişliği f_{I3dB} ($K_{I1} = i_{Z1}/i_X$ ve $K_{I2} = i_{Z2}/i_X$)	≥ 50 MHz
R_{Y1} , R_{Y2} Giriş dirençleri	≥ 25 M Ω
R_X	≤ 100 Ω
$R_{Z1,2}$ Çıkış dirençleri	≥ 25 M Ω
Gerilim izleme hatası ϵ_V	$\leq \%0.1$
Akım izleme hatası ϵ_I	$\leq \%0.1$

I- CMOS DVCC Tasarımı ve Benzetimi

Yukarıda verilen özellikleri sağlayan bir fark gerilim akım taşıyıcı devresini 0.35µm CMOS teknolojisi gerçekleştiriniz. Bunun için :

- a- Devredeki tranzistorların boyutlarını ve kutuplama akımlarını belirleyiniz. SPICE benzetim programı yardımıyla devrenin
- b- dc gerilim ve akım geçiş karakteristiklerini çıkartınız; (dc gerilim geçiş eğrisi için V_{Y2} girişini referansa bağlayınız, $V_{Y2} = 0$, V_{Y1} gerilimini uygun bir aralıkta değiştirerek V_X geriliminin değişimini izleyiniz, daha sonra V_{Y2} gerilimini parametre olarak aynı değişimleri her bir V_{Y2} değeri için çıkartınız).
- c- $K_{i1} = i_{z1}/i_x$ ve $K_{i2} = i_{z2}/i_x$ akım kazançlarının frekansla değişimini,
- d- $K_v = v_x/v_{y1}$ gerilim kazancının frekansla değişimini V_{Y2} gerilimini parametre olarak inceleyiniz.
- e- y uçlarından görülen giriş ve x, z1 ve z2 uçlarına ilişkin çıkış empedanslarının frekansla değişimlerini inceleyiniz
- f- Elde ettiğiniz sonuçları yorumlayınız. Öngörülen hedeflere ulaşip ulaşamadığınızı araştırınız.



Şekil-2

II- CMOS DVCC Uygulama Devresi Tasarımı

- a- Tasarlamış olduğunuz DVCC devresi ICCII+ olarak kullanılarak birinci dereceden tümgeçiren süzgeç devreleri gerçekleştirilecektir. İki ayrı süzgeç devresi tasarımı öngörülmüştür. Süzgeçlerin kutup frekansı 100kHz olacaktır. Yapılardan birinin fazının 0° değerinden 180° değerine, diğerinin fazının da 180° değerinden 0° değerine gitmesi istenmektedir. Bunun için Şekil-2’de verilen uygulama devrelerinden uygun olan ikisini seçerek tasarımı gerçekleştiriniz. Eleman değerlerini belirleyiniz. İlgili bağıntılar Tablo-2’de görülmektedir.

SPICE benzetim programı yardımıyla

- b- her iki süzgeç için genlik ve faz karakteristiklerini çıkartınız,
- c- tasarladığınız süzgeçleri bir çevrim içinde kullanarak iki fazlı bir osilatör oluşturulup oluşturulamayacağını araştırınız.

Tablo 2					
	Gir. Çık.	İdeal olmayan geçiş fonk.	İdeal geçiş fonk.	Eşleşme	
Devre a	E Z	$\frac{-\alpha G+sC}{\alpha\beta G+sC}$	$\frac{-G+sC}{G+sC}$	—	
Devre a	E X	$\frac{\beta(\alpha G-sC)}{\alpha\beta G+sC}$	$\frac{G-sC}{G+sC}$	—	
Devre b	Y Z	$\frac{G_1 G_2+(G_2-(\alpha+\alpha\beta)G_1)sC}{G_2(G_1+sC)}$	$\frac{G_1 G_2+(G_2-2G_1)sC}{G_2(G_1+sC)}$	$G_1 = G_2$	
Devre c	Y Z	$\frac{-(\beta+\alpha\beta)G+sC}{(1+\alpha)G+sC}$	$\frac{-2G+sC}{2G+sC}$	—	
Devre d	E Z	$\frac{(1+\beta)G_1 G_2+(G_2-(\alpha+\alpha\beta)G_1)sC}{G_2((1+\beta)G_1+sC)}$	$\frac{2G_1 G_2+(G_2-2G_1)sC}{G_2(2G_1+sC)}$	$G_1 = G_2$	

Kaynaklar:

- 1- M. A. Ibrahim, S. Minaei and H. Kuntman, A 22 MHz current-mode khn-biquad using differential voltage current conveyor and grounded passive elements, AEU: International Journal of Electronics and Communications, Volume 59, 311–318, 2005.
- 2- M. A. Ibrahim, H. Kuntman, S. Ozcan, O. Suvak, O. Cicekolu, "New first-order ICCII based all-pass sections including canonical forms", Electrical Engineering (Archiv für Elektrotechnik), Vol. 86, No.5, 299-301, 2004.
- 3- B. Dünder, DVCC ve ICCII tabanlı aktif süzgeçler (Seminer Ödevi), ELE512, İleri Analog Tümdevre Tasarımı, Sunu tarihi: 26 Nisan 2006.

Önemli Not: Notların son verilme tarihi otomasyon tarafından saptanmakta, bu tarihten sonra sistem notların girişine kapatılmaktadır. Bu nedenle, öngörülen ödev teslim tarihi olan 6 Haziran 2006 gününün hiçbir şekilde aşılması gerekmektedir.