

YÜKSEK GERİLİM KABLO GARNİTÜRLERİNDE ELEKTRİK ALAN DAĞILIMI

Özcan KALENDERLİ

İstanbul Teknik Üniversitesi
Elektrik-Elektronik Fakültesi
80626 Maslak - STANBUL

Güne YILMAZ, Hasan ÖZTA

Türk Siemens
Elektrik ve Kablo Sanayi A.Ş.
16941 - Mudanya - BURSA

Anahtar Sözcükler: Kablo garnitürü, elektrik alan dağılımı

ABSTRACT

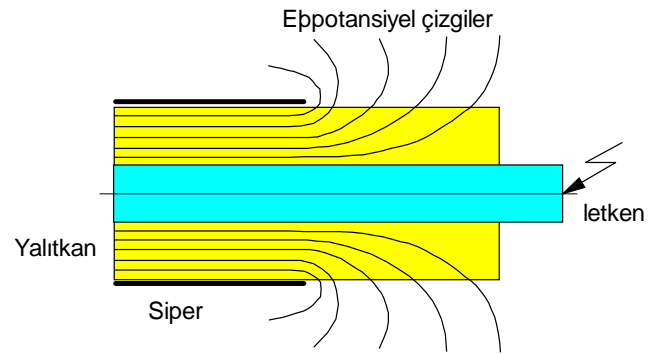
High voltage cable accessories are cable terminations and cable joints. The electric field is disturbed at the stripped end of high-voltage cables since the conductor continues on whereas the outer electrode is cut back and removed in a defined area. This results in a high concentration of field in this area unless special measures are taken to control this. In order to construct a control the field there are different ways. This paper explains these ways.

1. GİRİŞ

Yüksek gerilim kablolarının bağlantı ve ekleri, uygulamada kablo garnitürü olarak adlandırılan kablo bağlantıları ve mufları ile yapılır. Elektriksel bağlantı elemanı olan kabloların bağlantı noktaları yerlere her iki ucundaki kablo bağlantısı ve kablo pabucu aracılığı ile bağlantı yapılması gerekir. İletme gerekirse kablo yalıtımının güvenliğini açısından gereklidir. Kablo bağlantıları, kablounun gerilim altındaki kısımları arasındaki yalıtımı koruduğu gibi, kablo uçlarında aşırı elektriksel zorlanmalara yol açmayacak ve elektriksel bozulmaları önleyecek yapı ve biçimde olmalıdır. Ayrıca kablo bağlantıları, kablo uçlarının çevreye yalıtımını sağlayarak kabloyu nem, toz gibi etkilerden de korur.

Genel olarak bir damarlı bir kablo veya damarları ayrı siperli çok damarlı bir kablo basit olarak eksenli bir silindirik elektrot sistemi olarak ele alınır. Kablonun uç kısımlarında kablo içindeki elektrik alan dağılımı, eksenli silindirik elektrot sisteminin alan dağılımına uyar. Bu alan dağılımı kablo uçlarında, kablo uçlarının kenar etkisi nedeniyle bozulur ve kablo bakımından yüksek elektriksel zorlanmaların olduğu bölgeler oluşur (ekil 1). Bu da elektrik alan yoğunluğunun bozulmasına neden olabilecek deşerlere çıkması durumunda bozulmaların oluşmasına yol açar. Bozulmalar kısmi bozulma, atlama veya delinme şeklinde olabilir. Tüm bu durumlar iletme ve kablo güvenliğini ve sürekliliğini bozan durumlardır. Çünkü bu bozulmalar iletmenin kısa devrelere nedeniyle kesilmesine ve kablounun tahribine yol açarlar. Kablo uçlarında bozulmaya neden olmayacak elektrik alan yoğunluğu deşerlerinde bile kablo uçları bir kabloda her zaman için yüksek elektriksel

zorlanmaların olduğu bölgeler olmaları nedeniyle kabloların bozulması ve delinmesi için birincil bölgelerdendir. Bu nedenlerle kablo uçlarının sonlandırılması uygun boyut, biçim ve malzemelerden yapılmış kablo bağlantıları ile yapılır.



ekil 1. Kablo ucunda alan dağılımı.

Kablo bağlantılarında elektrik alan dağılımının analizi teorik ve deneysel yöntemlerle yapılabilir. Bu incelemelerde kablo bağlantısının kullanıldığı kablounun iletken, yalıtkan, siper ve zırh gibi kısımlarının boyutları ve malzemesinin önemi yanında, kablo bağlantısının boyutları, yapısı, kullanılan malzemeler ve çevresindeki ortam gibi pek çok büyüklüğün etkisi vardır. Bu nedenle kablolardaki diğer kısımlara göre kablo uçlarında dolayısıyla kablo bağlantılarında elektrik alan dağılımı analizi karmaşıklık ve zorluk gösterir.

Buraya kadar belirtilenler bir yere kadar kablo ekleri için kullanılan kablo mufları için de geçerlidir. Kabloların gerek sınırlı uzunlukta olmaları gerekse onarım ve dağıtım yapılması gereken yerlerde kablo eklerinin yapılma gereksinimi kablo muflarının kullanımını gerektirir. Bu yerlerde hem elektriksel süreklilik sağlanmalıdır hem de yalıtım bütünlüğü korunmalı ve sürdürülmelidir. Kablo muflarında kablo bağlantılarında olduğu gibi bir kenar etkisi problemi olmamakla birlikte yine de iletken bağlantıları ve yalıtım elemanları nedeniyle elektrik alan dağılımının bozulduğu bölgeler ortaya çıkar. Bu da kablo ve iletme güvenliğini tehdit eder. Dolayısıyla gerek kablo bağlantıları gerekse kablo mufları tasarımında, seçiminde ve uygulanmasında ayrı bir özen gösterilmesi gereken parçalardır.

Bu çalı mada kablo garnitürleri olarak adlandırılan kablo ba lıklarının ve muflarının ba landıkları bölgelerdeki elektrik alan da ılımını düzenlemek için kullanılan yöntemler uygulamalı olarak açıklanmıştır.

2. KABLO UÇLARINDA ELEKTRİK ALAN DA İLİMİ

Farklı dielektrik sabitli malzemelerden oluşan ve keskin elektrotların kaçınılmaz olduğu karmaşık yapılarda yüksek elektriksel zorlanmalar ortaya çıkar. Bu yapılarda elektrik alanı her yerde olabildiğince eşit dağıtılmalıdır, fakat bunu sağlamak çok zordur.

Birden çok yalıtkanın bir araya gelmesi durumunda yalıtkanlar arasındaki arayüzeyler önem kazanır. Bu tür arayüzeyler uygulanan elektrik alanının doğrultusuna göre üç durumda olabilir: arayüzey alana diktir; arayüzey alana paraleldir veya arayüzey ile alan arasında açı vardır.

Ayrıca elektrik alanın iki yalıtkanın yüzeyi bir önlem alınmaksızın birleştirilirse zayıf noktalar ortaya çıkabilir. Bu belirsiz durumda delinme dayanımı yüzeyler arasındaki havanınkinden, gazınkinden veya yalıtkanınkinden daha yüksektir. Bu tür durumlar önlenmelidir.

Kablo ba lıkları YG iletkeni ile topraklı siper arasındaki alanı yavaş yavaş azaltır. Buna karşılık, kauçuk ile kablo yalıtkanı arasında te etsel alan bile ni ortaya çıkar, bir zayıf nokta oluşabilir. Bu arayüzeyde hava kabarcıklarının oluşmasını önlemek için mekanik bir basınç uygulanır. Bu basınç iç çapı kablo çapından daha küçük olan sıkı geçme kablo ba lıkları ile elde edilir.

Kablo garnitürlerinde alan da ılımını düzeltmek için aşağıdaki yöntemler kullanılır:

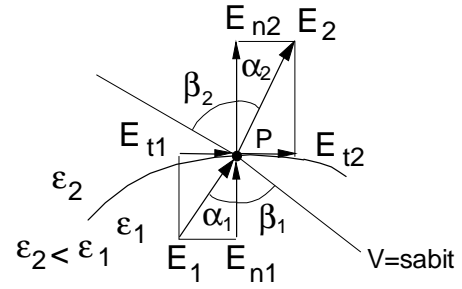
2.1. Elektrot düzenlemesi

En büyük alan iddeti genellikle elektrotlardan birinde olur. Elektrotlara uygun şekil ve boyut verilerek alan düzenlenebilir. Elektrot şekillendirmesi yalıtkanlar arasındaki arayüzeyde alanı düzenlemek için de kullanılabilir. Kablo ba lıkları ve eklerinde buna özen gösterilir.

2.2. Epsilon düzenlemesi

Dielektrik sabitleri ile düzenlemeyi açıklamak için önce arayüzeylerde alan ve elektrik potansiyel çizgilerinin davranışları hakkında bilgi verilecektir.

Dielektrik katsayıları farklı olan iki yalıtkan ortamı ayıran arayüzeylerde elektrik alan ve elektrik potansiyel çizgileri kırılırlar. Kırılma olayı kırılma açıları ile dielektrik katsayıları arasında belirli bir ba ntıya göre olur.



ekil 2. Arayüzeyde elektrik alan ve elektrik potansiyel çizgilerinin kırılması.

ekil 2'deki gibi, dielektrik katsayıları ϵ_1 ve ϵ_2 ($\epsilon_1 > \epsilon_2$) olan iki yalıtkan ortamı ayıran bir arayüzeyde, herhangi bir P noktasında ortamlardaki \vec{E}_1 ve \vec{E}_2 elektrik alan vektörlerinin arayüzeyin normali ile yaptıkları açılar ϵ_1 ve ϵ_2 ile te etsel bile neler t ve n indisleri ile gösterilirse P noktasında te etsel bile neler için

$$E_{t1} = E_{t2} \quad (1)$$

ba ntısı, normal bile neler için

$$E_{n1} / E_{n2} = \epsilon_2 / \epsilon_1 \quad (2)$$

ba ntısı yazılabilir. Bu ba ntılardan birincisi, arayüzeylerde alan iddeti vektörlerinin te etsel bile nelerinin birbirine eşit olduğu, ikincisi ise alan iddeti vektörlerinin dik bile nelerinin ortamların dielektrik katsayıları ile ters orantılı olduğu gösterir. Yukarıda verilen iki ba ntı yardımıyla, alan çizgilerinin kırılma açıları ile dielektrik katsayıları arasında

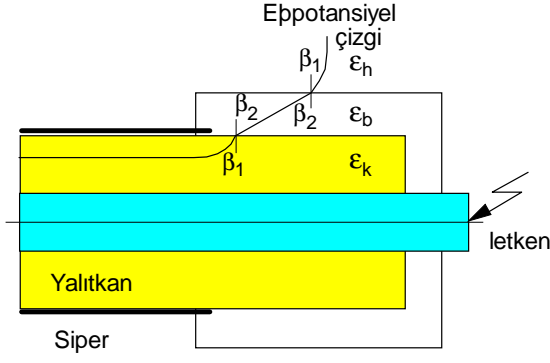
$$\tan \alpha_1 / \tan \alpha_2 = \epsilon_1 / \epsilon_2 \quad (3)$$

ba ntısı bulunur. Bu ba ntı iki dielektrik ortamı ayıran arayüzeyde elektrik alan çizgilerinin, bu koşullarda gerçekleşecek şekilde kırıldıklarını gösterir.

Alan ve elektrik potansiyel çizgilerinin birbirleriyle dik kesişimleri gözönüne alınırsa, arayüzeylerde $V=\text{sabit}$ elektrik potansiyel yüzeylerin veya diğer bir deyişle elektrik potansiyel çizgilerinin kırılma koşulları

$$\tan \beta_1 / \tan \beta_2 = \epsilon_2 / \epsilon_1 \quad (4)$$

olur. Yukarıdaki ba ntılar, alan vektörünün, dielektrik katsayısı büyük olan ortamda, normal doğrultu ile daha büyük bir açı yapacak şekilde kırıldığını gösterir.

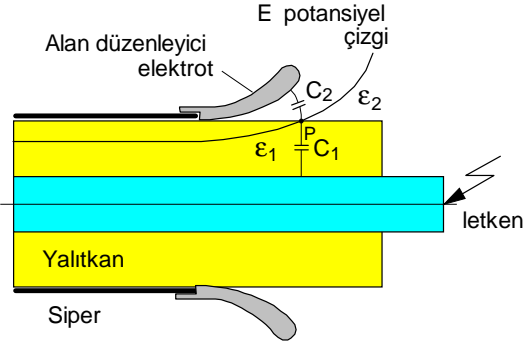


ekil 3. Kablo ba lı ında epsilon düzenlemesi.

Bu açıklamalara göre kablo ucu, kablo yalıtkanına göre daha yüksek dielektrik sabitine ($\epsilon_b > \epsilon_k$) sahip bir malzeme ile (ba lık) ile kaplanırsa arayüzeyde e potansiyel çizgiler büyük açı ile kırılır ve ba lık kalınlı ına göre bu malzeme içinde devam ettikten sonra tekrar dar bir açı ile havaya ($\epsilon_b > \epsilon_h$) çıkar. Bu nedenle ba lık malzemesinin dielektrik sabiti ve kalınlı ı arttıkça alanı düzeltici etkisi artar (ekil 3).

2.3. Kapasitif düzenleme.

Kablo ba lıklarında kapasitif düzenleme ile uygun alan da ılımı elde edilebilir. Bu amaçla alan düzenleyici elektrotlar kullanılır ve bu elektrotlar a a ıda temeli açıklanan ekilde biçimlendirilir (ekil 4).



ekil 4. Alan düzenleyici elektrot biçiminin hesabı.

Burada incelemeyi basitle tirmek için $\epsilon_1 = \epsilon_2 = \epsilon$ alınmı tır. ekil 4'te arayüzey üzerinde bir P noktası ile kablo iletkeni arasındaki kapasite C_1 ve alan düzenleyici elektrot ile bu nokta arasındaki kapasite C_2 ile gösterilmi tır. Bu kapasiteler, r_1 iletken yarıçapı, r_2 yalıtkanın dı yarıçapı, l kablunun boyu olmak üzere

$$C_1 = \frac{2\pi\epsilon l}{\ln(r_2 / r_1)}, C_2 = \frac{2\pi\epsilon l}{\ln(r / r_2)} \quad (5)$$

dir. Sistemin e de er kapasitesi ise

$$C = \frac{C_1 C_2}{C_1 + C_2} \quad (6)$$

olur. $Q = C_1 U_1 = C_2 U_2 = CU = \text{sabit}$ oldu undan arayüzey üzerinde herhangi bir P noktasındaki gerilim (topra a göre potansiyel)

$$U_p = U_2 = CU / C_2 \quad (7)$$

$$\frac{U_p}{U} = \frac{C}{C_2} = \frac{C_1}{C_1 + C_2} \quad (8)$$

$$U_p / U = \ln(r / r_2) / \ln(r / r_1) \quad (9)$$

olur. Arayüzeyde te etsel alan iddetinin küçük ve sabit olması için alan düzenleyici elektrodun biçimi

$$E_t = U_p / z \quad (10)$$

$$z = \frac{U}{E_t} \cdot \frac{\ln(r / r_2)}{\ln(r / r_1)} \quad (11)$$

$$z = \frac{U}{E_t} \left(1 - \frac{\ln(r_2 / r_1)}{\ln(r / r_1)}\right) = f(r) \quad (12)$$

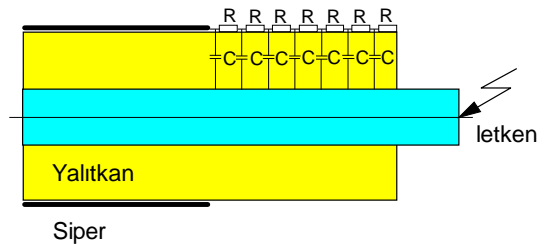
ba ıntısına uygun olmalıdır. Bu durumda, anma geriliminde, te etsel alan iddetinin örne in

$$E_t = 0,5 \text{ kV / mm} = \text{sabit}$$

alınması önerilmektedir /10/.

2.4. Ohmik (rezistif) düzenleme.

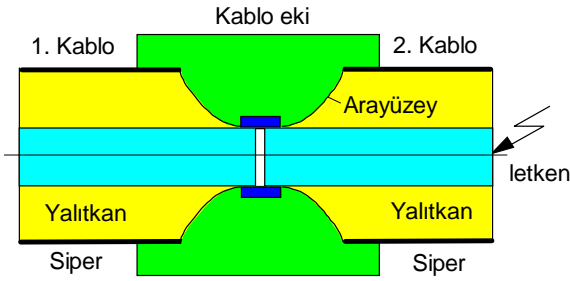
Özellikle do ru gerilimde etkin olan bir yoldur. Kablo yalıtkanı üzerine direnci gerilimle de i en bir malzeme kaplayarak alanın düzenli da ılması sa lanabilir. Örne in yalıtkan üzerine kaplanacak bir yarı iletken malzeme kablunun topraklı siperini devam ettirir ve alanı yava yava dü ürür. Yarı iletken geriye do ru kıvrılır ve topraklı siper bu ekilde sonlandırılır (ekil 5).



ekil 5. Ohmik düzenleme ile alan kontrolü.

3. KABLO EKLERİNDE ELEKTRİK ALAN DAĞILIMI

Kablo eki gibi bazı yalıtkan yapılarda arayüzeyler elektrik alanına bir açıdadır. Arayüzey boyunca alan iddetini düşük tutmak için önlem alınmalıdır. Örneğin kaçıt yalıtımlı kabloda yalıtım yavaş yavaş azaltılır. Kablo uçları arasındaki açıklık birbirini kademeli olarak örten kaçıt bantlarla sarılarak doldurulur. Bazen de ek yalıtkan kullanılarak yalıtım takviye edilir. Sonuçta kablo ekinde arayüzey, bir boşalmaya ve aırı zorlanmaya yol açmamak için, arayüzey boyunca te etsel alan iddeti sabit veya yeterince düşük kalacak şekilde tasarlanır (ekil 6).



ekil 6. Kablo eki (muf).

Bu tasarımda U hesap yolu izlenir: Yalıtkanadaki E_r alan iddeti E_t te etsel alan bile enine sahiptir. Arayüzeyde küçük açı ile kırılan alan çizgileri için

$$E_t \cdot dz = E_r \cdot dr \quad (13)$$

yazılabilir. Burada E_r alan iddeti kablo için

$$E_r = \frac{U}{r \cdot \ln(r_2 / r_1)} \quad (14)$$

oldu undan, yukarıda yerine konursa

$$dz = \frac{U / E_t}{\ln(r_2 / r_1)} \frac{dr}{r} \quad (15)$$

olur. E_t te etsel alan iddeti sabit olarak alınabilir ve integrasyon ile kablo ekinde ideal arayüzey biçimini veren ba ntı

$$z = \frac{U}{E_t} \cdot \frac{\ln(r / r_1)}{\ln(r_2 / r_1)} = f(r) \quad (16)$$

eklinde bulunur. Bu ba ntıda, te etsel alan iddeti E_t için anma geriliminde 0,25 kV/mm mertebesinde sabit bir de er almak uygundur /10/.

SONUÇ

Sonuç olarak kablo garnitürlerinde elektrik alan da ılımının, garnitür geometrisi, boyutları, kullanılan malzeme ve kablo yapısı ile olan ili kileri ortaya konulmu , inceleme yapılan yöntemler tanıtılarak, söz konusu problemlerin incelenmesinde tasarım ve uygulamacılar açısından kar ılı ilan sorunlara açıklık getirilmiştir.

KAYNAKÇA

- /1/ L. Heinhold, Power Cables and Their Application, Part 1: Materials, Construction, Criteria for Selection, Project Planning, Laying and Installation, Accessories, Measuring and Testing, Siemens Aktiengesellschaft, Berlin, 1990.
- /2/ L. Heinhold, Power Cables and Their Application, Part 2: Tables Including, Project Planning Data for Cables and Accessories, Details for the Determination of the Cross-Sectional Area, Siemens Aktiengesellschaft, Berlin, 1993.
- /3/ DIN VDE 0278/6.80, Starkstromkabel Garnituren mit Nennspannungen U bis 30 kV.
- /4/ G. Lupo, G. Miano, V. Tucci, M. Vitelli, "Field Distribution in Cable Terminations from a Quasi-static Approximation of the Maxwell Equations", IEEE Trans. DEI, Vol. 3, pp. 399-409, 1996.
- /5/ G. Lupo, V. Tucci, M. Vitelli, "Stress Control Tubes for HV Cable Terminations with Linear and Non Linear Characteristics: Theoretical and Experimental Approaches", 9th Int. Symp. on High Voltage Engineering, Graz, Paper No. 7869, 1995.
- /6/ J. P. Mackevich, J. W. Hoffmann, "Insulation Enhancement with Heat-Shrinkable Components - Part III - Shield Power Cables", IEEE Electrical Insulation Magazine, No. 4, pp. 31-40, 1991.
- /7/ S. V. Nikolajevic, N.M. Pekaric-Nadj, R. M. Dimitrijevic, M. Djurovic, "Modelling of Cable Terminations with Embedded Electrodes", IEEE Int. Symp. on Electrical Insulation, Montreal, Quebec, Canada, pp. 703-706, June 16-19, 1996.
- /8/ D. Fournier, "Effect of the Surface Roughness on Interfacial Breakdown Between Two Dielectric Surfaces", IEEE Int. Symp. on Electrical Insulation, Montreal, Quebec, Canada, pp. 699-702, June 16-19, 1996.
- /9/ D. Fournier, C. Dand, L. Paquin, "Interfacial Breakdown in Cable Joint", Proceeding of the IEEE Int. Symp. on Electrical Insulation, Pittsburgh, PA, pp. 450-452, June 1994.
- /10/ F. H. Kreuger, Industrial High Voltage, Vol. I, Delft University Press, Delft, 1991.
- /11/ M. Özkaya, Yüksek Gerilim Tekni i, Cilt 1, Birsen Yayınevi, İstanbul, 1996.