

ETA Seminer Dizisi



CMOS ANALOG ÇARPMA DEVRELERİ

M.Sc. Devrim Yılmaz AKSİN
Elek. Hab. Mühendisi

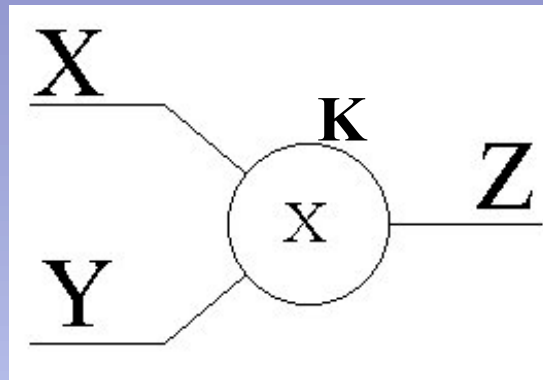
Cmos-Analog arpma Devreleri

■ Sunumun erevesi

- Tanım ve Uygulamalar
- arpıcı Performans Kriterleri
- Temel tasarım yaklaşımları
- Farklı arpıcı Devre yapıları

Cmos-Analog Çarpma Devreleri (Tanım ve Uygulamalar)

■ Çarpma Devresinin Sembolü

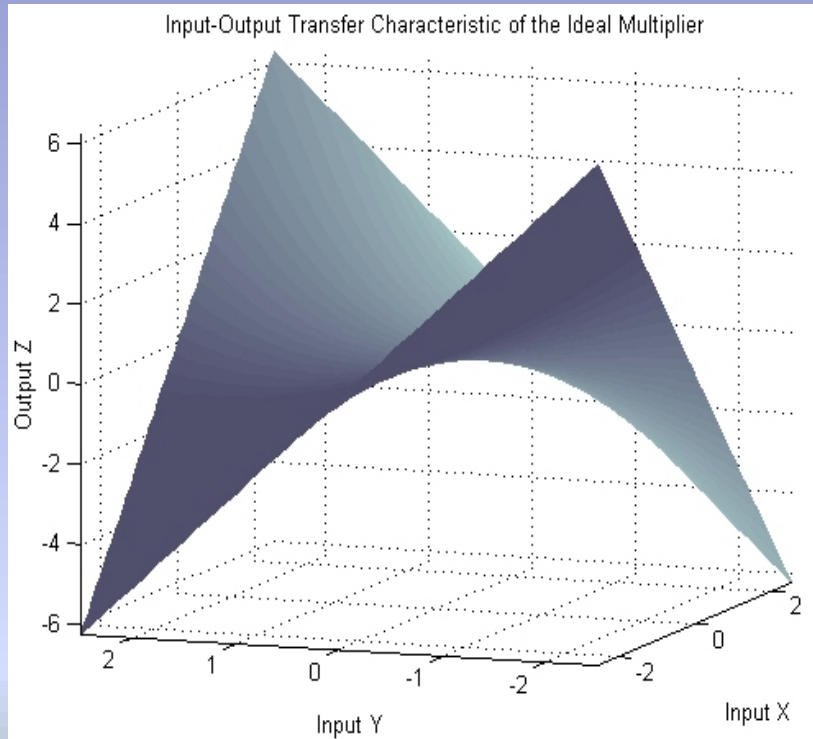


■ Çarpma Devresinin Tanım Bağıntısı

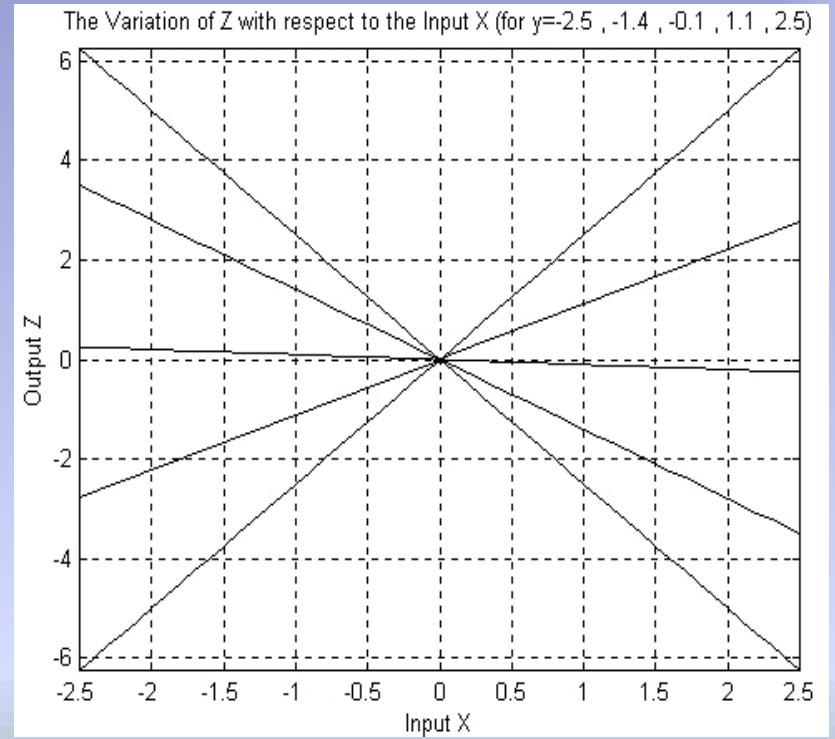
$$Z = K(X.Y)$$

Cmos-Analog Çarpma Devreleri (Tanım ve Uygulamalar)

■ Giriş-Çıkış Transfer Fonksiyonu



■ Giriş-Çıkış Transfer Fonksiyonu (Bir giriş parametre)



Cmos-Analog arpma Devreleri

(Tanım ve Uygulamalar)

arpma Devrelerinin Tipik Uygulamaları

- İşaret İşleme
- Modülatör
- PLL sistemleri
(Phase Detector,
Offset Loops)
- Mixer
- Frekans dublörü
- Frekans kaydırma
- AGC
- RF up-down
conversion
- Neural Network

Cmos-Analog arpma Devreleri (arpıcı Performans Kriterleri)

- arpma devresi tasarladım !!!



- Devrenin ıkışı gerekten X.Y mi ?
En stn arpıcı benimkisi mi?

- Performansımızı lecek kriterler belirleyelim .



Cmos-Analog arpma Devreleri

(arpıcı Performans Kriterleri)

■ Performans Kriterleri

- **Lineerlik (X, Y) , Total Harmonic Distortion (THD) ***
- **Giriş Salınım aralığı (X, Y) ***
- **Çıkış Salınım Aralığı (Z) ***
- **Akım Kazancı (Max Gm) ***

Cmos-Analog Çarpma Devreleri

(Çarpıcı Performans Kriterleri)

■ Performans Kriterleri (devam..)

- **Ortak İşaret Etkileri** *
- **Bant Genişliği**
- **Güç Tüketimi** *
- **Minimum Besleme Gerilimi - Besleme Sayısı**

Cmos-Analog arpma Devreleri (arpıcı Performans Kriterleri)

■ Performans Kriterleri (devam....!!)

- Eleman Eşleşmelerine duyarlılık
- Sıcaklık deęişimlerine duyarlılık *
- Silikon Alanı
- Gürültü



Cmos-Analog Çarpma Devreleri (Çarpıcı Performans Kriterleri)

■ Lineerlik (X, Y) (2 Farklı Tanım)

$$1. \quad L_Y = \left| Y - \frac{Z}{X} \right|_{\text{MAX}} \quad L_X = \left| X - \frac{Z}{Y} \right|_{\text{MAX}}$$

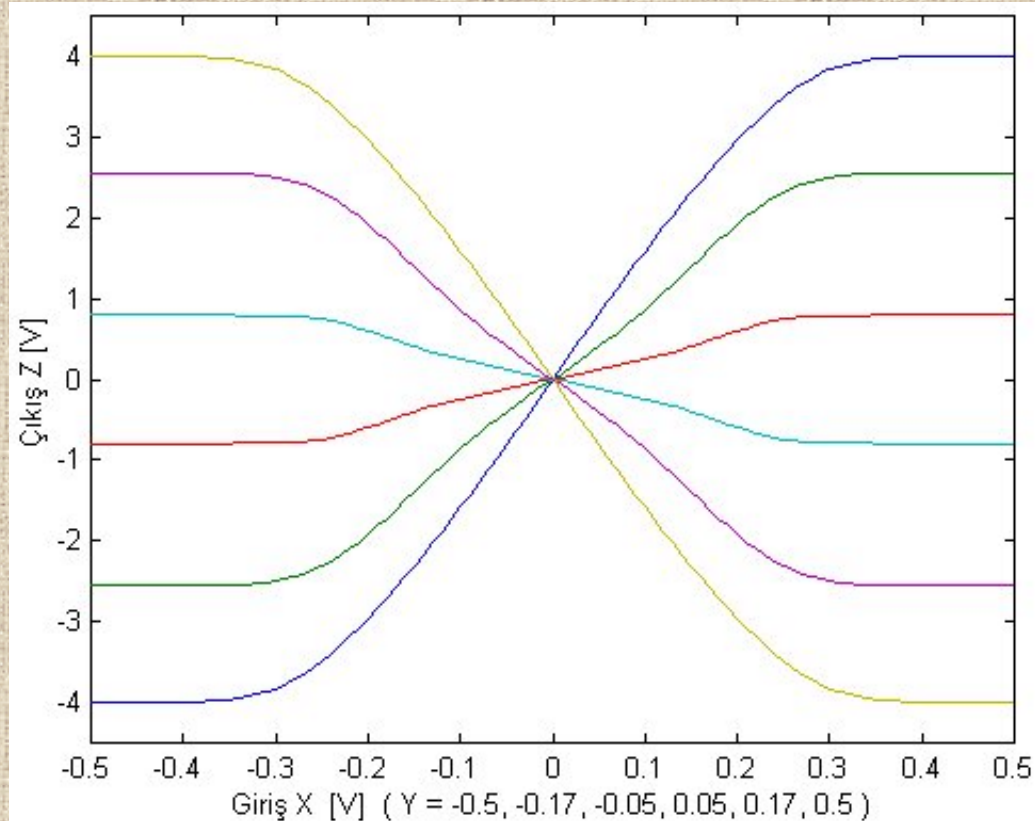
Y sbt.

X sbt.

2. Total Harmonic Distortion

Cmos-Analog arpma Devreleri (arpıcı Performans Kriterleri)

■ Lineerlik (devam..)



Cmos-Analog Çarpma Devreleri (Çarpıcı Performans Kriterleri)

■ Giriş ve Çıkış işaret Salınım Aralıkları

■ Çarpıcıların Sınıflandırılması

- 1-quadrant Çarpıcı $X \in R^+, Y \in R^+$
- 2-quadrant Çarpıcı $X \in R, Y \in R^+$
- 4-quadrant Çarpıcı $X \in R, Y \in R$

Cmos-Analog arpma Devreleri

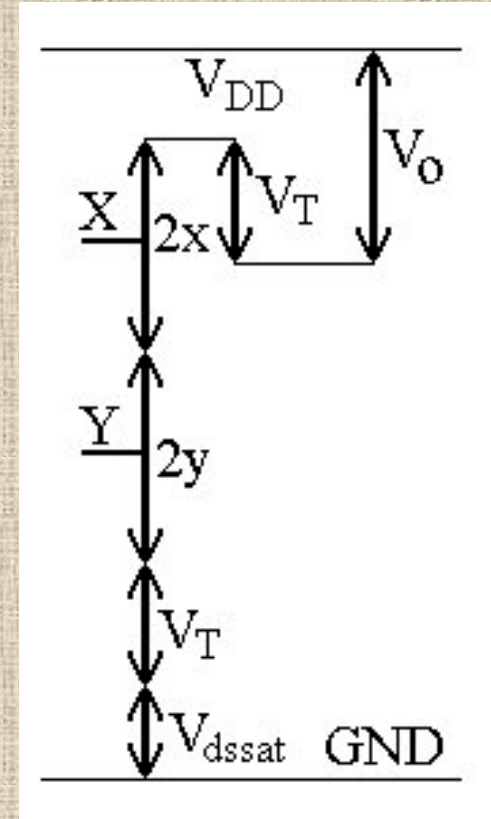
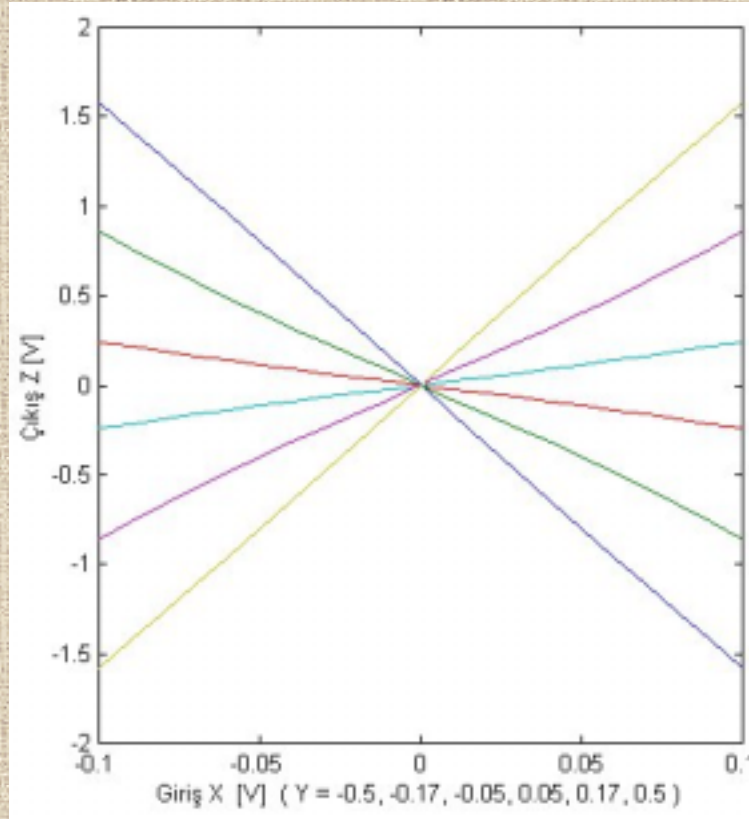
(arpıcı Performans Kriterleri)

■ Giriş ve ıkış işaret Salınım Aralıkları

**ıkış işaretinin
istenen lineerlik koşullarını sağladığı
maximum işaret salınım aralığı.**

Cmos-Analog Çarpma Devreleri (Çarpıcı Performans Kriterleri)

■ İşaret Salınım Aralıkları (devam..)



2



1



Cmos-Analog arpma Devreleri

(arpıcı Performans Kriterleri)

■ Akım Kazancı (Max Gm)

- Gerilim ıkışı genellikle, Direnler zerinden ıkış akımının gerilime evrilmesi ile elde edilir.
- arpım kazancı K ($z=Kx.y$), ıkıştaki direnlerin ve devrenin akım kazancının arpımıdır.
- Byk deęerli direnler tercih edilmezler. Bu sebeple devrenin Akım kazancı (Gm) nemlidir.

Cmos-Analog Çarpma Devreleri (Çarpıcı Performans Kriterleri)

■ Güç Tüketimi

**Çarpma devreleri için
Güç tüketiminin düşük olması
tek başına önemli değildir !!**

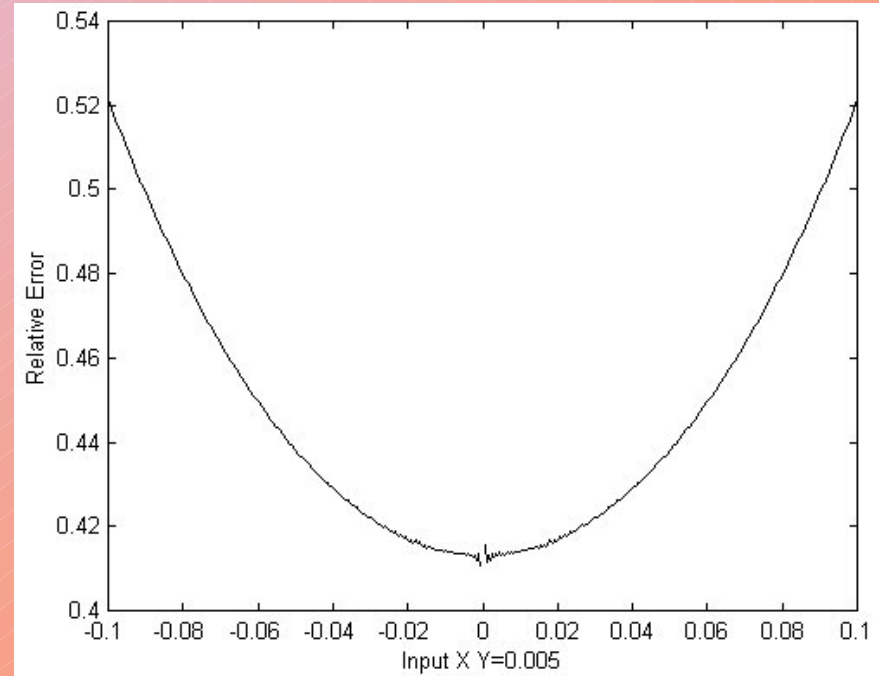
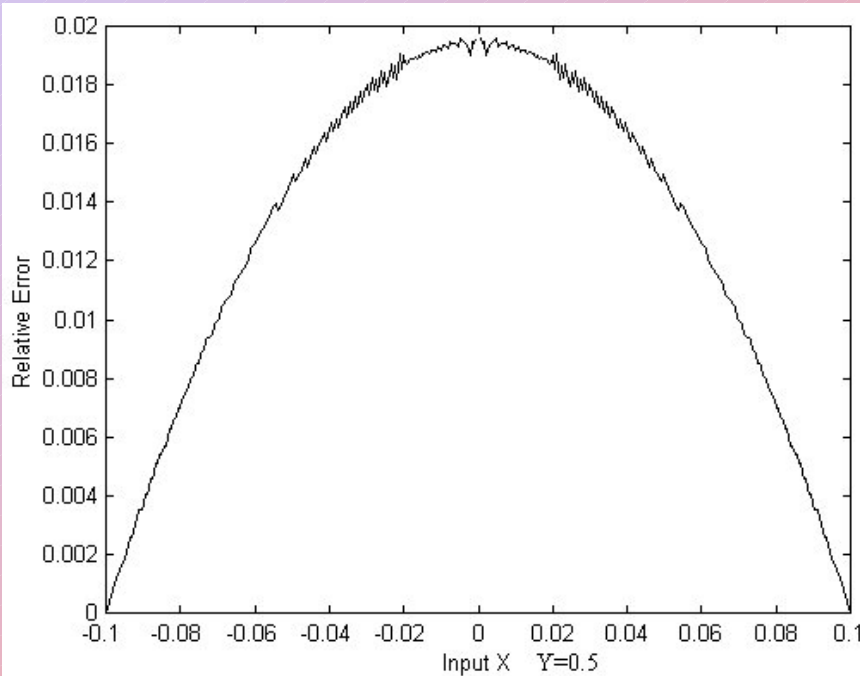
Önemli olan $\frac{I_O}{I_{DD}}$ oranının, 1'e mümkün olduğu kadar yakın olmasıdır.

Cmos-Analog Çarpma Devreleri (Çarpıcı Performans Kriterleri)

Ortak İşaret Etkileri



$$\text{Bağlı Hata: } \varepsilon = \left| \frac{Y - \frac{Z}{X}}{Y} \right|$$



Cmos-Analog arpma Devreleri

(arpıcı Performans Kriterleri)

■ Sıcaklık deęişimlerine duyarlılık

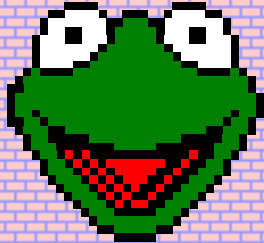
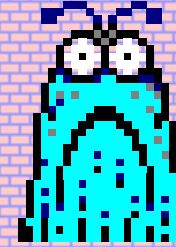
- Non-lineerlik, simetrik devre topolojileri ile yok edilmiyorsa, etkisi Harmonik Distorsiyon'unun artması olarak ortaya çıkar.
- Simetrik bir devre yapısı kullanıldıysa, sadece arpım kazancının deęeri deęişir. (Özellikle ıkışta kullanılan direnler sebebiyle - Tek harmonikler)

Her iki etki de istenmez. Üzerinde alışılan bir konudur.

Cmos-Analog arpma Devreleri

(arpıcı Performans Kriterleri)

- arpıcının bazı noktalarda performansı ok kt..

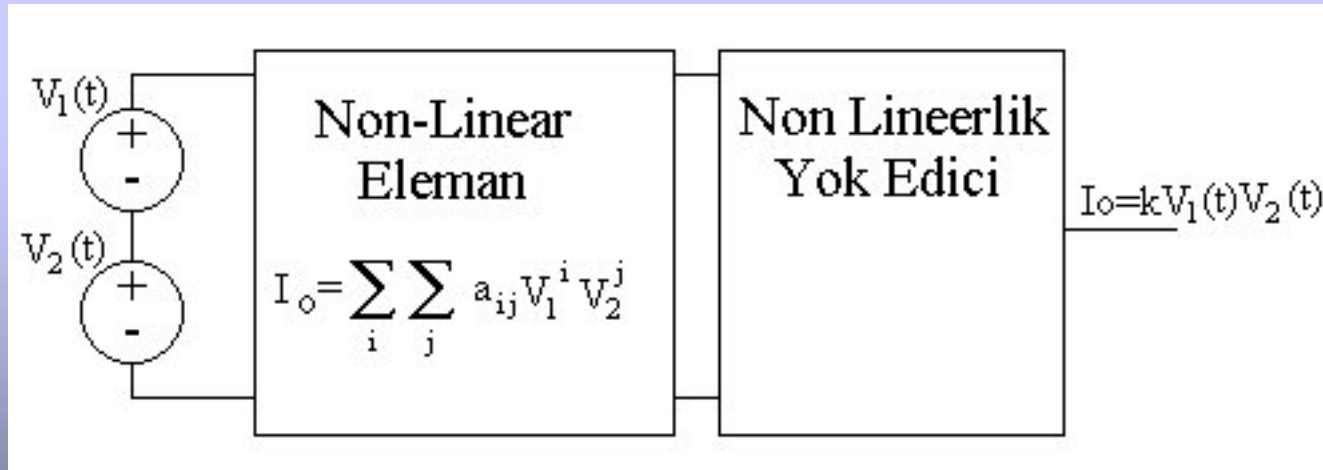


- zlmeye gerek yok. Hangi kriterlerin nemli olduėu, devrenin kullanılacaėı uygulamaya ok baėlı.

Cmos-Analog Çarpma Devreleri

(Temel tasarım yaklaşımları)

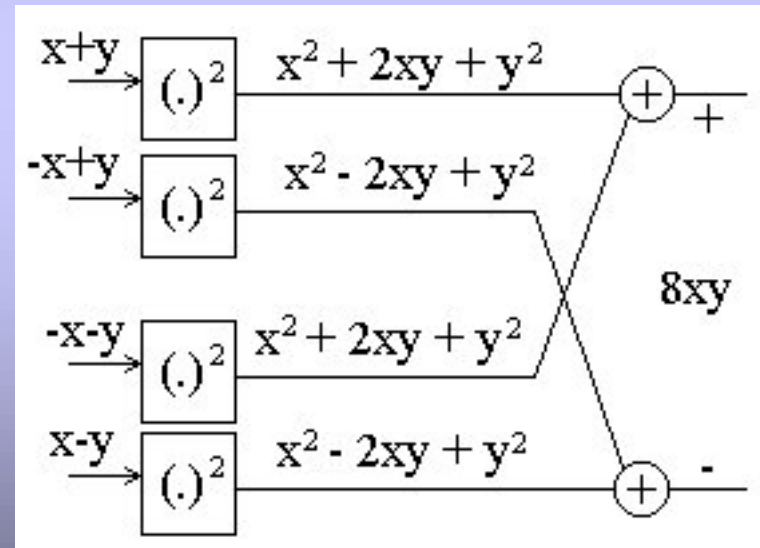
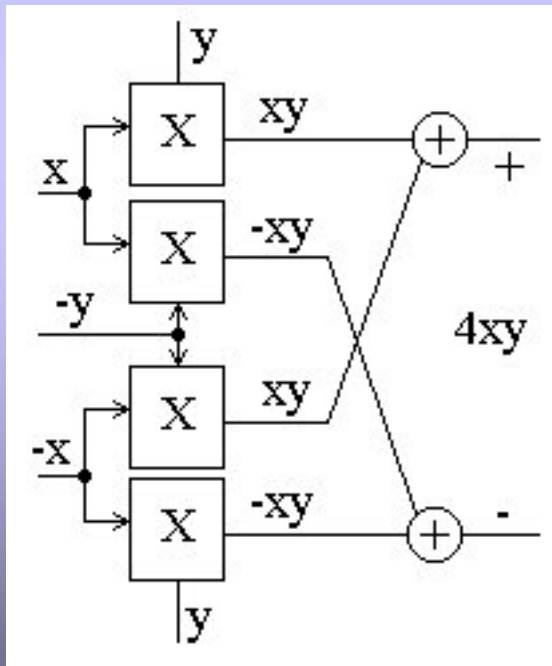
■ Temel Fikir



Cmos-Analog Çarpma Devreleri

(Temel tasarım yaklaşımları)

■ Non-Lineerlik yok etme metodları



2



1



Cmos-Analog Çarpma Devreleri

(Temel tasarım yaklaşımları)

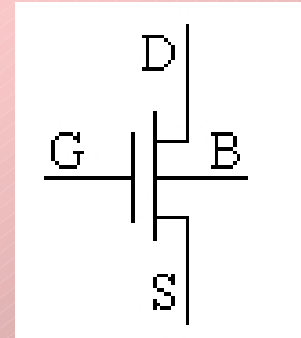
MOS Transistorun Drain akım ifadesi

$$I_D = \begin{cases} 0 \\ \frac{\beta}{2}(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \\ \beta \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \end{cases}$$

$$V_{GS} < V_T$$

$$V_{GS} - V_T < V_{DS}$$

$$V_{DS} < V_{GS} - V_T$$



$$\beta = \mu C_{OX} \frac{W}{L}$$
$$= \frac{\mu_0}{1 + \theta(V_{GS} - V_T)t_{ox}} \frac{\epsilon_{ox}}{L} \frac{W}{L}$$

$$V_T = V_{T0} + \gamma(\sqrt{2\phi_F + V_{SB}} - \sqrt{2\phi_F})$$



Cmos-Analog Çarpma Devreleri

(Temel tasarım yaklaşımları)

- Tasarlanan Çarpıcıda, Non-Lineerliğe sebep olan faktörler:
 - λ - effect
Kanal Boyu Modülasyonu
 - γ - effect
Gövde Etkisi
 - θ - effect
Düşey Elektriksel Alan Sebebi ile Mobilitenin Düşmesi (Mutlaka var.)

Cmos-Analog Çarpma Devreleri

(Temel tasarım yaklaşımları)

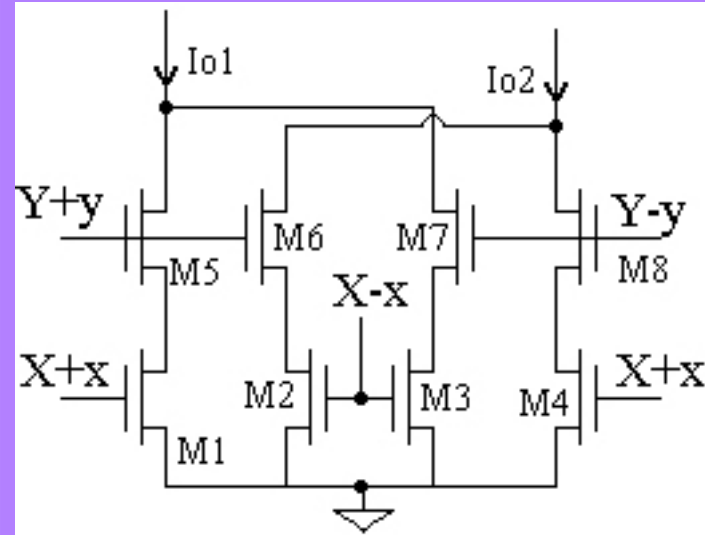
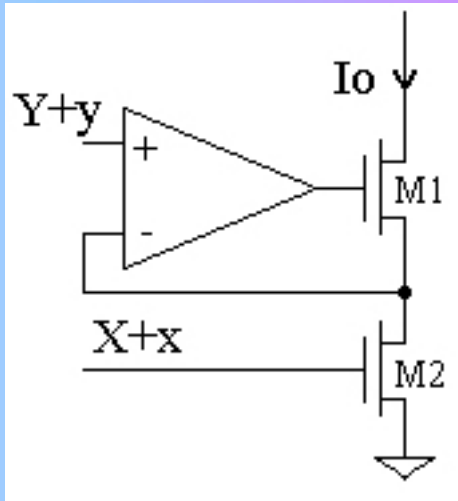
- Tasarlanan Çarpıcıda, Non-Lineerliğe sebep olan faktörler (devam..) :
 - Eleman eşleşme Problemleri (Mutlaka var.)
 - Kullanılan diğer devrelerin (Source-follower, Toplayıcı) performansları.



Cmos-Analog Çarpma Devreleri (Temel tasarım yaklaşımları)

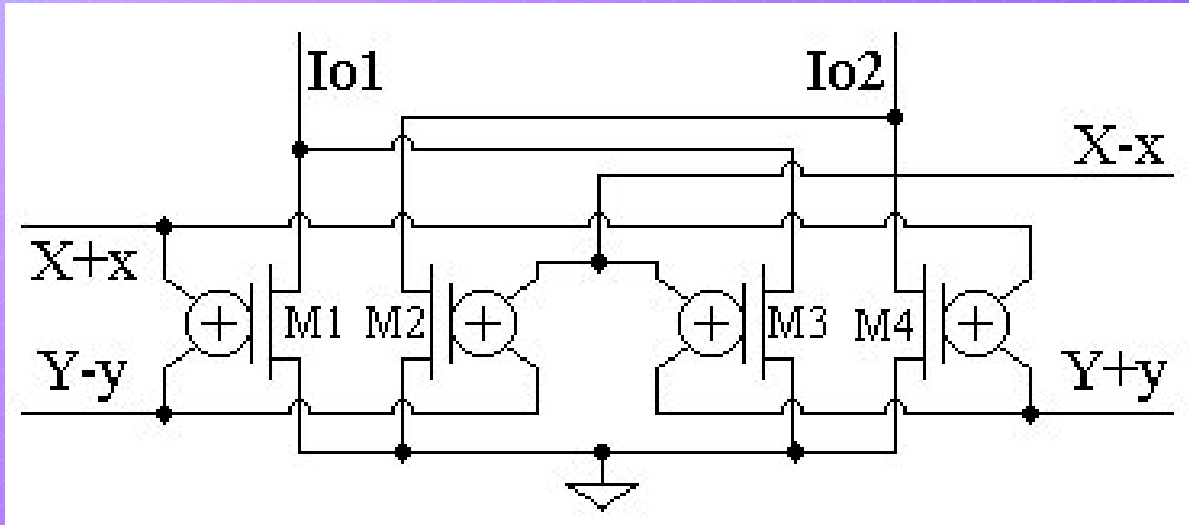
■ Linear Bölgede Çalışan MOS Transistor

- Temel olarak linear bölgede çalışan MOS transistörün drain akımının V_{ds} . V_{gs} ile orantılı olmasından yararlanan devre yapıları



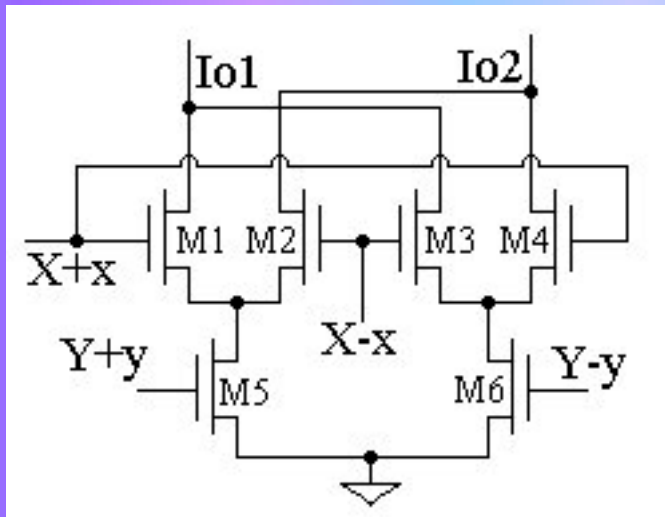
Cmos-Analog Çarpma Devreleri (Temel tasarım yaklaşımları)

- Satürasyonda Çalışan MOS Transistor
(Devam..)



Cmos-Analog Çarpma Devreleri (Temel tasarım yaklaşımları)

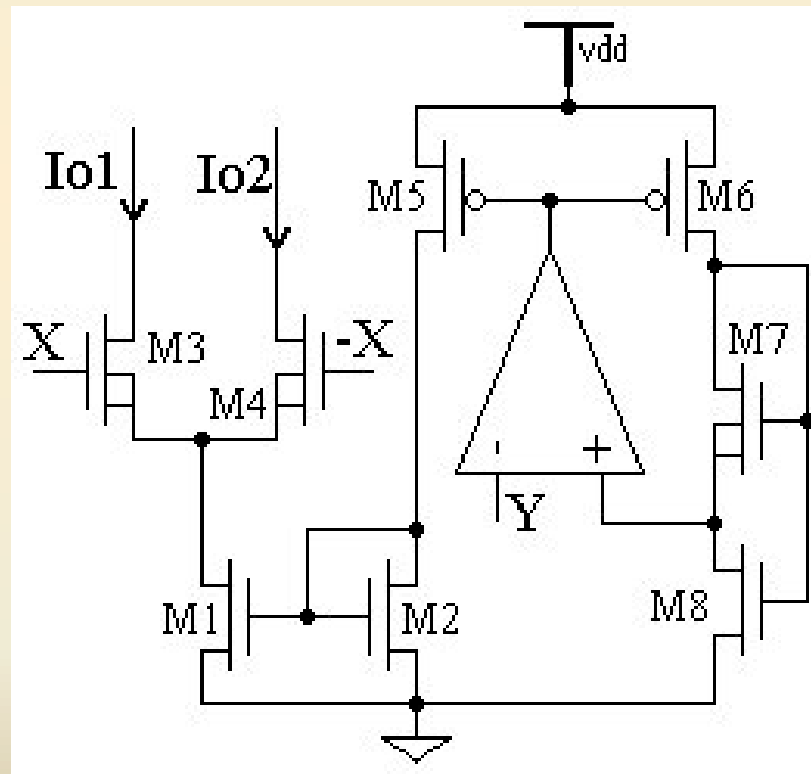
- Satürasyonda Çalışan MOS Transistor (Devam..) - MOS Gilbert Cell



$$I_{\text{diff}} = \frac{\beta}{2} x \sqrt{\frac{4I_{\text{Tail}}}{\beta} - x^2}$$

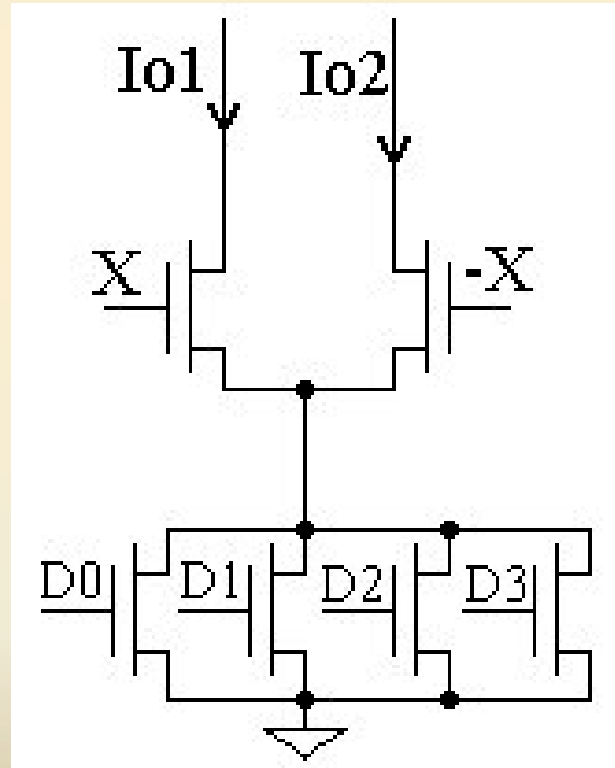
Cmos-Analog Çarpma Devreleri (Farklı Çarpıcı Devre yapıları)

■ Filanovsky & Baltes



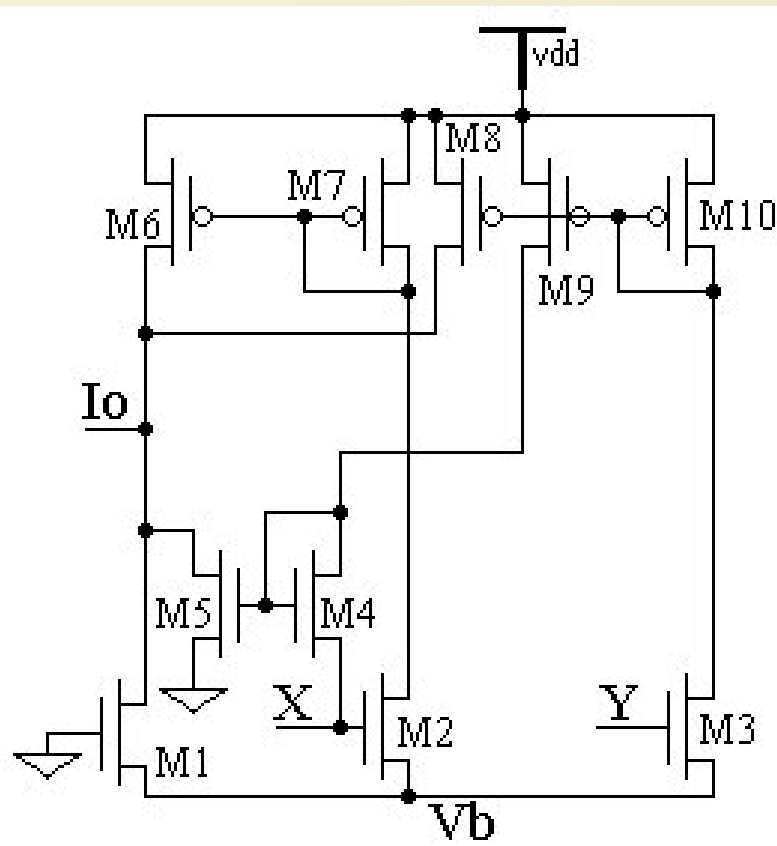
Cmos-Analog Çarpma Devreleri (Farklı Çarpıcı Devre yapıları)

■ MDAC



Cmos-Analog Çarpma Devreleri (Farklı Çarpıcı Devre yapıları)

■ Saxena & Clark



Cmos-Analog Çarpma Devreleri

(Referanslar)

- G. Han and E. Sanchez-Sinencio, 'CMOS Transconductance Multipliers: A Tutorial', IEEE Trans. Circuit and System, Vol 45 No 2, pp 1550-1563 Dec 1998.
- Zhenhua Wang, 'A CMOS Four-Quadrant Analog Multiplier with Single-Ended Voltage Output and Improved Temperature Performance', IEEE Journal of Solid-State Circuits, Vol 26, No 9, pp 1293-1301, Sept 1991.
- Hamid Reza Mehrvarz and Chee Yee Kwok, 'A Novel Multi-Input Floating-Gate MOS Four-Quadrant Analog Multiplier', IEEE Journal of Solid-State Circuits, Vol 31, No 8, pp 1123-1131, August 1996.
- Francis J. Kub, Keith K. Moon, Ingham A. Mack, Francis M. Long, 'Programmable Analog Vector-Matrix Multipliers', IEEE Journal of Solid-State Circuits, Vol 25, No 1, pp 207-214, Feb 1990.
- Z. Hong and H. Melchior, 'Four-Quadrant Analog Multiplier', Electronics Letters, Vol 20, No 24, pp 1015-1016, 22nd Nov 1984

Cmos-Analog Çarpma Devreleri

(Referanslar)

- Ho-Jun Song and Choong-Ki Kim, 'An MOS Four-Quadrant Analog Multiplier Using Simple Two-Input Squaring Circuits with Source Followers', IEEE Journal of Solid-State Circuits, Vol 25, No 3, pp 841-848, June 1990.
- Klaas Bult and Hans Wallinga, 'A CMOS Four-Quadrant Analog Multiplier', IEEE Journal of Solid-State Circuits, Vol sc-21, No 3, pp 430-435, June 1986.
- I.M Filanovsky and H. Baltes, 'CMOS Two-Quadrant Multiplier Using Transistor Triode Regime', IEEE Journal of Solid-State Circuits, Vol 27, No 5, pp 831-833, May 1992.
- Navin Saxena and James J. Clark, 'A Four-Quadrant CMOS Analog Multiplier for Analog Neural Networks', IEEE Journal of Solid-State Circuits, Vol 29, No 6, pp 746-749, June 1994.
- J.F. Schoeman and T.H. Joubert, 'Four-Quadrant Analog CMOS Multiplier using capacitively coupled dual-gate transistors', Electronics Letters, Vol 32, No 3, pp 209-210, 1st Feb 1996

Cmos-Analog Çarpma Devreleri

(Referanslar)

- Shen-Luan Liu and Yuh-Shyan Hwang, 'CMOS Four-Quadrant Multiplier Using Bias Feedback Techniques', IEEE Journal of Solid-State Circuits, Vol 29, No 6, pp 750-752, June 1994.
- P.J. Langlois, 'Comment on "A CMOS Four-Quadrant Multiplier": Effects of Threshold Voltage', IEEE Journal of Solid-State Circuits, Vol 25, No 6, pp 1595-1597, Dec 1990.
- Katsuji Kimura, 'An MOS Four-Quadrant Analog Multiplier Based on the Multitail Technique Using a Quadritail Cell as a Multiplier Core', IEEE Trans. Circuit and System, Vol 42 No 8, pp 448-454 August 1995.
- Jesus S. Pena Finol and J. Alvin Conelly, 'A MOS Four-Quadrant Analog Multiplier Using the Quarter-Square Technique', IEEE Journal of Solid-State Circuits, Vol sc-22, No 6, pp 1064-11073, Dec 1987.