



T.C.
İSTANBUL TEKNİK ÜNİVERSİTESİ
Bilişim Enstitüsü
Bilgisayar Bilimleri Anabilim Dalı

Bilgisayar Mimarisinde Yeni Yaklaşımlar
Prof. Dr. Bülent Örencik

PowerPC 620 Mimarisi

VİJDAN KIZILAY

704061024

vkizilay@hotmail.com

İÇİNDEKİLER

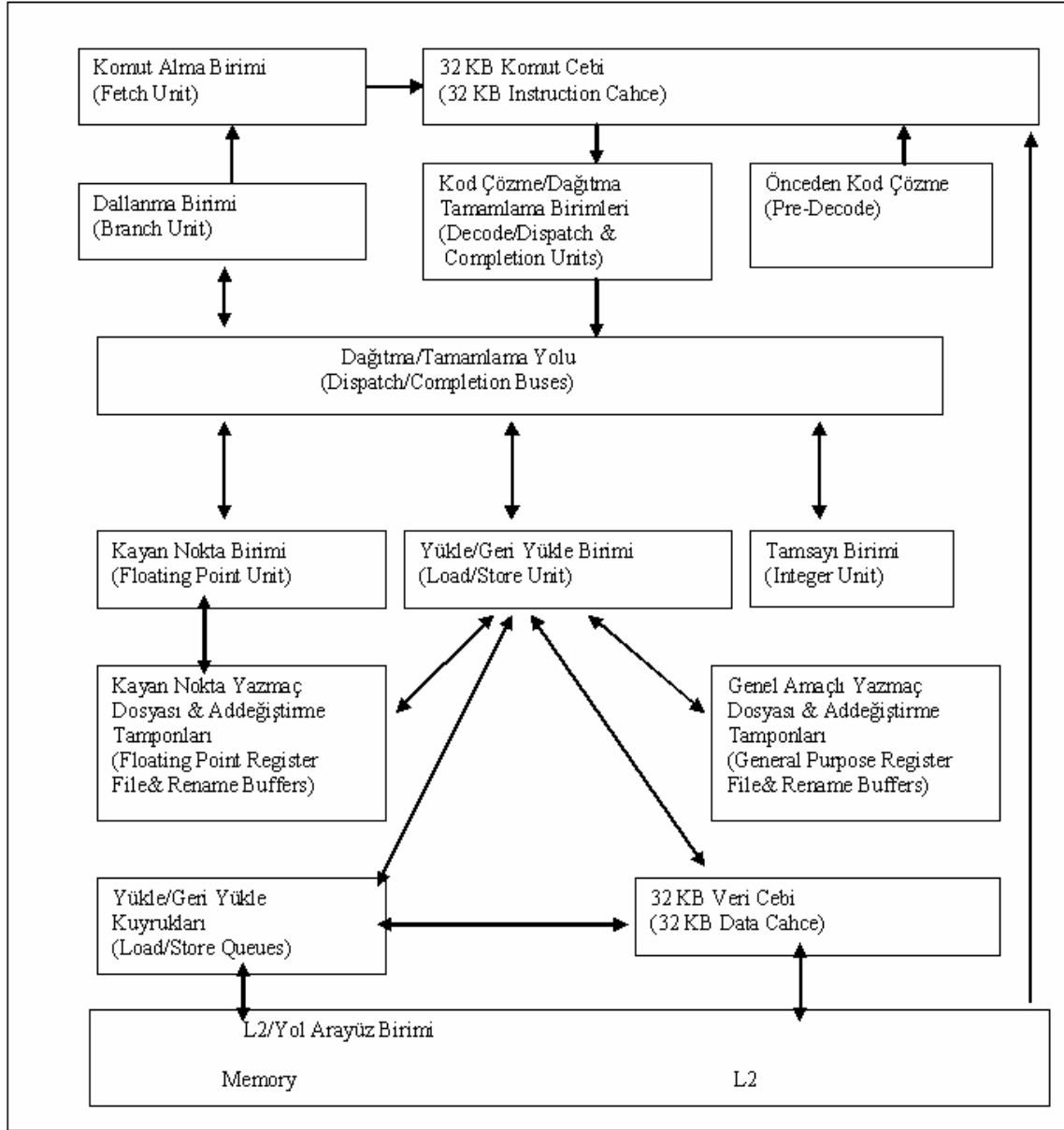
| | |
|---|----|
| 1. Giriş..... | 3 |
| 2. İşhatlıya Genel Bakış..... | 5 |
| 2.1 Komut Alma Katı (Fetch Stage)..... | 6 |
| 2.2 Dağıtma Katı (Dispatch Stage)..... | 6 |
| 2.3 Yürütme Katı (Execute Stage)..... | 7 |
| 2.4 Tamamlama Katı (Complete Stage)..... | 7 |
| 2.5 Geri Yazma Katı (Writeback Stage)..... | 7 |
| 3 . Yürütme Birimleri (Execution Units)..... | 8 |
| 3.1 Dallanma Birimi (Branch Unit)..... | 8 |
| 3.2 Tamsayı Yürütme Birimleri(Integer Execution Units)..... | 10 |
| 3.3 Yükleme ve Geri Yükleme Yürütme Birimi (Load/Store Execution Unit)..... | 10 |
| 3.4 Kayan Noktalı Yürütme Birimi (Floating–point Execution Unit)..... | 11 |
| 4. Bellek Hiyerarşisi..... | 11 |
| 4.1Önbellekler(Caches)..... | 11 |
| 4.2 Bellek Yönetimi Birimleri (Memory Management Units)..... | 12 |
| 4.3 L2 Önbellek Arabirimi (L2 Cache Interface)..... | 12 |
| 4.4 Sistem Yolu Arabirimi (System Bus Interface)..... | 13 |
| 5. Sonuç..... | 15 |
| 6. Kaynaklar..... | 16 |

1. Giriş

PowerPC, 1991 yılında Apple, IBM ve Motorola firmaları tarafından meydana getirilmiş bir RISC mikroişlemcisidir. PowerPC mimarisinin farklı kullanıcı ihtiyaçlarını karşılamak üzere başlangıçta 4 farklı mikroişlemci gerçekleştirilmiştir. 64-bit PowerPC 620 mikroişlemcisi ilk gerçeklemelerin dördüncüsüdür, uygulama sunucularında ve teknik iş istasyonlarında kullanılmak amaçlı geliştirilmiştir. 620 mikroişlemcisi PowerPC ailesindeki diğer işlemcileri tamamlar. PowerPC 601, 603 ve 604 mikroişlemcileri sırasıyla orta-ölçekli masaüstü, taşınabilir ve 32-bit masaüstü bilgisayar piyasasını hedeflemektedir.

PowerPC 620 mikroişlemcisinin birincil tasarım amacı yüksek performanstır. 620 tasarımını anlamak için, işlemci performansını belirleyen faktörleri anlamak gerekir. İşlemci performansını belirleyen 3 faktör bulunmaktadır: (1) bir görevdeki komut sayısı, (2) işlemcinin bir saat çevriminde çalıştırdığı ortalama komut sayısı (IPC), (3) işlemcinin frekansı. Birinci faktör, 620 mimarisi tarafından RISC felsefesine bağlı olarak sıkıştırılmış kod üretilerek karşılanmaktadır. İkinci ve üçüncü faktörlerde IPC ve saat frekansının çarpımı büyütülerek karşılanmaktadır.

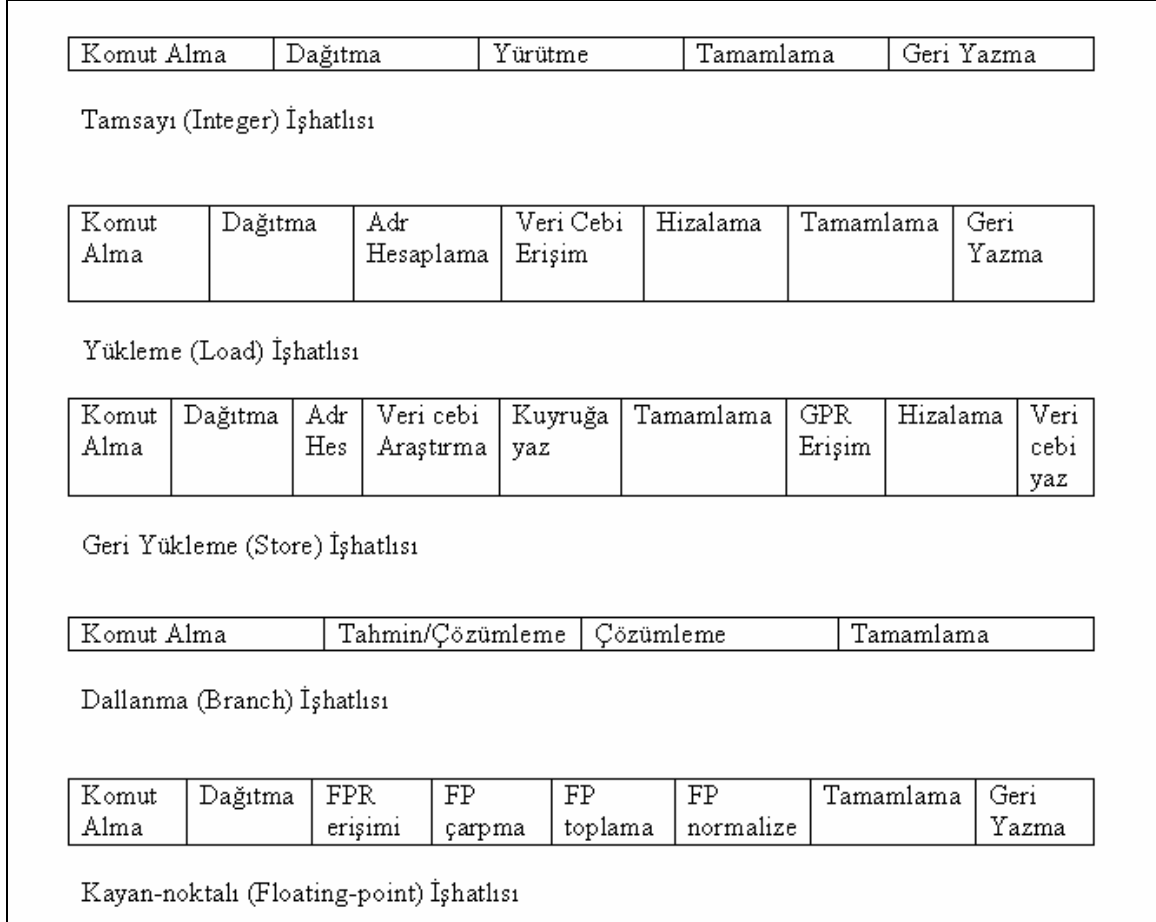
Yürütülen komut sonucunu hızlandırmak için dinamik dallanma öngörülere, yer ayırma istasyonları, yazmaç yeniden adlandırma ve tahmini yürütme gibi yöntemler kullanılmaktadır. 620 mikroişlemcisi 1 sa çevriminde en fazla 4 komut çalıştırılmasına destek vermektedir. Bu özelliklerin yanında 6 bağımsız çalışma birimi, 32Kbyte komut ve veri önbellekleri, tümleşik L2 denetleyicisi, 128-bitlik L2 önbelleği veri yolu ve 128-bitlik bellek sistemi veri yolu işlemcinin performansına katkıda bulunmaktadır. Şekil-1 de 620'nin organizasyonu gösterilmektedir.



Şekil -1 PowerPC 620 Mikroişlemci Diyagramı

2. İşhatlıya Genel Bakış

PowerPC 620 mikroişlemcisi 5 katlı komut işhatlısını gerçeklemektedir. Bu 5 kat komut alma, dağıtma, yürütme, tamamlama ve geri yazma katlarıdır. Komutlar program sırasına göre yürütme birimlerine gönderilmekte, sırasız yürütülürler ve sırayla tamamlanırlar. Bu 5 kat izleyen bölümlerde detaylı olarak tanıtılmaktadır.



Şekil-2 PowerPC 620 İşhatlıları

2.1 Komut Alma Katı (Fetch Stage)

Komut önbelleğine dallanma biriminden gelen adrese göre komut alma katında erişilir. Komut önbelleğinden bir saat çevriminde 4 komut dönmektedir. Bu komutlar 8 girişli FIFO tampon belleğe yüklenmektedir. İlk 4 giriş eski 4 komut ile ilişkilidir ve dağıtma(dispatch) tamponu olarak adlandırılmaktadır. Diğer 4 giriş ise komut tamponu olarak adlandırılmaktadır.

Komut önbelleğindeki her bir komutla ilişkili 7 tane ön kod çözme biti bulunur. Bu bitler dağıtma katında hangi işlenenlerin gerekli olduğunu veya komutun hangi yürütme biriminde yürütüleceği gibi bilgileri sağlar. Ön kod çözme bitleri sayesinde işhatlıda ayrı bir kod çözme katına ihtiyaç duyulmaz.

2.2 Dağıtma Katı (Dispatch Stage)

Dağıtma katı, her çevrimde dağıtma tamponundaki 4 komutu çözer ve uygun yürütme birimlerindeki rezervasyon istasyonlarına komutları gönderme girişiminde bulunur. Dağıtma katında her bir komut için komut bağımlılıkları belirlenir ve kaynak işlenenleri yazmaç dosyalarından veya addeğiştirme tamponlarından okumak için çalışma yapılır.

Dağıtma katı çeşitli kısıtlamalara tabidir: (1) komutlar program sırasına göre dağıtılmak zorundadır, (2) uygun tipteki yürütme biriminde dağıtılan komutları tutan rezervasyon istasyonları erişilebilir olmalıdır, (3) 1 sa çevrimde bir birime en fazla bir komut gönderilebilir, ve (4) 2 genel amaçlı yazmaç işlenenine ihtiyacı olan komutlar dağıtma tamponunun sadece ilk 2 girişinden gönderilebilirler.

Bir komut gönderildiği zaman, komutun GPR(genel amaçlı yazmaç),FPR(kayan nokta yazmacı), ve CR (koşul yazmacı) hedef işlenenleri için GPR,FPR, ve CR addeğiştirme tamponları ayrılır. GPR,FPR, ve CR'yi okuyan ardıl komutlara addeğiştirme tamponunu belirleyen etiketler verilir. Yürütme sırasında, her bir komut bağımlı komutları bilgilendirmek için kendi hedef addeğiştirme tampon etiketini yayınlar. Böylece bağımlı komutlar kendi işlenenlerinin bu çevrimde oluşturulduğunu öğrenirler.

Gerçekleme nedenlerinden dolayı, dağıtma tamponu ve komut tamponu girişlerinin ayrılması yada serbest bırakılması çiftler halinde yapılmaktadır. Tek sayıdaki komutların gönderimi yapılsada, dağıtma tamponu çiftteki iki komutta gönderilene kadar serbest bırakılamıyabilir.

2.3 Yürütme Katı (Execute Stage)

Yürütme işhatlı katında, herbir yürütme birimi rezervasyon istasyonlarındaki en eski hazır komutları yürütürler. Herbir yürütme birimi, yürütme katında bir rezervasyon istasyonu ile ilişkilidir. Rezervasyon istasyonu, yürütme birimine bağlı olarak 2 veya 4 adet komut girişi içermektedir. Rezervasyon istasyonunda bir komut tüm kaynak işlenenleri tamamlana kadar ve ilgili yürütme birimi erişilebilir olan kadar bekler. Yürütme katı sonunda, komut sonucu uygun addeğiştirme tampon yoluna sürülür. Oluşan hatalar tamamlama birimine rapor edilir.

620'nin en önemli özelliklerinden biri komutları yorumlayarak yürütmesidir. Yorumlayarak yürütme, dallanmaları tahmin ederek ortaya çıkan paralelliğin kullanılması açısından gereklidir. 620 mikroişlemcisi, 4 tane çözülmemiş dallanma komutu yürütebilir. Önceden yorumlanarak yürütülen komutların sonuçları addeğiştirme, yeniden sıralama tamponları gibi geçici tamponlarda tutulur. Ancak bu tamponlar bir hata durumunda temizlenebilirler.

2.4 Tamamlama Katı (Complete Stage)

Komutların sırasını tutmak için 16 girişli yeniden sıralama tamponu kullanılır. Herbir komutun gönderimi yapıldığı zaman yeniden sıralama tamponun bir girişine atanır. Komut çalışmasını bitirdiği zaman, komutun durumu atanmış olduğu tampon girişine kaydedilir.

Tamamlama birimi, komutların program sırasında tamamlandığı temin eder. Bir komut, addeğiştirme tamponundaki kendinden önceki komutların hepsi tamamlandığı zaman tamamlanır. Bir saat çevriminde en fazla 4 komut tamamlanabilir.

Tamamlama birimi bir hata yakaladığında yada yanlış dallanma tahmini olduğunu farkettiği zaman, hatanın çıktığı noktaya kadar varolan komutların tamamlanmasına izin verilir. Bu komutların tamamlanmasından sonra tüm geçici tamponlar temizlenir. Yanlış dallanma tahmini durumunda, dağıtma ve yürütme birimleri uygun komut dizisiyle dallanmadan önceki haline döner. Aykırı durum olduğunda ise uygun aykırı durum ele alıcı çağrılır.

2.5 Geri Yazma Katı (Writeback Stage)

Bir komut tamamlandıktan sonraki saat çevriminde, sonuçlar addeğiştirme tamponlarından ilgili birimlere yazılır. Bir saat çevriminde 4 GPR, 2 FPR ve 4 CR geri yazma yapılabilir.

3 . Yürütme Birimleri (Execution Units)

Bu bölümde PowerPC 620 mikroişlemcisinin 6 tane bağımsız yürütme birimini tanıtılmaktadır.

3.1 Dallanma Birimi (Branch Unit)

PowerPC 620 mikroişlemcisi dallanma biriminin 2 temel fonksiyonu vardır. Dallanma birimi işhatlı beklemlerini önlemek için önceden dallanma tahminlerini yapar ve önceki dallanmaların doğru olup olmadığı anlamak için dallanma komutlarını çözer. Dallanma komutlarını ele almak işlemci performansı açısından önemli olduğu için, 620 dallanma yanlış öngörü ve dallanma beklemlerinin sayısını azaltmak için birçok özellik gerçekleştirmektedir.

Yapılan dallanmalardan sonraki işhatlı beklemlerini azaltmak için Dallanma Hedef Adres Önbellek (Branch Target Address Cache) mekanizması kullanılmaktadır. BTAC mekanizmasının yanında, dallanma birimi herbir saat çevriminde dağıtma tamponundaki ilk dallanma komutunun kodunu çözme girişiminde bulunur. Eğer dallanma komutu beklenen kaynak işlenenlerden dolayı çözülemezse, dallanma tahmini Branch History Table, Link Register Stack ve Shadow Count Register'daki bilgiye göre yapılır.

BTAC(Branch Target Address Cache): Komut alma katında komut önbellek erişimine paralel olarak, komut alma adresi BTAC'a erişim içinde kullanılır. BTAC önceden yürütülmüş dallanma komutlarının hedef adreslerini içerir. BTAC 256 girişli, 2 yollu çağrışımsal önbellek olarak organize edilmiştir. BTAC verimlilik nedenlerinden dolayı önceden tahmin edilen ve yapılan dallanmaların hedef adreslerini içermektedir. Eğer komut alma adresi BTAC'ta bulunursa, alınan hedef adresi, bir sonraki saat çevriminde sıradaki komutları almak için kullanılır. Eğer komut alma adresi BTAC'ta bulunamazsa, komut alma birimi programın normal bir şekilde aktığını varsayar ve uygun adresi komut cebinden alınan komut sayısına göre oluşturur. BTAC komut alma adresinin düşük sıradaki bitleri ile adreslenir. Bir saat çevriminde en fazla 4 komut cepten çekilebildiği için, herbir dallanma komutu cepten çekilen komut grubunun içinde bulunduğu yere bağlı olarak BTAC'ta 4 farklı girişte olabilir.

Dallanma Geçmiş Tablosu (Branch History Table): Durumu koşul yazmacındaki(CR) bite bağlı olan dağıtma tamponundaki dallanma komutlarının tahminini yapmak için kullanılır. BHT doğrudan eşlemeli ve 2048 girişlidir. Herbir giriş 4 tane tahmin durumundan birini tutar: strong taken, weak taken, weak not-taken, ve strong not-taken. Dallanma komutu çözüldüğü zaman BHT güncellenir. BHT tahmini BTAC güncellenmesini de kontrol eder. Eğer bir dallanmanın gelecek sefer yapılacağı tahmin ediliyorsa hedef adresi BTAC'a eklenir. Dallanılmayacaksa hedef adres BTAC'tan silinir. BHT' ye komut alma çevrimi sırasında erişilir fakat alınan veri dağıtma çevrimine kadar kullanılmaz. BTAC'ta olduğu gibi, BHT' teye de komut alma adresi kullanılarak erişilir.

BHT tahmin mekanizması istenirse devredışı bırakılabilir.Bu durumda durumu CR'deki bir bite bağı olan dallanma komutları için statik dallanma tahminleri kullanılır. Statik dallanma tahmini için komutun içindeki bir bit dallanmanın tahminin hangi yönde yapılması gerektiğini belirler.Eğer statik dallanma tahmini dallanmanın yapılması gerektiğini belirlerse,hedef adres BTAC'a eklenir.

LinkYazmaç Yığını(Link Register Stack) : Fonksiyon çağrılarını hızlandırmak amaçlı, 620 8-girişli bir link yazmaç yığını gerçekleştirmektedir. PowerPC mimarisinde LINK biti birleşmiş olan dallanma komutları fonksiyon çağrılarını için kullanılır.Bu komutlar dönüş adresini Link yazmacına kaydederler.Link yazmacı komutlarına dallanma, fonksiyon geri dönüşleri için kullanılır. İç içe fonksiyon çağrılarını için,Link yazmacı kaydı bir sonraki fonksiyon çağrılmadan önce yapılmalıdır.

620 LINK biti birleşmiş bir dallanma yürüttüğü zaman, dönüş adresi yazmaca saklanır ve link yazmaç yığınınada(link register stack) eklenir.Link yazmacı komutuna dallanma ile karşılaşıldığında da, adres yığıttan alınır ve dallanma hedef adresi olarak kullanılır. Bu durum önceden komut almayı sağlayarak Link yazmacın yüklenmesini bekleme zamanından kazanç sağlar.Yığıt taşması olmadıkça veya program düzenli olarak link yazmacı güncellemediği sürece link yazmaç yığıtı doğru dallanma hedef tahmini yapılmasını sağlar.

Gölge Sayı Yazmacı(Shadow Count Register) : PowerPC mimarisi dallanma komutlarının azalttığı ve test ettiği bir sayı yazmacı(Count Register) tanımlar.Bu kavramlar genelde döngü kod dizilerini kontrol etmek için yararlıdır.Dağıtma tamponundaki bir koşullu dallanma komutu için (koşulu sayı yazmacındaki değere bağlı olan), dallanma tahmini sayı yazmacındaki değere göre yapılır.Eğer tahmin o andaki önceden komut alma yönünden farklı ise önceden almanın yönü değiştirilir. Sayı yazmacını okuyan ve değiştiren dallanma komutlarını hızlandırmak için, sayı yazmacı yerine bir gölge sayı yazmacı (shadow count register) kullanılır.Bir dallanma komutunun dağıtımını yapıldığı zaman, gölge sayı yazmacıda güncellenir.Gölge sayı yazmacında tutulan gelecek değer ardıl dallanma tahminleri yapmak içinde kullanılır. Eğer tahmin doğru değilse, gölge yazmacı tekrar doğru değerle güncellenir ve doğru komutların dağıtımını yapılır.

Dallanma Çözme(Branch Resolution) : Dallanma birimi çözülmek için bekleyen dallanma komutları için 4 tane rezervasyon istasyonu içerir. Bir çevrimde koşul kodu(condition code) üretilmiş olan en eski dallanma komutunun çözülür.Eğer koşul kodu dallanma tahmini ile uyuşmazsa,tamamlama birimine yanlış tahmin sinyali yollar ve dallanma çözümü yapıldıktan sonraki saat çevriminde doğru komutların alımı için komut alma adres hesaplaması yapılır.

3.2 Tamsayı Yürütme Birimleri(Integer Execution Units)

PowerPC 620 mikroişlemcisi iki tane tek-çevrim ve bir tane çoklu-çevrim olmak üzere 3 tamsayı yürütme birimine sahiptir. Bu birimler PowerPC tarafından tanımlanan 32-bit ve 64-bit tamsayı komutlarını gerçekleştirmektedirler. Herbir tamsayı biriminin 2 tane sırasız yayma rezervasyon istasyonu bulunmaktadır. Bu rezervasyon istasyonları komutların kaynak işlenenlerinin hepsi hazır olmadan dağıtımının yapılmasına izin verir. Komutun dağıtımını yapılacağı sırada hazır olmayan işlenenler daha sonra oluşturuldukları yürütme biriminden gerekli birime yönlendirilirler. Herbir saat çevriminde tüm kaynak işlenenleri hazır olan en eski komut yürütülmeye başlanır.

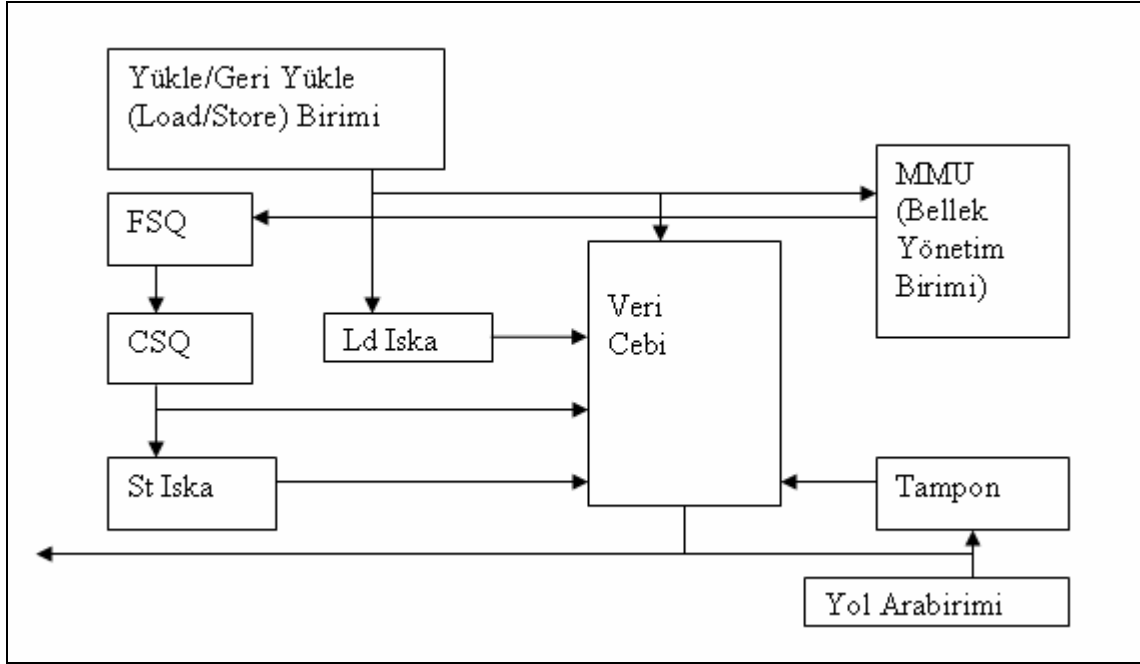
Herbir tek-çevrim tamsayı birimi Add/Compare bloğu, Shift/Rotate bloğu ve Logic bloktan oluşur. Çoklu-çevrim tamsayı birimi ise Multiply blok, Divide blok ve move-to/move-from Special Purpose register bloktan oluşur. Herbir birim sonucunu 8 tamsayı addeğiştirme tamponlarından herhangi birine yazma yetisine sahiptir.

3.3 Yükleme ve Geri Yükleme Yürütme Birimi (Load/Store Execution Unit)

Yükleme/Geri yükleme birimi 3 tane sırasız yayma rezervasyon istasyonu ve 2-katlı bir işhatlıya sahiptir. Birinci katta bellek işlenenlerinin etkin adreslerini hesaplar. Yüklemeler için veri cebi ve MMU(memory management unit) erişimi birinci katın ortalarında başlar. Geri yükleme için ise MMU araması herhangi bir aykırı durum olup olmadığını tespit etmek için yürütme zamanında yapılır. Herhangi bir aykırı durum yoksa geri yüklemenin bittiği düşünülür. Tüm önceki komutlar hata oluşmadan tamamlandıktan sonra geri yüklemeler sırayla veri cebine yazılırlar.

Veriyi cepte bulan bir yükleme komutu için cep verisi uygun addeğiştirme tamponlarına ve yürütme birimlerine gönderilir. Veri cebinde aradığı veri olmayan yükleme komutu için ise, erişilen adres yükleme ıskası yazmacına(load miss register) yazılır ve ilgili veriye erişmek için bir yol isteği oluşturulur.

Başarılı bir şekilde yorumlanan geri yükleme işlemlerinden sonra, geri yüklemeler FSQ(Finished Store Queue)'ye eklenir. Herbir geri yükleme tamamlandıktan sonra cebe veya belleğe yazılması beklenmeden, yazmaç dosyasından alınan veri ile CSQ(completed store queue)'ya eklenir. Veri cebi herbir saat çevriminde bir CSQ'dan bir geri yükleme alabilir ve bir yükleme yapabilir. Eğer geri yükleme esnasında cepte ıskası olursa, geri yükleme ıskası yazmacına(store miss register) taşınır. Geri yükleme ıskası ele alınırken, CSQ 'daki geri yüklemeler program sırasını bozmamak için bekletilir.



Şekil-3 Yükle/Geri Yükle(Load/Store) Kuyrukları

3.4 Kayan Noktalı Yürütme Birimi (Floating-point Execution Unit)

PowerPC 620'nin 3 katlı kayan noktalı yürütme birimi her saat çevriminde bir double precision çarpma-toplama sonucu üretebilir. Her 18 çevrimde birde bir bölme sonucu üretebilir. Herbir 22 çevrimde de bir karekök komutu yürütülebilir.

Kayan-noktalı yürütme birimi iki adet sıralı yagma rezervasyon istasyonu tarafından beslenmektedir. Rezervasyon istasyonları her saat çevriminde komut dağıtma biriminden bir komut almaktadır. Kayan-noktalı komutların yürütülmesi bittikten sonra, sonuçları 8 adet addeğiştirme tamponu yollarından birine sürülür.

Kayan noktalı yürütme birimi IEEE-754 standartlarına uygundur ve denormalizasyon, aykırı durumlar için donanım desteği sağlamaktadır.

4. Bellek Hiyerarşisi

Yüksek hızlı superscalar işlemcilerinde performans için verimli bellek işlemleri çok önemlidir. Bu bölümde 620 önbellekleri, bellek yönetim birimleri ve yol arabirimleri tanıtılmaktadır.

4.1 Önbellekler(Caches)

PowerPC 620 mikroişlemcisi ayrı veri ve komut ceplerine sahiptir. Herbir cep kapasitesi 32 Kbayttır. 64 baytlık satırlardan oluşur. Veri cebi bayt eşliği ile korunur. Komut cebi ise sözcük(word) eşliği ile korunur.

Cepler 8 yollu “semi-associative“ olarak organize edilmiştir. Geleneksel 8 yollu çağrışimsal cepte seçilen kümeden 8 giriş okunur ve etiket karşılaştırma sonuçlarına göre 8 girişten biri seçilir. Bu işlem her erişimde yapılır ve önemli hız ve güç tüketimine neden olur. 620 cepleri adres bitlerinden 52 ve 57 arasındakileri (bit 0 is the MSB) 64 içerik adreslenebilir bellekten birini seçmek için kullanır. Herbir içerik adreslenebilir bellek 8 cep girişi içermektedir. İçerik adreslenebilir bellekten geri kalan adres bitleri verinin gerçekten cepte olup olmadığını hesaplamak için kullanılır. Bu cep mimarisi 8-yollu geleneksel çağrışimsal cep etkinliğini sağlarken, geleneksel doğrudan cep hız ve güç avantajını da sağlamaktadır.

Bir yükleme(load) ıskası ele alınırken, 620 vurusu olan başka bir yükleme(load) işlemine devam edebilir. Eğer ardıl ıskalar meydana gelirse, bu ıskalar load/store birimlerinin rezervasyon istasyonlarında tutulur ve ilk ıska bittikten sonra ele alınır.

Komut cebi en son yüklenen cep girişini tutan cache reload buffer(CRB)’a sahiptir. Gelecek komut cebi ıskasında, komut cebi yeni giriş için beklerken, CRB’deki kayıt komut cebine yüklenir.

Veri cebi MESI protokolu altında tutarlı tutulmaktadır. İşlemcinin cebe erişimini bloke etmemek için ayrı bir port sağlanır. PowerPC mimarisine göre komut cebi içinde tutarlılık sağlanamaz. Bunun yerine, PowerPC mimarisi komut cebi tutarlılığını yazılımla sağlamak için bir küme komut sağlar.

Mesi protokolu cep ve bellek tutarlılığı için kullanılan bir protokoldür. Mesi protokolüne göre cepteki herbir satır M, E, S veya I olmak üzere 4 durumdan biri ile işaretlidir.

M(Modified) : Cep satırındaki verinin sadece o cepte olduğunu ve bellekteki değerinden farklı olduğunu gösterir.

E(Exclusive) : Cep satırındaki verinin sadece o cepte olduğunu ve bellekteki değeri ile aynı olduğunu göstermektedir.

S(Shared): Cepteki verinin makinenin diğer ceplerinde de olabileceğini gösterir.

I(Invalid): Cepteki verinin geçersiz olduğunu gösterir.

Mesi protokolüne göre cepten okuma veri geçersiz olmadığı durumlarda yapılabilir. Geçersiz bir satırın okunması için bellekten çekilmesi gerekir. Yazma cep satırı M veya E durumunda ise yapılabilir. Eğer ilgili satır S durumundaysa diğer ceplerdeki kopyalar geçersiz duruma getirilir. Eğer bir cepte S durumunda olan bir satır varsa cep diğer işlemcilerin yapacağı yayınları dinler ve eğer yayınlanan veriyi içermekte ise verinin durumunu I yani geçersiz yapar. Eğer cep E durumda bir veri içeriyorsa, diğer işlemcilerde aynı veri üzerinde okuma yapılırsa cep o verinin durumunu S durumuna getirir.

4.2 L2 Önbellek Arabirimi (L2 Cache Interface)

PowerPC 620 mikroişlemcisi yonga üzeri bir L2 cep denetleyicisine sahiptir. L2 denetleyicisi ikincil cebe hızlı erişim sağlar. Denetleyici yol trafiğini azaltarak sistem performansını da etkiler. Çünkü yol isteği sadece L2 de ıskala olduğu durumda yapılır. L2 arabirimi MESI protokolünü gerçekleştirmektedir. L2 veri arabirimi 128 bitliktir, dış etiketlere sahiptir ve 1MB' tan 128 MB'a kadar hızlı statik ramleri (FSRAM) destekler. L2 cebi arabirimi çeşitli tipteki FSRAM'leri destekler ve işlemci saat frekansının yarısı yada üçte biri bir zamanda çalışabilir. L2 arabirimi yazılım tarafından devredışı bırakılabilir.

Veri ve etiket alanları ECC (Error Correction Code) yöntemiyle korunmaktadır. L2 arabirimi üzerindeki ECC düzeltmenin 3 modu bulunmaktadır: özdevimli düzelt, daima düzelt ve hiç düzeltme. Özdevimli düzeltme modunda, veri düzeltilmemiş veri yolunu izler. Düzeltilmemiş veri yolu düzeltilmiş veri yolundan 1 çevrim daha az zaman almaktadır. Bir hata ile karşılaşma durumunda L2 arabirimi devresi otomatik olarak düzeltilmiş veri yoluna anahtarlanmaktadır. Daima düzelt modunda veri daima düzeltilmiş yolu izler. Hiç düzeltme modunda veri düzeltilmemiş veri yolunu izler; bu durumda L2 arabirimi herhangi bir ECC hatası var mı diye kontrol etmez. Tek-bit ECC hataları yazılımlara görünür yazmaçlarda saklanır. Çift-bit ECC hataları da önemsenmemeleri için programlanabilirler.

L2 arabirimi bir yardımcı işlemciyi desteklemek üzere ayarlanabilir. Yardımcı işlemci modu 620'ye yüksek bir bant genişliği arabirimi sağlamaktadır. Yardımcı işlemci modu L2 olsada olmasada etkinleştirilebilir. Ancak L2 olduğu durumda L2'nin elektrik ve zaman kısıtları yardımcı işlemcininkiyle eşlenmelidir. Yardımcı işlemci modunda fiziksel adreslerinin ilk 2 biti "10" olan adreslere giden yükleme ve geri yüklemeler yardımcı işlemciye yönlendirilmektedir. Sistem yolu hareketleri önemsenmez. L2 arabirimi yardımcı işlemci işlemlerinde ECC ve etiket bilgilerini önemsemez.

4.3 Bellek Yönetim Birimleri

Power PC 620 mikroişlemcisi 2 seviyeli bir bellek yönetimi gerçeklemektedir. Birinci seviye bellek yönetimi birimi komut ve veri aktarımları için 64 girişli tam çağrışimsal etkin adresten fiziksel adrese çevirme tamponlarını kullanır. Bu tamponlar ikinci seviye bellek yönetim birimi tarafından yedeklenir. İkinci seviye bellek yönetim birimi 20-girişli tam çağrışimsal bölüm dönüşüm tamponu(segment lookaside buffer(SLB)) ve 128-girişli 2 yollu çağrışimsal kestirme dönüşüm tamponuna(translation lookaside buffer) sahiptir. SLB'nin ilk 16 girişi 32 bitlik işletim sistemlerini desteklemek amacıyla segment yazmacı olarakta işlev gösterir. Bu tampon belleklerin yönetimi ve bellekteki bölüm/sayfa tablolarından tamponların yüklenmesi tamamen donanımsal olarak yapılır.

Bellek yönetim birimi bellek sayfalarının da kontrol bitleri ile korumaktadır. PowerPC mimarisi herbir sayfa için 4 tane kontrol biti desteklemektedir. W: Write Through, I: Caching Inhibited, M: Memory Coherence, G: Guarded Storage.

4.3 Sistem Yolu Arabirimi (System Bus Interface)

PowerPC 620 mikroişlemci yolu, veri ve adres yolu olmak üzere iki ayrı yol kullanır. Herbir yol kendi kontrolüne ve eşlik korunumuna sahiptir. Bu organizasyon veri ve adres yolunun aynı yol olduğu sistemlere göre daha çok pin içersede, sadece adres yolu maksimum adres yolu bant genişliğini sunmaktadır. PowerPC 620, faz kilitlemeli çevrim tekniğini kullanarak saat kayıklığı etkilerini azaltmaktadır ve bu teknoloji sayesinde mikroişlemci çekirdeğinin sistem saatinden daha yüksek frekansta çalışmasını sağlamaktadır. 620 sistem yolu sinyalleri düzenleyici, adres aktarımı, adres durumu-cevap ve veri transferi olarak gruplandırılmaktadır.

Adres yolu iki bileşenden oluşmaktadır. Birinci bileşen adres transferidir ve adres yolu efendisi(master) tarafından sürülmektedir. İkinci bileşen adres durumu ve yanıtıdır. Bu bileşende diğer yol aygıtları tarafından sürülmektedir. Geleneksel tutarlı önbellek mikroişlemci tasarımlarında, adres yolu transfer fazı bütün yol aygıtları adrese cevap verene kadar sürülür. Cep erişim süresi az olan sistemlerde bu yaklaşım yüksek çoklu işlem performansı sağlar.

Adres aktarımı, fiziksel adres, adres yolu etiketi ve WIMG bitlerinden oluşan adres alanı ve adres tipi, adres büyüklüğü alanlarını içermektedir. Eşlik alanı sadece adres alanı değil tüm adres aktarım alanları üzerinedir.

620 sistem yolu, yol aygıtlarının veri işlemlerini ilgili adreslerle ilişkilendirebilmeleri için 8 bitlik etiket mekanizması tanımlar. Etiketleme mekanizması sayesinde yol aygıtına kaynak olan bir veri sistem yolundaki sırasından bağımsız olabilir. 5 bitlik adres tipi alanı sistem yolu işlemlerini sınıflandırmak için kullanılır. Bu işlemler: okuma istekleri, sadece-adres işlemlerini sadece-veri işlemleri izlemektedir; yazma istekleri, adres-veri işlemleri ve kontrol işlemleridir. Kontrol işlemleri sadece-adres işlemleridir ve bir yol aygıtından diğer aygıtta veri aktarımı yaparlar.

PowerPC 620, 40 bitten oluşan adresler kullanmaktadır. Etkin adresler 64 bittir ve bu yüzden 80 bitlik sanal adresleri desteklemektedir. Geniş veri yolu nedeniyle 620 PowerPC ailesinin bir önceki işlemcileriyle pin uyumlu değildir. 604'ün 304 pinine karşılık 620 482 pine sahiptir.

PowerPC 620 veri yolu herbir yol çevriminde 16 baytlık veri döndürebilir. Veri yolu sahibi değiştiği zaman yol çatışmasını önlemek için bir ölü çevrime gerek vardır. Veri yolu herbir 4 sa çevriminde 64 baytlık veri aktarabilir. Yol üzerindeki veri aktarımı 128 bitlik veri ve bayt eşlik alanından oluşur. Veri yolu kontrolü, veri yolu meşgul göstergesi; veri geçerli sinyali de içermektedir.

5. Sonuç

PowerPC 620 64-bit RISC mikro işlemcisi yüksek performanslı mikromimarisi, entegre L2 cep denetçisiyle, yüksek bant genişliği ile uygulama sunucuları ve teknik iş istasyonları için ideal bir çözüm sağlamaktadır. Ayrıca simetrik çoklu işlemleri desteklemek içinde MESI protokolünü gerçeklemektedir. 620 mikro işlemcisi performans güdümlü uygulamalar için tasarlanmıştır. Dolayısıyla işlemcinin performans ölçeklenirliği ve donanım konfigürasyonu bilimsel ve iş uygulamaları için multimedya sistemlerin tasarımında büyük esneklik sağlamaktadır.

6. Kaynaklar

1. David Levitan, Thomas Thomas, Paul Tu, The PowerPC 620 Microprocessors
2. Trung A. Diep, Christopher Nelson, John Paul Shen, Performance Evaluation of the PowerPC 620 Microarchitecture
3. John K. Yuan, Michael P. Taborn, David C. Lee, Albert Tsay, The PowerPC 620 Microprocessor in Distributed Computing
4. A High Performance Bus and Cache Controller for PowerPc Multiprocessing Systems, Michael S. Allen, W. Kurt Lewchuk and John D. Coddington
5. [http://studies.ac.upc.edu/ETSETB/SEGP/processors/ppc620%20\(mpr\).pdf](http://studies.ac.upc.edu/ETSETB/SEGP/processors/ppc620%20(mpr).pdf)
6. <http://www.byte.com/art/9411/sec8/art5.htm>
7. <http://tr.wikipedia.org/wiki/PowerPC>