

AMD Opteron 64bit İşlemci Mimarisi

Özer Özaydın
704051012

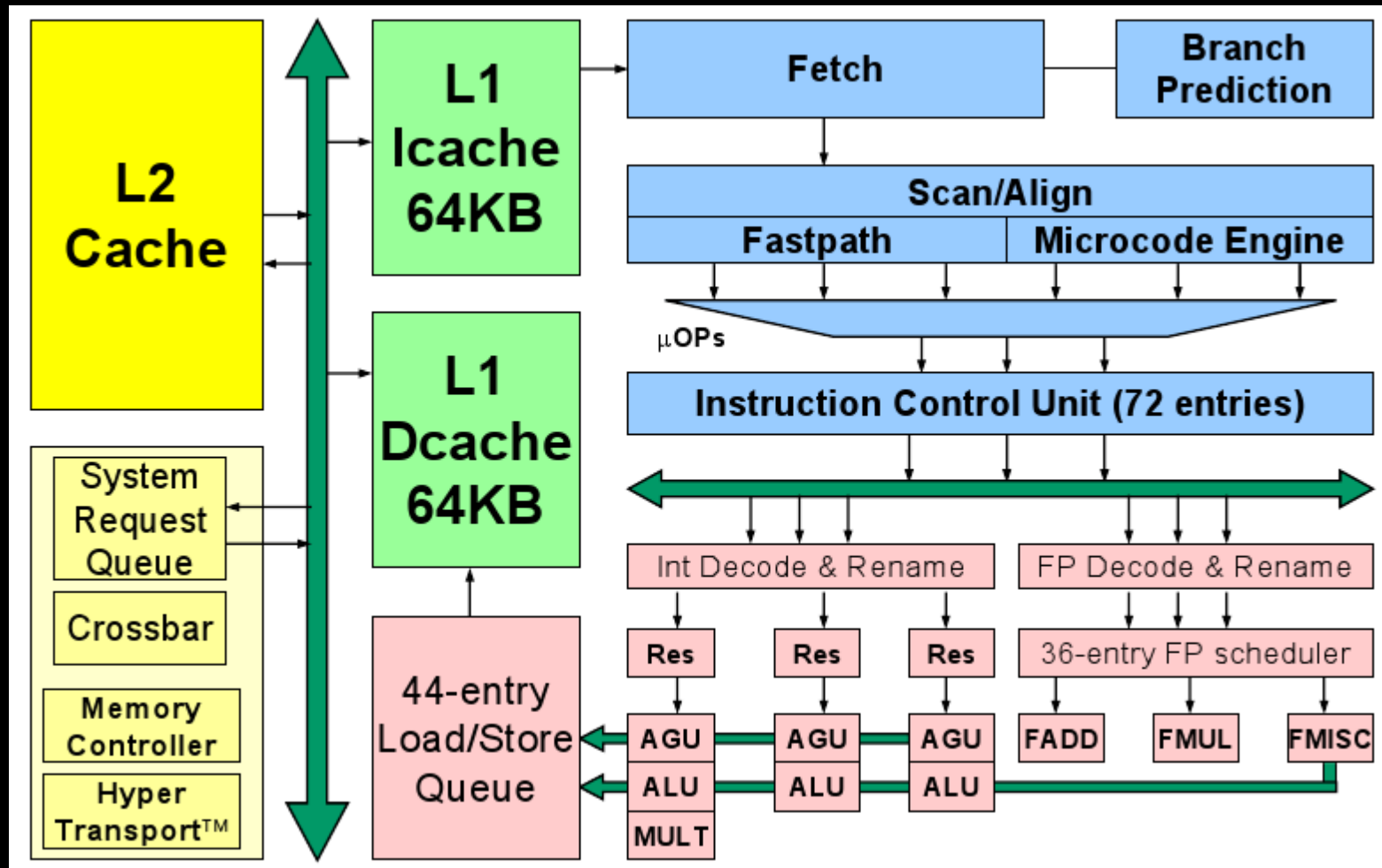
Genel Özellikler

- AMD'nin K8 mimarisi
 - x86-64 komut desteđi
 - Gecikme cezasız 32bit komut desteđi
 - 3 yollu süperskaler
 - 40bit fiziksel – 48bit sanal adres uzayı
 - Çoklu işlemci uygulamalarına uygunluk
-
-

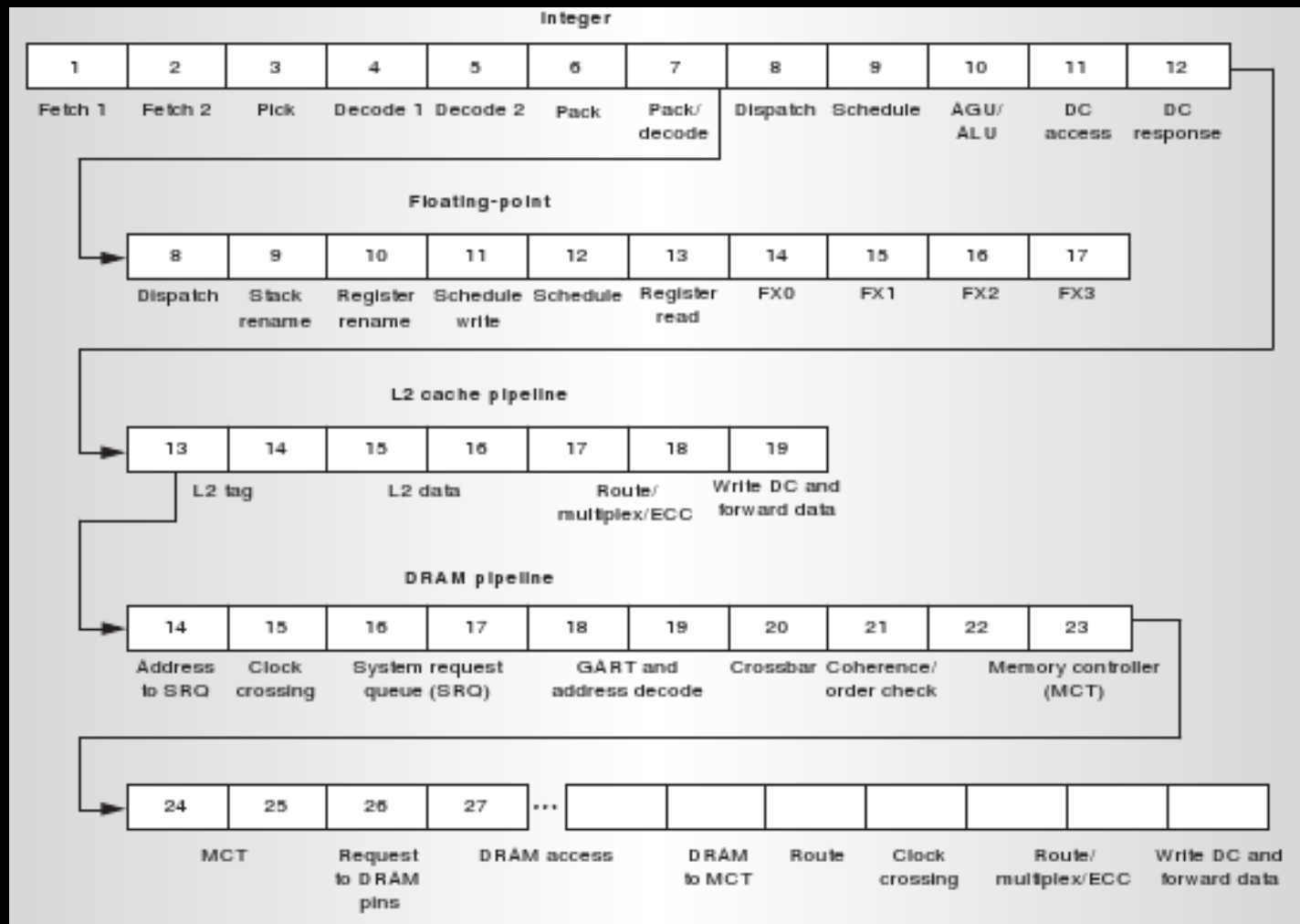
Performans Arttırıcı Özellikler

- Gelişmiş Dallanma Öngörüsü
 - Yerleşik Bellek Kontrolörü
 - HyperTransport veri yolu
 - Gelişmiş TLB yapısı
-
-

Çekirdek Yapısı

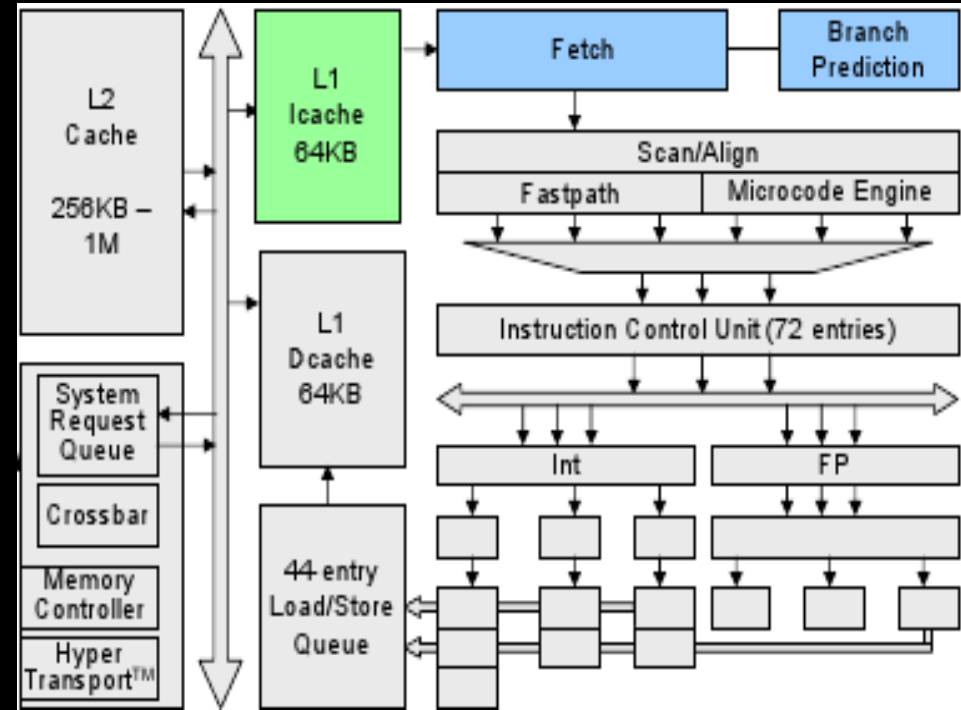


İş-Hattı



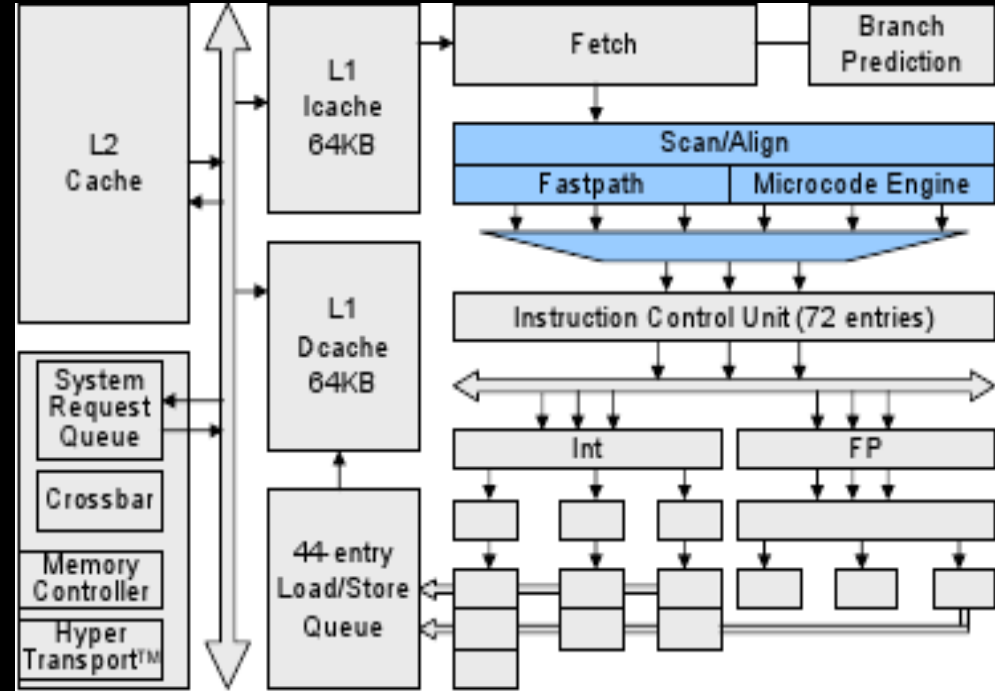
Komut Çekilmesi

- Her çevrimde 16bayt komut satırı
- 2-yollu 64kbayt kümeli çağrışımsal komut cep belleği
- 64bayt blok boyutu
- Komut ön-çözme
 - Bazı dallanmalar çözülür
 - Komut başlangıç yerleri işaretlenir
- Dallanma Öngörüsü



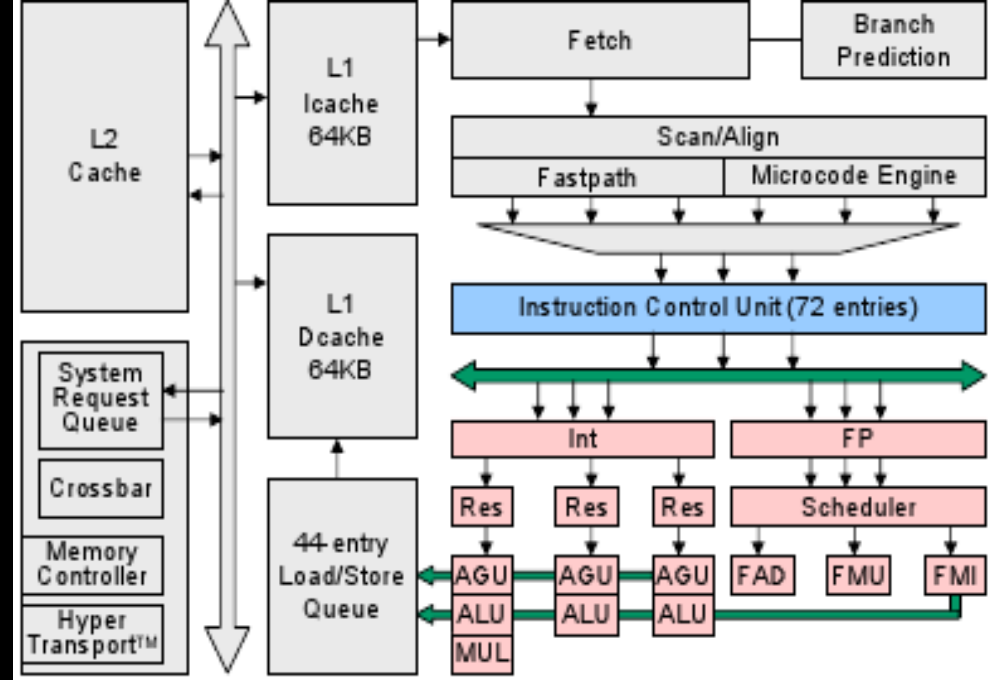
Arama – Hizalama (Scan-Align)

- x86 komutları sabit boyutlu mikroOPlara (uOP) dönüştürülür
- Her çevrimde 3 uOP tamsayı/kayan-nokta sıralayıcılarına dağıtılır
- FastPath: 1-2 uOPluk komutlar donanımla çözülür
- MicroCode: 2'den fazla olanlarda ROM'dan mikrokod dizisi çekilir



Yürütme Birimleri

- 3 tamsayı birimi
- 3 adres hesaplama birimi
- 3 kayan-nokta birimi
- Tamsayı:
 - 64bit veri yolu
 - Tek çevrim 32/64bitlik basit işlem
 - 3 çevrim 32bit çarpma
 - 5 çevrim 64bit çarpma
- Kayan-nokta:
 - x87, MMX, 3DNow, SSE, SSE2



Gelişmiş Dallanma Öngörüsü

- Yerel Geçmiş Bilgisi – Dallanma Seçicileri
- Çekilen her komut satırı için tutulur
- Bilgi L2 cep bellekte bulunur
- Karar bazı durumlarda Genel Geçmiş bilgisine bırakılır

16 byte line of instruction code															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
BS0		BS1		BS2		BS3		BS4		BS5		BS6		BS7	

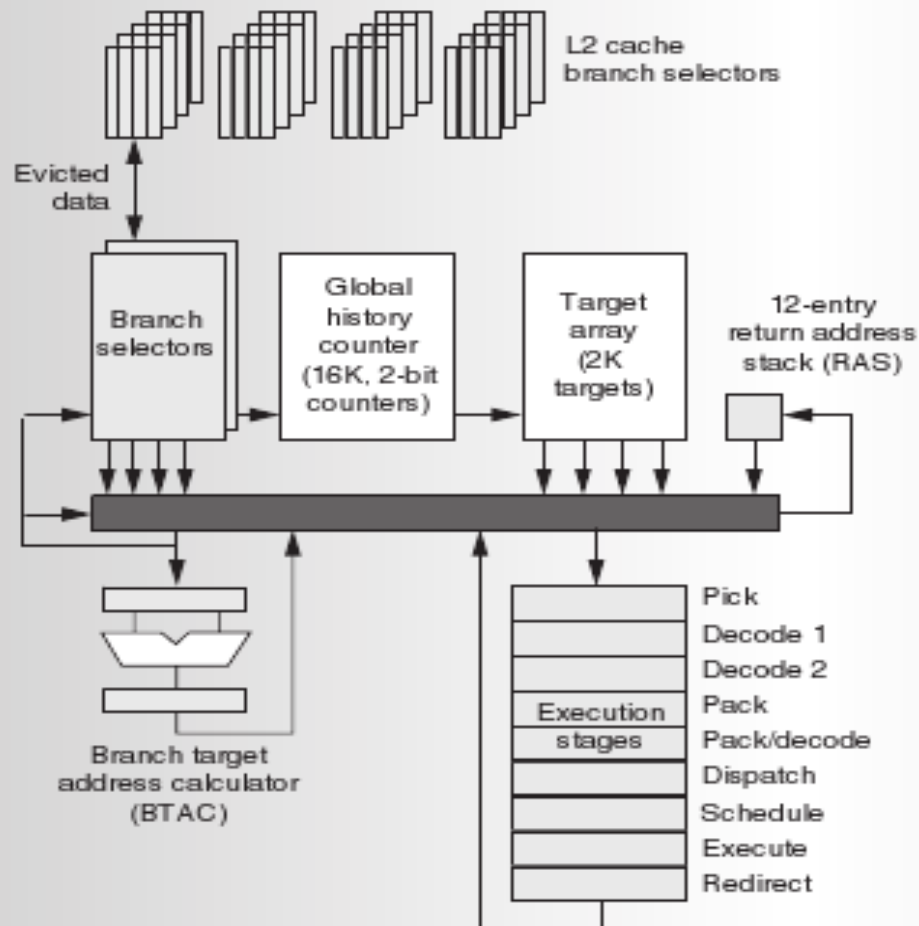
Gelişmiş Dallanma Öngörüsü - 2

- Genel Geçmiş Bilgisi Tablosu
 - 8 bitlik geçmiş dallanma örüntüsü + dallanma adresinin 4 biti = 12bit tablo erişim indisi
 - Her kod satırı için 4 tahmin yapılabilir (2 bit)
 - Toplamda 14bitlik tahmin adresi = 16384 tablo satırı
-
-

Dallanma Öngörücüsü Adres Hesaplayıcı (BTAC)

- Dallanma Hedef Tamponundan gelen adresi kontrol eder
 - Yanlış adres hesaplama cezasını azaltır
 - 8-32bitlik kayıklığa sahip atlama ve çağırma fonksiyonlarıyla çalışır
-
-

Gelişmiş Dallanma Öngörüsü - 3



(a)

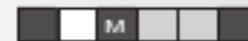
Sequential fetch: occurs every cycle



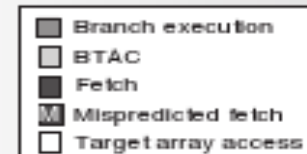
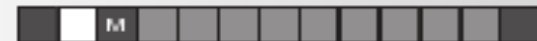
Predicted fetch: one-cycle fetch bubble to access branch target array



Branch target address calculator fetch: two cycles to recover from mispredicted fetch



Mispredicted fetch: nine cycles to recover from a mispredicted fetch



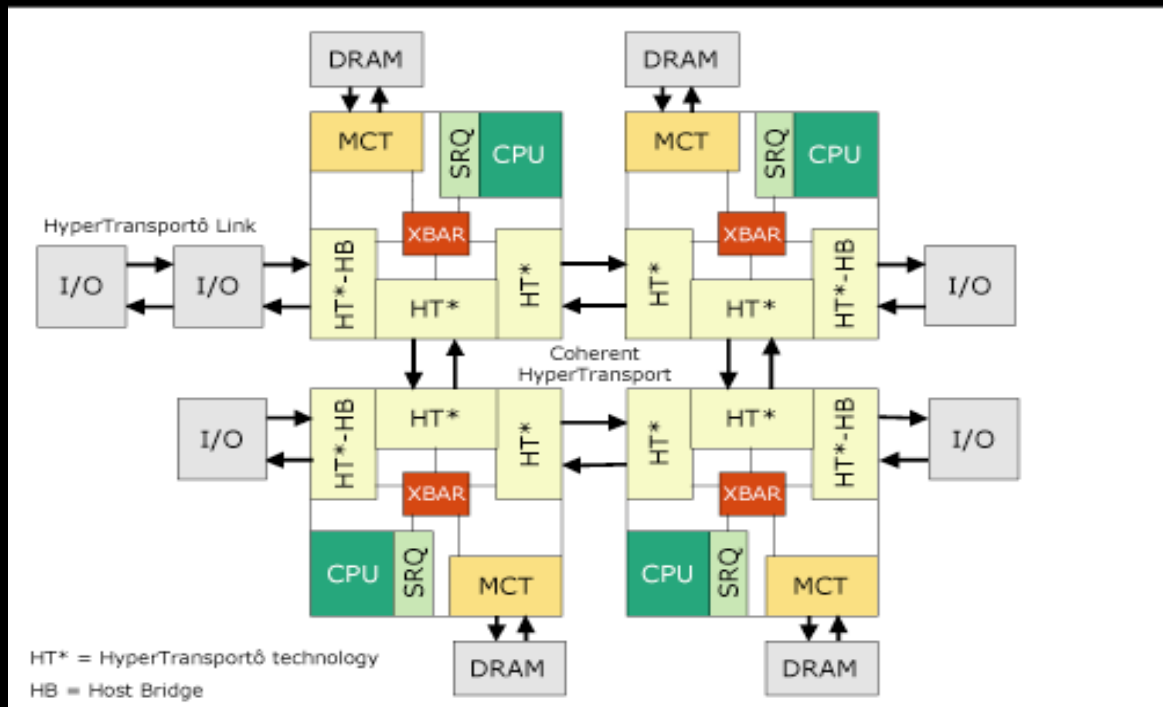
(b)

Yerleşik Bellek Yöneticisi

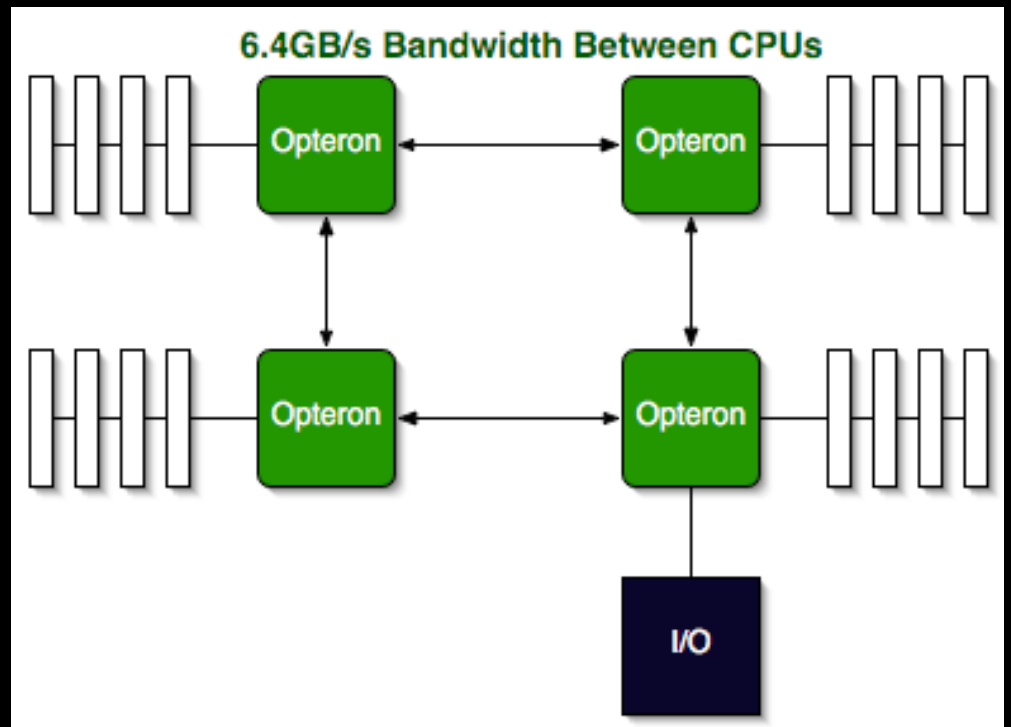
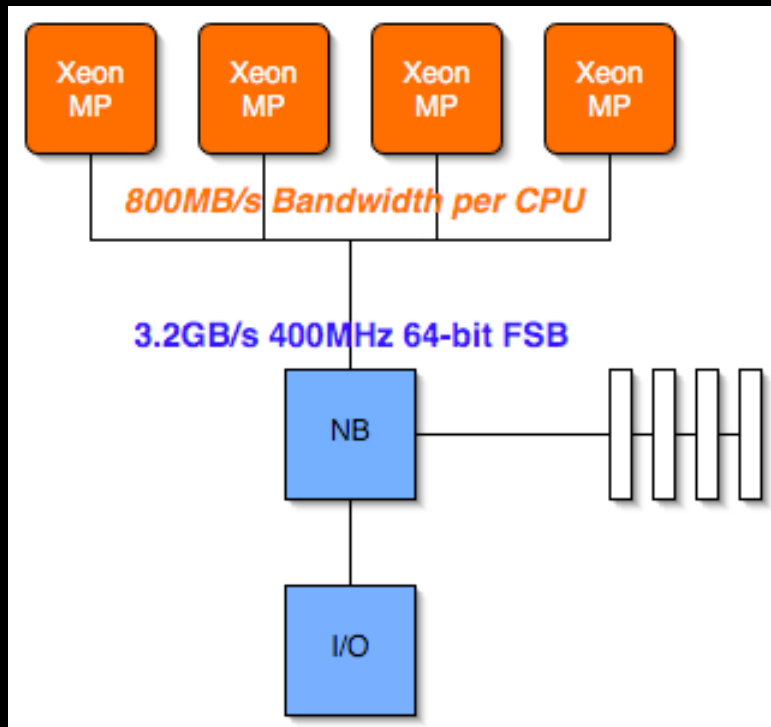
- İşlemci belleğe “northbridge” üzerinden değil doğrudan erişir
 - Gecikme azaltılır
 - Bant genişliği artar, 5.3GB/s
-
-

Yerleşik Bellek Yöneticisi - 2

CPU With Integrated Northbridge AMD



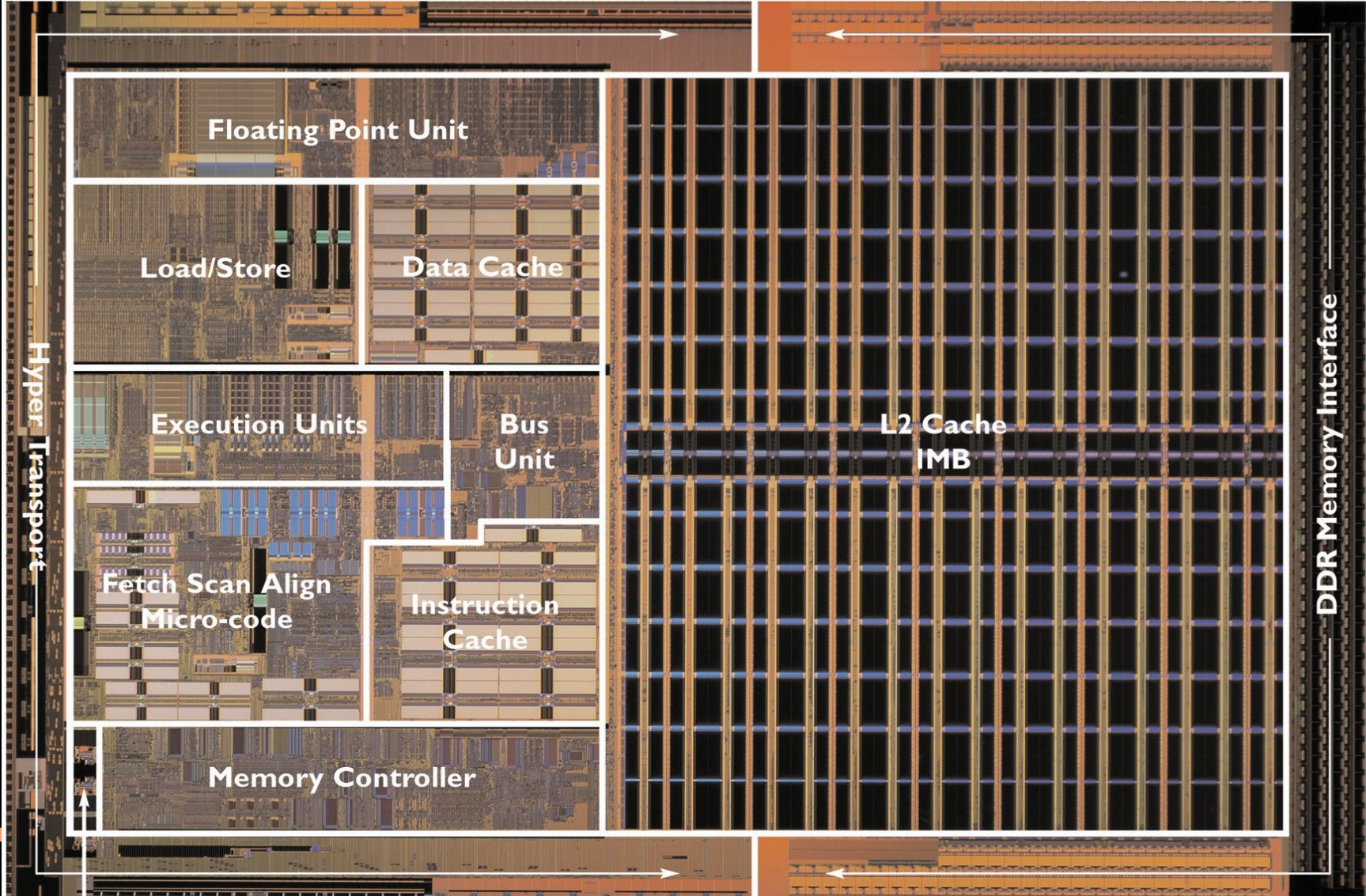
Intel - AMD



TLB Flush Filter

- Sanal -> Fiziksel adres çevrimi
 - Bağlam değiştirmede boşaltılır, bazen gereksiz!!
 - TLB FF TLBde bulunan dönüşümlerin bellekteki adreslerin değişip değişmediğini kontrol eder (Region Table).
 - Gereksiz TLB boşaltılmasını engellemiş olur.
-
-

Tek Çekirdek



Referanslar

- [1] Understanding the detailed Architecture of AMD's 64 bit Core,
http://chip-architect.com/news/2003_09_21_Detailed_Architecture_of_AMDs_64bit_Core.html
 - [2] US-PATENT 6510508, Translation lookaside buffer flush filter,
<http://www.freepatentsonline.com/US6510508.html>
 - [3] Software Optimization Guide for AMD64 Processors,
http://www.amd.com/us-n/assets/content_type/white_papers_and_tech_docs/25112.PDF
 - [4] Keltcher, C.N., McGrath K.J., Ahmed, A. & Conway, P. (2003). The AMD Opteron Processor for Multiprocessor Servers. IEEE Computer Society.
 - [5] Weber, F. (2002). Past, Present and Future Hammer in Context. Presented in AMD Developer Symposium in 2002.
 - [6] http://www.amd.com/us-en/Processors/ProductInformation/0,,30_118_8796_15223,00.html
-
-