

## 4. CMOS GEÇİŞ İLETKENLİĞİ KUVVETLENDİRİCİSİ, OTA

İşlemsel kuvvetlendiricinin gerilim kontrollü gerilim kaynağı özelliği göstermesi, çıkış direncinin çok küçük olması ve kazancın

$$K_V = \frac{V_o}{V_{I1} - V_{I2}} \quad (4.1)$$

bağıntısıyla tanımlanmasına karşılık, geçiş iletkenliği kuvvetlendiricisi gerilim kontrollü akım kaynağı özelliği gösterir. Çıkış empedansı yüksektir ve tanım bağıntısı

$$G = \frac{I_o}{V_{I1} - V_{I2}} \quad (4.2)$$

şeklindedir.

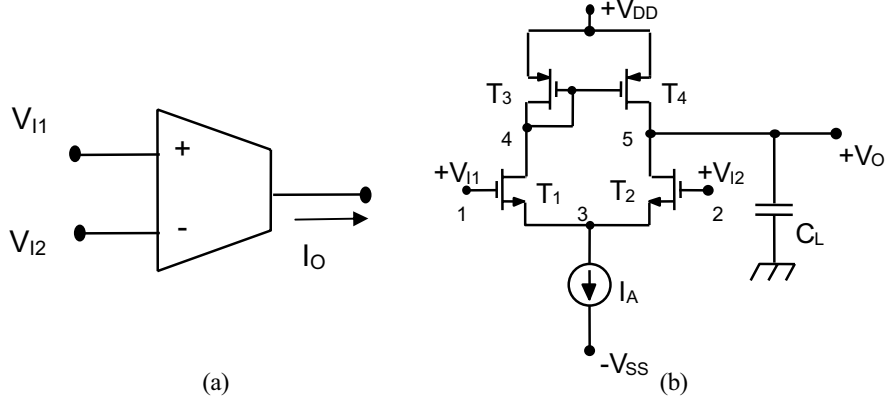
### 4.1. CMOS OTA tasarımı

En yaygın kullanım alanı bulan OTA yapıları, basit OTA, simetrik OTA ve Miller OTA olarak isimlendirilen geçiş iletkenliği kuvvetlendiricisi yapılarıdır. Bu bölümde, ilk önce, yukarıda isimleri verilen üç temel OTA yapısı ele alınarak incelenecektir. Daha sonra, zıt fazlı ortak kaynaklı çiftlerle kurulan OTA yapısı (ACSP OTA: Anti-Phase Common Source Pair OTA), çapraz bağlamalı OTA, lineerleştirilmiş OTA gibi özel yapılar ele alınacaktır.

#### 4.1.1. Basit OTA yapısı

OTA devre sembolü Şekil-4.1a'da görülmektedir. En basit OTA yapısı, Şekil-4.1b'de verilen kendiliğinden kutuplamalı aktif yüklü CMOS fark kuvvetlendiricisi yardımıyla kurulabilir.  $T_1$  ve  $T_2$  n kanallı tranzistorları eş tranzistorlardır, bunların (W/L) oranları eşdir. Aynı özellikler p kanallı  $T_3$ - $T_4$  çifti için de geçerlidir. Yapıdaki tüm akım seviyeleri  $I_o$  akım kaynağının akımı ile belirlenir. Bu akım sükunette eş olarak iki kola dağılmaktadır. Yapıda tüm kaynak uçları, tranzistorların tabanına bağlıdır, bu şekilde gövde etkisi elimine edilmiş olur.

4.2



Şekil-4.1. a) OTA devre sembolü, b) basit CMOS geçiş iletkenliği kuvvetlendiricisi.

Basit CMOS OTA'nın eğimi hesaplanırsa, alçak frekanslarda

$$G = \sqrt{k_n' \cdot I_A \left( \frac{W}{L} \right)_1} \quad (4.3)$$

bulunur. Fark edilebileceği gibi, OTA'nın eğimi  $I_0$  kutuplama akımı ile değiştirilebilmektedir; bu ise bir OTA'dan beklenen bir özelliktir. Basit OTA'nın çıkış direnci

$$r_o = r_{o2} // r_{o4} \quad (4.4)$$

bağıntısıyla verilebilir. Buna göre, yapının çıkışın yüksüz durumundaki gerilim kazancı

$$K_V = G \cdot r_o \quad (4.5)$$

olur. Her bir tranzistorun  $r_o$  çıkış direnci, tranzistorun Early gerilimi ve savak akımı cinsinden belirlenir. Dğümlere gelen etkin dirençler, frekans cevabını belirlemede önemli bir rol oynarlar.

4 düğümü ile referans ucu arasına gelen eşdeğer direnç,  $T_3$  tranzistorunun diyot bağlı olması nedeniyle

$$R_{n4} = \frac{1}{\sqrt{k_p' \cdot I_A \left( \frac{W}{L} \right)_4}} \quad (4.6)$$

olur. Bu bağıntıda  $(W/L)_4$  büyüklüğü,  $T_3$  ve  $T_4$  tranzistorlarının  $(W/L)$  oranı,  $k_p'$  büyüklüğü ise PMOS tranzistorların proses eğim parametresidir.

3 düğümü ile referans arasına gelen direnç

### 4.3

$$R_{n3} = \frac{I}{2 \cdot g_{m1}} \quad (4.7)$$

değerindedir. Bu düğüm, yapının ortak işaret özellikleri açısından etkili olur. Yapının fark işaret davranışına, kazanç-band genişliği çarpımına ve yükselme eğimine herhangi bir etkisi olmamaktadır.

#### Basit CMOS OTA'nın kazanç-band genişliği

Basit CMOS OTA yapısında sadece iki düğümdeki, yüksek dirençli 4 ve 5 düğümlerindeki kapasiteler baskın kutbu belirleyebilirler. Yapı, genelde, iki kutuplu bir sistem olarak düşünülebilir. Bu düğümlere ilişkin etkin direnç değerleri  $R_{n4} \ll R_{n5}$  şeklindedir. Bu nedenle,  $C_{n5}$  etkin kapasitesi  $C_{n4}$  etkin kapasitesine göre çok daha düşük frekanslı bir kutup oluşturur ve bu kutup baskın kutup olur.  $R_{n5} = r_o$  şeklinde yapının çıkış direncine eşit olduğundan,  $C_L$  yük kapasitesinin de dikkate alınmasıyla, baskın kutup

$$f_d = \frac{I}{2\pi r_o (C_{n5} + C_L)} \quad (4.8)$$

biçiminde ifade edilebilir. Burada

$$C_{n5} = C_{gd4} + C_{db4} + C_{gd2} + C_{db2}$$

şeklinde verilmektedir. Yapının kazanç-band genişliği çarpımı hesaplanırsa

$$GBW = K_V \cdot f_d = \frac{g_{m1}}{2\pi (C_{n5} + C_L)}$$

$$GBW = \frac{\sqrt{k_n' I_A \left(\frac{W}{L}\right)_l}}{2\pi (C_{n5} + C_L)} \quad (4.9)$$

bulunur. Bu bağıntının geçerli olabilmesi için  $f < GBW$  için frekans eğrisinin düşme eğimi -20dB/dek olmalıdır. Başka bir deyişle, baskın olmayan kutup frekansının minimum değeri GBW'de olmalıdır. Bu, kararlılığın sağlanması açısından gereklidir; böylece, faz payı 45° olur.

#### 4.4

##### Kararlılık

Diğer düğümdeki, 4 düğümündeki eşdeğer elemanlardan ileri gelen baskın olmayan kutup

$$f_{nd} = \frac{1}{2\pi R_{n4} C_{n4}} \quad (4.10)$$

biçiminde ifade edilir. Bu bağıntıda

$$R_{n4} = \frac{1}{g_{m4}}$$

$$C_{n4} = C_{gd1} + C_{db1} + C_{db3} + C_{gs3} + C_{gd4} \cdot (1 + g_{m4} \cdot r_o)$$

olur. 45° faz payını sağlamak üzere  $f_{nd} = \text{GBW}$  alınır

$$\frac{g_{m4}}{C_{n4}} = \frac{g_{m1}}{C_{n5} + C_L}$$

olur.  $k_n' = a \cdot k_p'$  olduğu kabul edilirse

$$\frac{C_L + C_{n5}}{C_{n4}} = \sqrt{\frac{a \left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_4}}$$

yahut

$$\left(\frac{W}{L}\right)_4 = a \left(\frac{W}{L}\right)_1 \left(\frac{C_{n4}}{C_L + C_{n5}}\right)^2 \quad (4.11)$$

bulunur. Elde edilen bağıntı, kararlılık için gerekli olan minimum  $C_{Lmin}$  yük kapasitesi değerini vermektedir.

Dört temel büyüklük,  $I_O$  akımı,  $C_L$  yük kapasitesi,  $(W/L)_1$  ve  $(W/L)_4$  oranları performansı belirlemektedir. Verilen bir  $I_A$  akımı için GBW optimize edilsin.  $C_L$  veya  $(W/L)_1$  büyüklükleri serbest değişken olarak alınabilir. Ancak, bu durumda  $(W/L)_4$  oranı bağımsız seçilemez; zira, bağıntılardan fark edilebileceği gibi, bunun değeri  $(W/L)_1$  ile belirlidir.  $C_L$  serbest seçilirse, GBW büyüklüğü  $(W/L)_1^{1/2}$  ile orantılı olur. Her  $(W/L)_1$  oranı için bir  $(W/L)_4$  oranı bulunur.

## 4.5

$(W/L)_1$  ve  $(W/L)_4$  oranlarının serbest olarak seçilmeleri durumunda,  $C_L$  yük kapasitesinin alabileceği minimum değer buna göre belirlenebilir. Fark edilebileceği gibi,  $C_L$  yük kapasitesi, aynı zamanda, kompanzasyon kapasitesi görevini üstlenmektedir.

### Maksimum GBW için optimizasyon

$C_{n4}$  ve  $C_{n5}$  kapasiteleri gerçekte boyutlara bağlı kapasitelerdir.  $(W/L)$  oranı artarsa, kapasitenin de değeri artar. Basit bir model kullanılarak, düğüm kapasiteleri boyuta bağlı biçimde ifade edilebilirler:

$$C_n = C_{n0} + k_1 \cdot (W/L)_1 + k_4 \cdot (W/L)_4 \quad (4.12)$$

$C_{n4}$  ve  $C_{n5}$  kapasiteleri bu şekilde ifade edilerek bağıntıda yerlerine konurlarsa

$$r_1 = (W/L)_1, \quad r_4 = (W/L)_4 \\ k_4 = k_1, \quad C_{L'} = C_L + C_{n0}$$

olmak üzere, kazanç-band genişliği çarpımı

$$GBW = \frac{\sqrt{k_n' I_A}}{2\pi} \cdot \frac{\sqrt{r_1}}{C_{L'} + k_1(r_1 + r_4)} \quad (4.13)$$

şekline getirilebilir.

$r_1$  büyüklüğünün düşük ve yüksek değerli olması sınır durumları incelenir.

a-  $r_1$  büyüklüğü düşük değerli ise  $r_4$  de düşük değerli olur. Böylece kazanç-band genişliği çarpımı

$$GBW = \frac{\sqrt{k_n' I_A}}{2\pi} \cdot \frac{\sqrt{r_1}}{C_{L'}} \quad (4.14)$$

biçiminde yazılabilir. Bu durumda  $(W/L)_1^{1/2}$  arttıkça, GBW de artar.

b-  $r_1$  büyüklüğü yüksek değerli ise, GBW

$$GBW = \frac{\sqrt{k_n' I_A}}{2\pi} \cdot \frac{\sqrt{r_1}}{k_1(r_1 + r_4)} \quad (4.15)$$

şeklinde ifade edilebilir.  $r_4 = b \cdot r_1$  için

4.6

$$GBW = \frac{\sqrt{k_n' I_A}}{2\pi} \cdot \frac{1}{(b+1) \cdot k_1 \sqrt{r_1}}$$

olur. Bu durumda  $(W/L)_1^{1/2}$  arttıkça, GBW azalır. Bu iki sınırın bir ara değeri bulunacağı ve optimum bir GBW çarpımı elde edileceği açıktır. Bunun için iki durumun eşitlendiği  $(W/L)_1 = (W/L)_{1m}$  durumu araştırılırsa

$$\left(\frac{W}{L}\right)_{1m} = \frac{C_L}{(b+1) \cdot k_1}$$

elde edilir. Bu noktada maksimum kazanç-band genişliği çarpımı

$$GBW = \frac{1}{2} \frac{\sqrt{k_n' I_A}}{2\pi} \cdot \frac{1}{\sqrt{(b+1) \cdot k_1 C_L}}$$

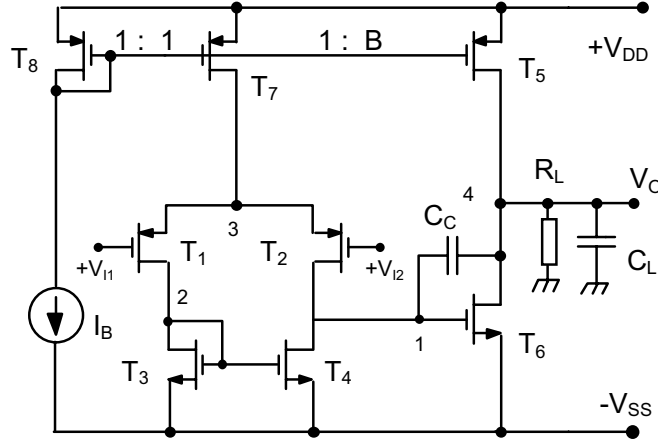
olur. Bu maksimum  $(I_A)^{1/2}$  ile doğru,  $(C_L)^{1/2}$  ile de ters orantılıdır. Büyük  $C_L$  değerleri için giriş tranzistorları daha büyük tutulur. Yapının yükselme eğimi

$$SR = \frac{I_A}{C_L + C_{n5}}$$

olur. İlk bakışta yükselme eğimi simetrik gözükmeyle birlikte, diğer düğümün kapasitesi bu simetriyi bozar.

#### 4.1.2. Miller OTA

CMOS tekniği ile gerçekleştirilen ve Miller OTA olarak isimlendirilen geçiş iletkenliği kuvvetlendiricisi yapısı Şekil-4.2'de görülmektedir. Yapı iki kazanç katından oluşur. İlk kat fark kuvvetlendiricisidir ve PMOS tranzistorlarla kurulmuştur, ikinci kat ise CMOS evirici olarak kurulmuştur ve  $T_3$  tranzistoru aktif yük işlevini yerine getirir. Bunun çıkışı,  $C_C$  kompanzasyon kapasitesi ile fark kuvvetlendiricisinin çıkışına bağlanmıştır. Miller kompanzasyonu uygulandığından, yapı Miller OTA olarak da isimlendirilmektedir.



Şekil-4.2. Miller geçiş iletkenliği kuvvetlendiricisi (Miller OTA).

Yapı bağımsız  $I_B$  akım kaynağı ile kutuplanmıştır.  $T_7$  ve  $T_8$  tranzistorları eş tranzistorlardır; fark kuvvetlendiricisinden de toplam olarak  $I_B$  akımı akar.  $T_5$  tranzistoru çok daha büyük boyutlu olduğundan, ikinci katın akımı çok daha yüksek değerlidir.

Devrenin katlarının gerilim kazancı

$$g_L' = g_L + g_{o5} + g_{o6} \quad (4.16)$$

olmak üzere

$$K_{V10} = \frac{g_{m1}}{g_{o2-4}} \quad (4.17)$$

$$K_{V20} = -\frac{g_{m6}}{g_L'} \quad (4.18)$$

bağıntılarıyla tanımlanmıştır. Böylece toplam kazanç

$$K_{VO} = K_{V10} \cdot K_{V20} = \frac{g_{m1}}{g_{o2-4}} \cdot \frac{g_{m6}}{g_L'} \quad (4.19)$$

olur.

Miller OTA'nın geçiş iletkenliği ise

$$G = \frac{g_{m1}}{g_{o2-4}} \cdot g_{m6} \quad (4.20)$$

bağıntısıyla verilebilir.

$C_C$  kompanzasyon kapasitesi yokken kutuplar hesaplanırsa, üç kutuplu bir sistem oluşacağı fark edilebilir. (1) düğümü en yüksek empedanslı düğümdür ve çoğunlukla baskın kutup bu düğümden ileri gelir. Bu düğüme ilişkin kutup

$$C_{n1} = C_{gd2} + C_{db2} + C_{gd4} + C_{db4} + C_{gs6} + C_{gd6} \quad (4.21)$$

olmak üzere

$$f_{p1} = \frac{g_{o2-4}}{2\pi \cdot C_{n1}} \quad (4.22)$$

şeklindedir. 2. kutup (2) düğümünün etkisiyle oluşur ve

$$C_{n2} = C_{gs3} + C_{db3} + C_{gs4} + C_{gd4} + C_{gd1} + C_{db1} \quad (4.23)$$

olmak üzere

$$f_{p2} = \frac{g_{m3}}{2\pi C_{n2}} \quad (4.24)$$

biçimindedir. Üçüncü kutup çıkış düğümünde oluşur ve

$$C_{n4} = C_{gd5} + C_{db5} + C_{db6} \quad (4.25)$$

olmak üzere

$$f_{p4} = \frac{g_L'}{2\pi \cdot (C_L + C_{n4})} \quad (4.26)$$

bağıntısıyla verilir. (2) düğümü 0 dB seviyesinin altında etkilidir. Ancak, diğer iki kutup birbirine yakın konumdadır. Bu nedenle faz payı negatif ve devre kararsız olur. Kompanzasyon kapasitesi ile faz payı  $FP = 60^\circ$  civarına getirilir. Bu yapıldığında  $f_{p1}$  çok daha baskın olur ve -20dB/dek'lık düşme eğimi elde edilir.  $C_C$  ile oluşturulan baskın kutup

$$BW = f_{3dB} = \frac{g_{o2-4}}{2\pi K_{V20} \cdot C_C} \quad (4.27)$$

ve kazanç-band genişliği de

$$GBW = \frac{g_{m1}}{2\pi C_C} \quad (4.28)$$

olur. Band genişliği şöyle de yazılabilir :



$$BW = \frac{g_{o2-4}}{2\pi K_{V2O} C_C} = \frac{g_{o2-4} g_L'}{2\pi g_{m6} C_C}$$

$$BW = \frac{g_{m1}}{2\pi K_{VO} C_C} = \frac{GBW}{K_{VO}}$$

(4) düğümünden ileri gelen baskın olmayan kutup

$$f_{nd} = \frac{g_{m6}}{2\pi C_L'} \cdot \frac{1}{1 + C_{n1}/C_L + C_{n1}/C_C}$$

olur.  $C_L$  ve  $C_C \gg C_{n1}$  olduğundan

$$f_{nd} = \frac{g_{m6}}{2\pi C_L'}$$

elde edilir. Yüksek frekanslarda  $C_C$  kısadevre özelliği gösterdiğinden, çıkış direnci rezistif ve  $1/g_{m6}$  olur. Bu durumda  $f_{nd} > GBW$  dir ve faz payı da

$$FP = 90^\circ - \arctan(GBW / f_{nd}) \quad (4.29)$$

şeklindedir.

### Yükselme eğimi

Birinci dereceden bir yaklaşımla, sadece  $C_C$  nin etkisi bulunduğu varsayımından hareketle yükselme eğimi için

$$SR = \frac{I_B}{C_C} \quad (4.30)$$

bağıntısı verilebilir. İkinci dereceden yaklaşımda  $C_L$  nin dolup boşalması da dikkate alınmaktadır.  $C_L$  yük kapasitesinin boşalması sırasında sorun yoktur; zira,  $T_6$  tranzistoru yeteri kadar büyük akım akıtabilir.  $C_L$  kapasitesi  $T_5$  üzerinden  $I_5 - I_B$  akımıyla dolar, zira  $I_B$  kadar bir akım  $C_C$  üzerinden akacaktır. Böylece

$$SR^+ = \frac{I_5 - I_B}{C_L} \quad (4.31)$$

olur. Bu iki büyüklükten küçük olanı yükselme eğimi olarak alınır.

Bir OTA'dan beklenen temel özelliklerden biri de  $G_m$  geçiş iletkenliğinin  $I_B$  kontrol akımıyla belirlenmesidir. Bu özelliğin Miller OTA'da sağlanıp sağlanmadığı

#### 4.10

araştırılsın. Yapının geiş iletkenliđi daha nce (4.20) bađıntısı ile verilmiřti. Bu bađıntıda

$$\begin{aligned}g_{m1} &= \sqrt{k_p' \cdot I_B \cdot \left(\frac{W}{L}\right)_1} \\g_{m6} &= \sqrt{2 \cdot k_n' \cdot B \cdot I_B \cdot \left(\frac{W}{L}\right)_6} \\g_{o2.4} &= \frac{I_B}{2} \cdot (\lambda_N + \lambda_p)\end{aligned}$$

řeklinde-dir. Bu byklkler eđimi veren (4.20) bađıntısında yerlerine konursa

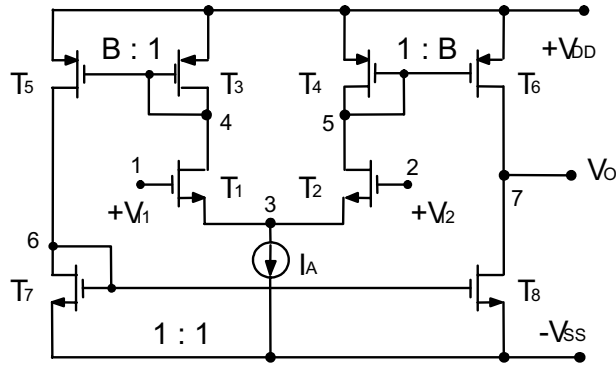
$$G_m = \frac{2}{(\lambda_N + \lambda_p)} \cdot \sqrt{2 k_n' \cdot k_p' \cdot B \cdot \left(\frac{W}{L}\right)_1 \cdot \left(\frac{W}{L}\right)_6} \quad (4.32)$$

bađıntısı elde edilir. Buna gre Miller geiş iletkenliđi kuvvetlendiricisinde eđim kutuplama akımından bađımsız çıkmaktadır. Bađıntıdan fark edilebileceđi gibi, kuvvetlendiricinin eđimi, fiziksel byklklerle geometri tarafından belirlenmekte ve sabit deđerli olmaktadır. Yapının eđiminin, dolayısıyla gerilim kazancının yksek olmasına karřılık, eđiminin akımla kontrol edilmesi zelliđi bulunmamakta, bu da Miller geiş iletkenliđi kuvvetlendiricisinin, kutuplama akımıyla eđimin deđiřtirilmesine dayanılarak akort edilen aktif OTA-C szgeleri gerekleřtirilmesine uygun dřmemesine yol amaktadır. Miller OTA'dan, ođunlukla, sonuna bir ıkıř katı bađlanarak iřlemsel kuvvetlendirici gerekleřtirilmesi amacıyla yararlanılmaktadır. Aktif szge uygulamaları iin ise, ařađıda ele alınacak olan simetrik OTA yapısı daha uygun olmaktadır.

#### 4.1.3 Simetrik CMOS OTA yapısı

Simetrik CMOS OTA yapısı Őekil-4.3a 'da verilmiřtir. Bu yapı geniř bandlı olması nedeniyle yksek frekanslı aktif szgelerin ve osilatrlerin gerekleřtirilmesine son derece elveriřli olmaktadır.  $I_A$  kontrol akımı yardımıyla OTA eđimi deđiřtirilebilir; bylece szgecin akort frekansını ayarlamak mmkn olur. Devrenin ıkıř direncinin yksek olması istenirse, yapıda kaskod akım aynaları

kullanılır. Bu şekilde gerçekleştirilen CMOS simetrik kaskod OTA yapısı da Şekil-4.3b'de görülmektedir. Bu devrenin çıkış direnci ve çıkış kapasitesi hariç, diğer özellikleri (eğim, akım sınırları,vb.) düz akım aynalı simetrik OTA yapısı ile aynıdır. Küçük işaret eşdeğer devresi kullanılarak OTA'nın çıkış direnci hesaplanırsa, çıkış direncinin, düz akım aynası ile gerçekleştirilen basit OTA'ya göre  $1+g_m r_o$  kadar daha büyüdüğü görülür.



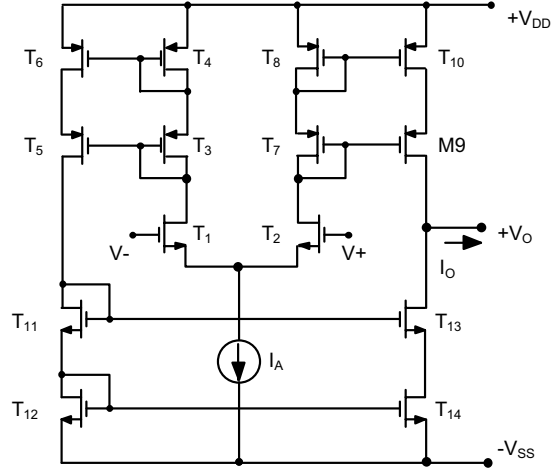
Şekil-4.3a. Simetrik CMOS geçiş iletkenliği kuvvetlendiricisi ( simetrik CMOS OTA).

Şekil-4.3a'daki yapıda  $T_1$ - $T_2$  transistörleri bir fark kuvvetlendiricisi oluştururlar. Bunların çıkış akımları ile diyot bağlı  $T_3$  ve  $T_4$  PMOS transistörleri sürülmektedir. Diyot bağlı  $T_3$  ve  $T_4$  transistörlerinin akımları,  $(W/L)$  oranları diyotların  $B$  katı olan  $T_5$  ve  $T_6$  transistörleri yardımıyla  $B$  çarpanı ile çarpılıp çıkışa yansıtılmaktadır.

### Simetrik OTA'nın eğimi, gerilim kazancı

Yapıda, 4, 5 ve 6 düğümlerinin her birinde, diyot bağlı birer MOS transistör birer akım kaynağı tarafından sürülmektedir. Diyot bağlı bir MOS transistörler düşük değerli bir  $1/g_m$  empedansı, akım kaynağı transistörleri ise  $r_o \gg 1/g_m$  değerinde yüksek bir çıkış empedansı gösterirler. Bunun sonunda, 4, 5 ve 6 düğümlerinde akımla sürme işlemi gerçekleştirilmiş olur.

## 4.12



Şekil-4.3b. Simetrik CMOS kaskod geçiş iletkenliği kuvvetlendiricisi ( simetrik CMOS kaskod OTA).

Devrede, sadece, 7 düğümünde küçük işaret direnci yüksektir ve  $r_o = r_{o6}/r_{o8}$  değerindedir. Simetrik OTA'nın geçiş iletkenliği hesaplanırsa

$$G = B \cdot \sqrt{k_n' \cdot I_A \cdot \left(\frac{W}{L}\right)_l} \quad (4.33)$$

bulunur. Bu eğim basit OTA yapısının eğiminin B katı kadardır. B akım çarpma faktörünün tipik değeri  $B = 3 \dots 5$  arasında bulunur.

Simetrik OTA'nın gerilim kazancı

$$R_o = \frac{2}{(\lambda_N + \lambda_P) \cdot B \cdot I_A}$$

olmak üzere

$$K_V = G \cdot R_o \quad (4.34)$$

bağıntısıyla verilebilir. Bu büyüklük B çarpanından bağımsızdır. B arttıkça devrenin  $G_m$  geçiş iletkenliği de artar, ancak  $R_o$  çıkış direnci de aynı oranda azalır. Bu nedenle, gerilim kazancı sabit kalır. Yapıda, ilk katın kazancı da önemli bir etkidir. Bu kazanç, devrenin gürültü özelliklerini belirler. Düşük gürültülü devre uygulamaları için kat kazancı 3 civarında tutulur. İlk katın kazancı

$$K_V = \frac{g_{m1}}{g_{m4}} = \sqrt{\frac{k_{n'} \cdot (W/L)_1}{k_{p'} \cdot (W/L)_3}} \quad (4.35)$$

biçiminde ifade edilmektedir.

### Kararlılık

Kuvvetlendiricinin transfer fonksiyonunda baskın olmayan kutuplar 4, 5 ve 6 düğümlerinden ileri gelir. 4 ve 5 düğümleri aynı işareti iki kola da aktardıklarından tek bir baskın olmayan kutup oluştururlar. Bu düğümler üzerinden aktarılan işaret, iki koldan 7 numaralı çıkış düğümüne gelir. 6 düğümünde ise diğer bir baskın olmayan kutup oluşur. Ancak, bu düğüm işaret yolunun sadece bir kolu üzerindedir; başka bir deyişle yarısı üzerine etkilidir. Çıkış akımının  $T_2$ ,  $T_4$  ve  $T_6$  üzerinden geçen bileşeni bundan etkilenmez. Bu kutup,  $T_3$ ,  $T_5$ ,  $T_7$  ve  $T_8$  yolu üzerinden gelen bileşene etki eder. Yapılan incelemeler, bu etkinin devrenin transfer fonksiyonu üzerine zaman sabitinin belirlediği frekansta bir kutup ve iki katı frekanslı bir sıfır getireceğini göstermiştir. Böylece, baskın kutup

$$f_d = \frac{1}{2\pi R_O(C_L + C_{n7})} \quad (4.36)$$

baskın olmayan kutuplar ve sıfır

$$f_{nd5} = \frac{g_{m4}}{2\pi C_{n5}} \quad (4.37a)$$

$$f_{nd6} = \frac{g_{m7}}{2\pi C_{n6}} \quad (4.37b)$$

$$f_{z6} = 2 \cdot f_{nd6} \quad (4.37c)$$

$$\phi_5 = \arctg\left(B \cdot K_{V1} \cdot \frac{C_{n5}}{C_L + C_{n7}}\right) \quad (4.38a)$$

$$\phi_6 = \arctg\left(\sqrt{\frac{B \cdot (W/L)_1}{(W/L)_7}} \cdot \frac{C_{n6}}{C_L + C_{n7}}\right) - \arctg\left(\frac{1}{2} \cdot \sqrt{\frac{B \cdot (W/L)_1}{(W/L)_7}} \cdot \frac{C_{n6}}{C_L + C_{n7}}\right) \quad (4.38c)$$

olmak üzere

$$\phi_m = 90^\circ - \phi_5 - \phi_6 \quad (4.40)$$

#### 4.14

biçiminde yazılabilir. Bu bağıntı uyarınca, faz payını arttırmak üzere

- B azaltılmalı,
- $K_{V1}$  azaltılmalı,
- $C_{n5}$  ve  $C_{n6}$  azaltılmalı,
- $C_L$  yük kapasitesi artırılmalı,
- $(W/L)_7$  oranı artırılmalıdır.

Devrenin yükselme eğimi

$$SR = B \cdot \frac{I_A}{C_L + C_{n7}}$$

şeklinde verilebilir.

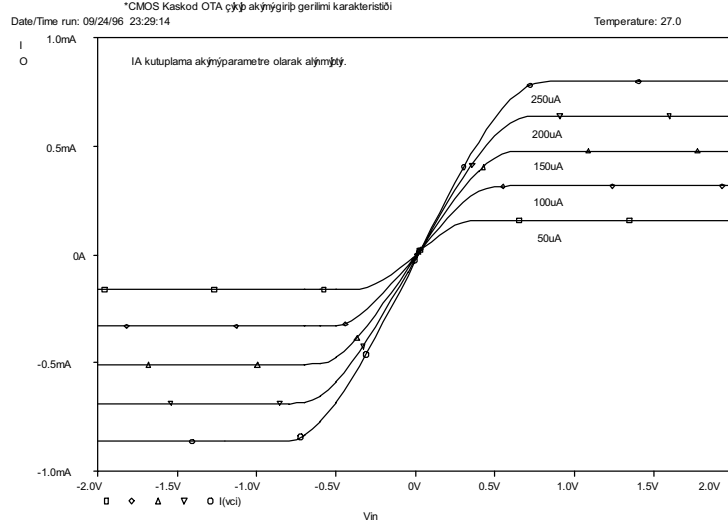
Yükselme eğiminin artırılabilmesi için B çarpanının artırılması gerekir. Ancak, faz payının artırılması için ise B nin azaltılması gerekeceği açıktır. Bu nedenle, B çarpanı için iyi bir yaklaşım  $B = 3$  almaktır.

Gürültüyü azaltmak için  $K_{V1}$  ilk kat kazancının artırılması gerekir. Faz payı için ise bu kazancın azaltılması gerekir. İlk kat kazancı için de iyi bir yaklaşım  $K_{V1} = 3$  alınmasıdır.

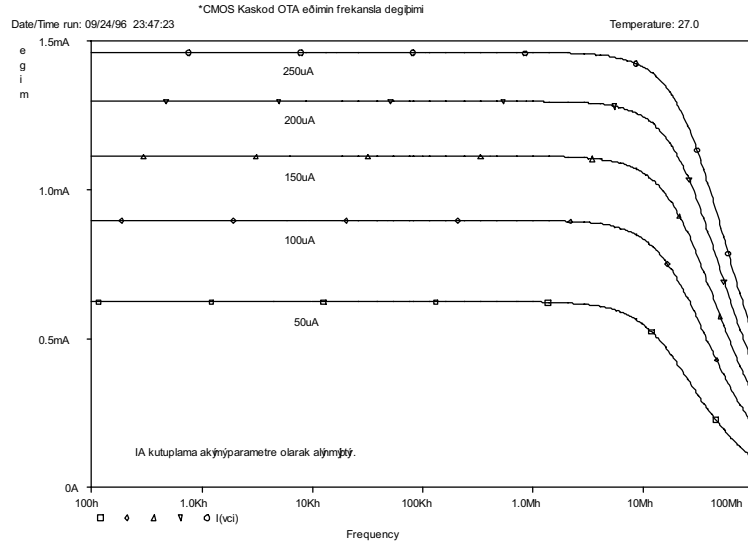
Düğüm kapasitelerinin de olabildiğince küçültülmesi gerekir. Kararlılığın sağlanabilmesi için  $(W/L)_7$  oranının yahut  $C_L$  nin uygun seçilmesi gerekli olur. Her ikisinin değerinin birlikte değiştirilmesi pek uygun değildir. Genelde  $f_3 > f_6$  olur. Bunlara B ve  $K_{V1}$  etkilidir ve bu iki büyüklüğün çarpımı 9 civarında olur. Bu nedenle,  $C_L$  yük kapasitesinin değiştirilmesi  $(W/L)_7$  oranının değiştirilmesine göre daha etkili olur.

Simetrik bir OTA'yı karakterize eden temel eğriler Şekil-4.4, Şekil-4.5, Şekil-4.6 ve Şekil-4.7'de verilmiştir. Şekil-4.4, Şekil-4.3b'de verilen CMOS simetrik kaskod OTA yapısında, çeşitli kutuplama akımı değerleri için çıkış akımının tipik değişim biçimini göstermektedir. Şekil-4.5'de ise OTA'nın eğiminin çeşitli kutuplama akımı değerleri için frekansla nasıl bir değişim göstereceği verilmiştir. Bu karakteristikler çıkartılırken çıkış ucu referans düğümüne kısadevre edilmekte yahut düşük değerli bir dirençle kapatılmaktadır. Şekil-4.6'da sabit kutuplama akımında çıkış geriliminin değişim sınırları gösterilmiştir. Şekil-4.7'de ise sabit kutuplama akımında simetrik OTA'nın gerilim kazancının frekansla değişimi görülmektedir.

#### 4.15

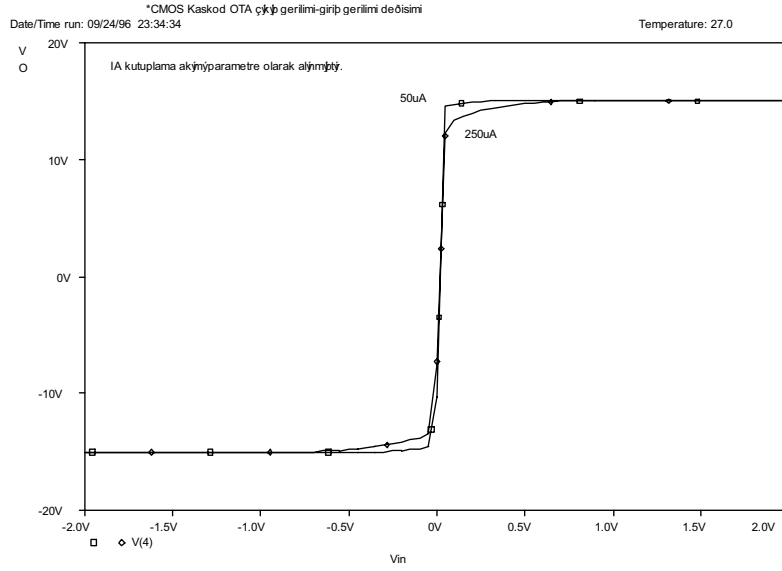


Şekil-4.4. CMOS simetrik kaskod OTA'da çıkış akımının giriş gerilimiyle değişimi,  $I_A$  kutuplama akımı parametre olarak alınmıştır.

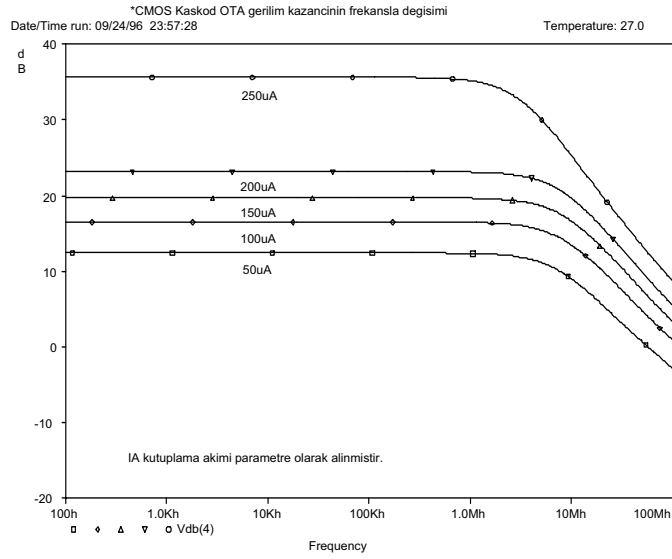


Şekil-4.5. Simetrik CMOS kaskod OTA'da eđimin frekansla deęiřimi,  $I_A$  kutuplama akımı parametre olarak alınmıştır.

## 4.16



Şekil-4.6. CMOS simetrik kaskod OTA'da çıkış açık devre geriliminin giriş gerilimiyle değişimi,  $I_A$  kutuplama akımı parametre olarak alınmıştır.



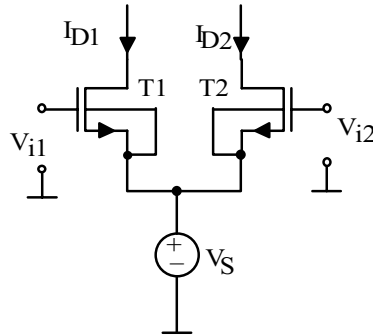
Şekil-4.7. CMOS simetrik kaskod OTA'da açıkdevre gerilim kazancının frekansla değişimi,  $I_A$  kutuplama akımı parametre olarak alınmıştır.



Bu iki karakteristik çıkartılırken, çıkış ucu açık devre edilmekte yahut büyük değerli bir direnç ile kapatılmaktadır. Şekil-4.4, Şekil-4.5, Şekil-4.6 ve Şekil-4.7’de verilen karakteristikler SPICE simülasyon programı yardımıyla elde edilmişlerdir.

#### 4.2. Zıt fazlı ortak kaynaklı çiftlerle kurulan OTA yapısı (ACSP OTA: Anti-Phase Common Source Pair OTA)

Zıt fazlı ortak kaynaklı çiftlerle kurulan OTA yapısının tasarlanmasının en büyük nedeni daha geniş bir lineer çalışma bölgesi elde etmek, daha önemlisi lineer çalışma bölgesinin mümkün olduğu kadar lineer bir değişime sahip olmasını sağlamaktır. Daha önce ele alınan simetrik OTA yapısında çıkış akımının değişim sınırlarının  $\pm B \cdot I_A$  olacağı gösterilmişti. Ancak, simetrik OTA yapısında giriş geriliminin OTA’nın lineer çalışma bölgesine karşı düşen değişim aralığı, birçok uygulama açısından yetersiz kalmakta ve lineer değişim bölgesinin genişletilmesi zorunlu olmaktadır. Bu soruna çözüm getirmek için geliştirilen düzenlerden biri de zıt fazlı ortak kaynaklı çiftlerle kurulan OTA (ACSP OTA) yapısıdır.



Şekil-4.8 ACSP OTA temel devresi.

ACSP OTA nın tasarımı Şekil-4.8’deki devreye dayanmaktadır. Bu devreden hareket edilirse, devredeki  $T_1$  ve  $T_2$  tranzistorlarının doymada çalıştıkları ve eş tranzistorlar olmaları şartı altında  $K = \beta/2$  olmak üzere

$$I_{D1} = K \cdot (V_1 - V_S - V_T)^2 \quad I_{D2} = K \cdot (V_2 - V_S - V_T)^2 \quad (4.41)$$

yazılabilir.  $\Delta I_D = I_{D1} - I_{D2}$  ve  $\Delta V_i = V_{i1} - V_{i2}$  olarak tanımlanırsa, fark çıkış akımı için

$$\Delta I_D = I_{D1} - I_{D2} = 2 \cdot K \cdot \Delta V_i \cdot \left( \frac{V_1 + V_2}{2} - V_S - V_T \right) \quad (4.42)$$

elde edilir. (4.41) ve (4.42) denklemlerinin dikkatli bir şekilde incelenmesiyle, lineer ve geçiş bölgesi içerisinde eğimi çalışma noktasından etkilenmeyen bir geçiş karakteristiği elde etmek üzere,  $V_S$  gerilim kaynağının sağlanması gereken koşul çıkarılabilir. Bu koşul

$$V_S = \frac{V_1 + V_2}{2} + V_k \quad (V_k \leq 0) \quad (4.43)$$

biçimindedir. Bu durumda OTA'nın akım-gerilim ilişkisi

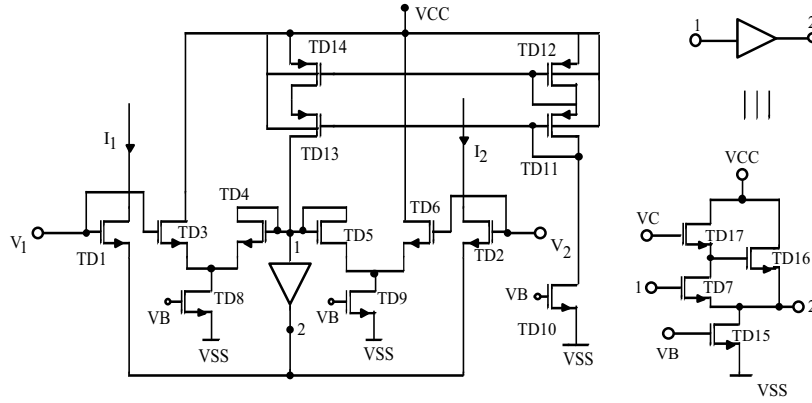
$$\Delta I_D = -2 \cdot K \cdot \Delta V_i \cdot (V_k + V_T) \quad (4.44)$$

ve yapının eğimi de

$$g_m = \left. \frac{\partial \Delta I_D}{\partial \Delta V_i} \right|_{\Delta V_i=0} \quad (4.45)$$

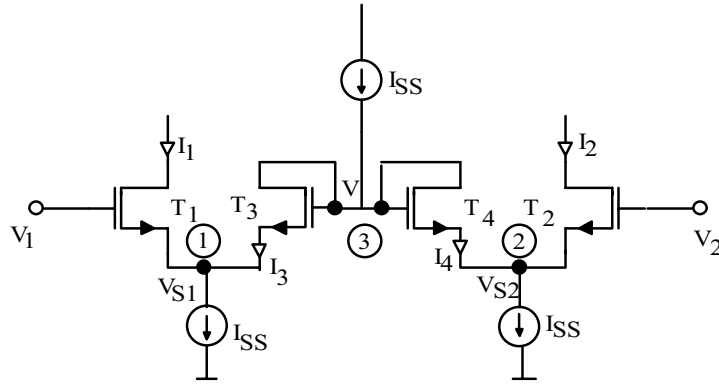
$$g_m = -2 \cdot K \cdot (V_k + V_T) \quad (4.46)$$

olur. ACSP OTA yapısının çıkış katı dışındaki temel hücresi Şekil-4.9'da görülmektedir. Şekil 4.9'daki  $T_{D1}$  ve  $T_{D2}$  tranzistorları Şekil-4.8'deki  $T_1$  ve  $T_2$



Şekil-4.9 ACSP OTA Yapısı

tranzistorlarına karşı düşmektedir. Devredeki diğer tranzistorlar ise Şekil-4.8'deki  $V_S$  gerilim kaynağına, (4.43) koşulunu sağlayacak biçimde karşı düşmektedir. Şekil-4.9'daki ayırıcı katın tranzistor düzeyindeki eşdeğeri yine şekil üzerinde gösterilmiştir. Şekil-4.9'daki  $T_{D1}, T_{D2}$  tranzistorları ve tampon devre bir yana bırakılıp, devrenin geri kalan kısmı ele alınsın. Bu devre Şekil-4.10'da görülmektedir. Şekildeki her bir tranzistorun doymada çalışması durumunda  $I_1, I_2, I_3$  ve  $I_4$  akımları için



Şekil 4.10. Lineerleştirme devresi

$$I_1 = \frac{\beta}{2} (V_{GS1} - V_T)^2 = \frac{\beta}{2} (V_1 - V_{S1} - V_T)^2 \quad (a)$$

$$I_2 = \frac{\beta}{2} (V_{GS2} - V_{Tn})^2 = \frac{\beta}{2} (V_2 - V_{S2} - V_T)^2 \quad (b)$$

$$I_3 = \frac{\beta}{2} (V_{GS3} - V_{Tn})^2 = \frac{\beta}{2} (V - V_{S1} - V_T)^2 \quad (c)$$

$$I_4 = \frac{\beta}{2} (V_{GS4} - V_{Tn})^2 = \frac{\beta}{2} (V - V_{S2} - V_T)^2 \quad (d)$$

(4.47)

yazılabilir. Şekil-4.10' dan hareket edilirse, 1,2 ve 3 numaralı düğümler için

$$I_1 + I_3 = I_{SS} \quad (a)$$

$$I_2 + I_4 = I_{SS} \quad (b)$$

$$I_3 + I_4 = I_{SS} \quad (c)$$

(4.48)

elde edilir. (4.48.a) denkleminde (4.47a) ve (4.47c) denklemlerinin yerine konması ve karesel terimlerin açılımı sonucu  $V_{S1}$  gerilimi için

$$2V_{S1}^2 - 2V_{S1}(V_1 - V_T + V - V_T) + (V_1 - V_T)^2 + (V - V_T)^2 - \frac{2I_{SS}}{\beta} = 0$$

ikinci dereceden denklemi elde edilir. Bu denklemin kökleri hesaplanırsa  $V_{S1}$  gerilimi için

$$V_{S1,2} = \frac{V_1 + V - 2V_T}{2} \pm \frac{1}{2} \sqrt{\frac{4I_{SS}}{\beta} - (V_1 - V)^2} \quad (4.49)$$

bulunur. Benzer şekilde hareket edilerek,  $V_{S2}$  gerilimi için (4.48b) denkleminde (4.47b) ve (4.47d) denklemleri yerine konur ve elde edilen ikinci dereceden denklemin kökleri bulunursa,  $V_{S2}$  gerilimi için

$$V_{S1,2} = \frac{V_2 + V - 2V_T}{2} \pm \frac{1}{2} \sqrt{\frac{4I_{SS}}{\beta} - (V_2 - V)^2} \quad (4.50)$$

yazılabilir.  $V_1=V_2=0$  için devre tamamen simetrik bir yapıda olduğu görülür. Buna göre  $V_1=V_2=0$  olduğu durum için  $T_3$  ve  $T_4$  tranzistorlarından  $I_{SS}/2$  akımı akmalıdır. Aynı şekilde  $T_1$  ve  $T_2$  tranzistorlarından da  $I_{SS}/2$  akımları akmalıdır. Buna göre

$$V_{S1} = V_{S2} = \frac{V - 2V_T}{2} \pm \frac{1}{2} \sqrt{\frac{4I_{SS}}{\beta} - V^2} \quad (4.51)$$

olur.

$T_1$ ,  $T_2$ ,  $T_3$  ve  $T_4$  tranzistorlarının boyutları aynı olduğu durum için her bir tranzistorun  $V_{GS}$  gerilimi savaklarından akan akım  $I_{SS}/2$  ye bağlı olarak eşit olacaktır. Bu  $V_{GS}$  gerilimleri tranzistorların iletimde olması koşulundan  $|V_{TN}|$  eşik geriliminden mutlak değerce büyük olmalıdır. Şekil-4.10'daki devreye tekrar bakılacak olursa  $V_1=V_2=0$  için  $T_1$  ve  $T_3$  tranzistorlarının  $V_{GS}$  gerilimleri aynı olması gerektiğinden ve her iki tranzistorun da kaynak uçları ortak bir düğüme bağlı olduğundan,  $T_1$  ve  $T_3$  tranzistorlarının geçit gerilimlerinin birbirine eşit olması gerektiği söylenebilir. Bu koşul 3 numaralı düğüm gerilimi olan  $V$  nin sıfır volt olması anlamına gelir. Buna göre (4.51) numaralı denkleminde  $V=0$  konulursa (4.52) elde edilir. Daha önce de söylendiği gibi, her bir tranzistorun iletimde olması için  $V_{GS}$  gerilimleri

## 4.21

$$V_{S1} = V_{S2} = -V_T \pm \frac{1}{2} \sqrt{\frac{4I_{SS}}{\beta}} \quad (4.52)$$

$|V_T|$  den mutlak değerce büyük olmalıdır. (4.52) bu koşul altında düşünülecek olursa, ortada karekökün önündeki işaretin eksi olması gerektiği kolayca fark edilebilir. Buna göre gerçek  $V_{S1}$  ve  $V_{S2}$  gerilimleri

$$V_{S1} = \frac{V_1 + V - 2V_T}{2} - \frac{1}{2} \sqrt{\frac{4I_{SS}}{\beta} - (V_1 - V)^2} \quad (4.53)$$

$$V_{S2} = \frac{V_2 + V - 2V_T}{2} - \frac{1}{2} \sqrt{\frac{4I_{SS}}{\beta} - (V_2 - V)^2}$$

olur. (4.48c), (4.47c) ve (4.47d) denklemlerinin kullanılması ve (4.53) deki  $V_{S1}$  ve  $V_{S2}$  gerilimlerinin yerlerine konulması ile

$$(V - V_1) \cdot \sqrt{\frac{4I_{SS}}{\beta} - (V_1 - V)^2} + (V - V_2) \cdot \sqrt{\frac{4I_{SS}}{\beta} - (V_2 - V)^2} = 0$$

denklemi elde edilir. Bu denklem

$$(V - V_1)^2 \cdot \left\{ \frac{4I_{SS}}{\beta} - (V_1 - V)^2 \right\} = (V - V_2)^2 \cdot \left\{ \frac{4I_{SS}}{\beta} - (V_2 - V)^2 \right\} \quad (4.54)$$

biçiminde yazılabilir.  $a = 4I_{SS}/\beta$  olarak tanımlanırsa, bu bağıntı

$$a \cdot [(V - V_1)^2 - (V - V_2)^2] = (V - V_1)^4 - (V - V_2)^4 \quad (4.55)$$

şeklinde yazılabilir. Eşitliğin sağ ve sol tarafındaki karelerin farkları şeklindeki terimler  $(m-n)(m+n)$  şeklinde yeniden düzenlenir ve gerekli sadeleştirme işlemleri yapılırsa, (4.55) bağıntısı

$$V^2 - V(V_1 + V_2) + \frac{1}{2}(V_1^2 + V_2^2 - a) = 0 \quad (4.56)$$

biçimine dönüştürülebilir. (4.56) daki ikinci dereceden denlemin çözümünden elde edilecek iki kök

$$V_{1,2} = \frac{V_1 + V_2}{2} \pm \sqrt{\frac{2I_{SS}}{\beta} - \frac{(V_1 - V_2)^2}{4}} \quad (4.57)$$

## 4.22

şeklinde olur. Daha önce söylendiği üzere  $V_1=V_2=0$  için  $V=0$  olmalıdır. Ancak bu koşul (4.57) deki iki kök için de sağlanmamaktadır. Bu durumda (4.57) deki kökler uygun sonuçlar değildir. Bu nedenle (4.55) deki ana polinom yeniden düzenlenirse

$$\begin{aligned} 4V^3(V_1 - V_2) + 6V^2(V_2^2 - V_1^2) + V[4V_1^3 - 4V_2^3 + 2a(V_2 - V_1)] \\ -V_1^4 + V_2^4 + aV_1^2 - aV_2^2 = 0 \end{aligned} \quad (4.58)$$

olur. Bilindiği üzere (4.58) deki üçüncü dereceden polinomun iki kökü (4.57) deki gibidir. (4.58) in (4.56) polinomuna bölünmesi durumunda geriye kalan birinci dereceden denklem bize olması gereken kökü verecek denklemdir. (4.58)'in (4.56)'ya bölünmesinden ortaya çıkacak sonuç

$$4V(V_1 - V_2) + 2(V_2^2 - V_1^2) = 0 \quad (4.59)$$

şeklinde dir. (4.59) un çözümünde  $V$  gerilimi için

$$V = \frac{V_1 + V_2}{2} \quad (4.60)$$

ilişkisi elde edilir. Görüldüğü üzere Şekil-4.8'deki  $V_S$  gerilim kaynağının sağlaması gereken koşulu, bir  $V_k$  gerilimi farkıyla Şekil-4.10'daki devre sağlamaktadır. Bu  $V_k$  gerilimi de Şekil-4.9'daki tampon devre yardımıyla elde edilir. Devrenin yapısı Şekil-4.11'de yeniden çizilmiştir. Bu devrenin giriş çıkış bağıntısı

$$I_1 = K_2(V_{CC} - V_c - V_{Tp})^2 \quad (a)$$

$$I_1 = K_1(V_1 - V_S - V_{Tn})^2 \quad (b)$$

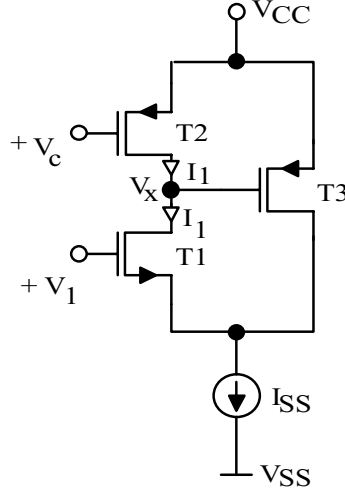
$$I_2 = K_3(V_{CC} - V_X - V_{Tp})^2 \quad (c)$$

$$I_1 + I_2 = I_{SS} \quad (d)$$

(4.61)

denklemleri yardımıyla çıkartılabilir.

4.23



Şekil -4.11. Tampon Devre

(4.61a) ve (4.61.b) denklemlerinin ortak çözümünden  $V_S$  gerilimi için

$$V_S = V_1 - V_{Tn} - \sqrt{\frac{K_2}{K_1}} (V_{CC} - V_C - |V_{Tp}|) \quad (4.62)$$

bulunur. Görüldüğü üzere  $K_1$ ,  $K_2$ ,  $V_{Tn}$ ,  $V_{CC}$ ,  $V_C$  ve  $V_{Tp}$  sabit değerleri için  $V_S$  gerilimi, giriş gerilimi olan  $V_1$  ile negatif bir  $V_k$  geriliminin toplamı şeklindedir. Buna göre ACSP OTA için çıkarılmış olan ve (4.46) da gösterilmiş olan eğim ifadesi yeniden

$$g_m = -2K(V_k + V_T) \quad (4.63)$$

biçiminde yazılacak olursa, bu denklemde  $V_k$  yerine

$$V_k = -V_{Tn} - \sqrt{\frac{K_2}{K_1}} (V_{CC} - V_C - |V_{Tp}|) \quad (4.64)$$

konarak ACSP OTA'nın eğimi için

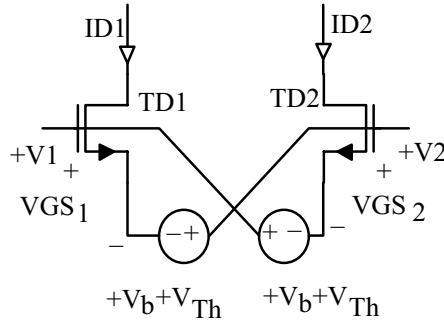
$$g_m = \beta \sqrt{\frac{\beta_2}{\beta_1}} (V_{CC} - V_C - |V_{Tp}|) \quad (4.65)$$

ifadesi elde edilir.

ACSP OTA için çıkış katının oluşturulabilmesi, diğer bir deyişle devrenin her iki kolundan akan akımların farkının alınması için, simetrik OTA yapısında olduğu gibi, akım aynalarının kullanılması gerekir. Devre aslında Şekil-4.9'daki devreye akım aynaları eklenmesi ile oluşmaktadır. Bu devrenin çıkış direnci hesaplanması halinde, elde edilecek sonucun simetrik OTA için yapılmış olan analizin verdiği sonuçla aynı olacağı açıktır.

### 4.3. Çapraz bağlamalı OTA [11]

Çapraz bağlamalı OTA'nın çalışmasının temel prensipleri Şekil-4.12'ye bakılarak anlaşılabilir. Şekil-4.12'de görüldüğü üzere  $T_{D1}$  ve  $T_{D2}$  transistörlerinin kaynak uçlarından birer bağımsız gerilim kaynağı çapraz olarak bağlanmıştır. Her iki transistörün de doymada çalıştığı kabul edilerek



Şekil-4.12. Çapraz Bağlamalı OTA Temel Devresi

$$I_{D1} = \frac{\beta}{2} (V_{GS1} - V_{Th})^2 \quad (4.66)$$

$$I_{D2} = \frac{\beta}{2} (V_{GS2} - V_{Th})^2$$

eşitlikleri yazılabilir. Fark akımı olan  $\Delta I_D$ ,  $\Delta I_D = I_{D1} - I_{D2}$  olarak tanımlanacak olursa, bu akımın



## 4.25

$$\Delta I_D = I_{D1} - I_{D2} = \beta(V_{GS1} + V_{GS2} - 2V_{Th}) \left( \frac{V_{GS1} - V_{GS2}}{2} \right) \quad (4.67)$$

biçiminde ifade edilebileceği açıktır. (4.67) denklemindeki  $V_{GS1} - V_{GS2}$  terimi giriş fark terimi olarak düşünülecek olursa,  $(V_{GS1} + V_{GS2} - 2V_{th})$  teriminin sabit bir gerilim değerine, örneğin  $V_b$  gibi bir değere eşit olması durumunda 3.3.2 denklemi lineer bir OTA karakteristiği özelliğinde olur. Bu söylenenleri gerçekleştiren devre yapısı Şekil-4.12'de gösterilmiştir. Bu durumda  $\Delta I_D$  çıkış akım farkı

$$\Delta I_D = 2\beta V_b V_{in} \quad (4.68)$$

olur. (4.68) den kolayca görülebileceği gibi, OTA'nın eğimi  $2\beta V_b$  şeklinde  $V_b$  gerilimiyle doğru orantılıdır.

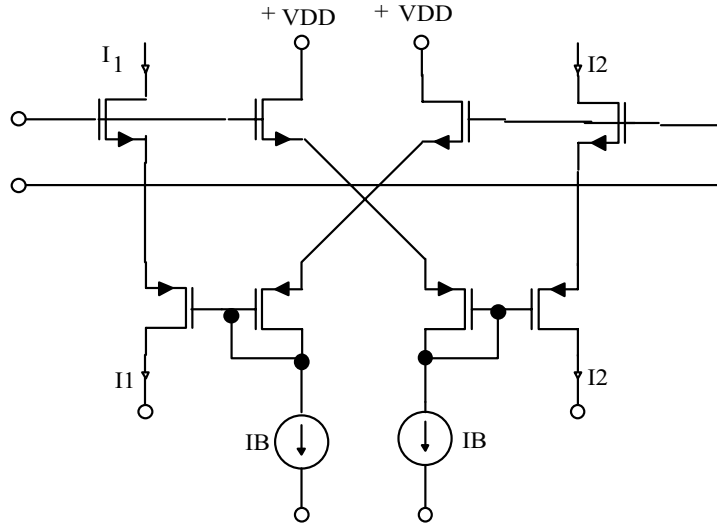
Devre yapısı Şekil-4.13'de görülmektedir. İki koldan akan akımların farkının alınması ve devrenin çıkış katının oluşturulabilmesi üzere, simetrik OTA ve ACSP OTA yapılarındakine benzer biçimde, akım aynalarının kullanılması gerekir.

### 4.4 Krummenacher'in lineer CMOS OTA yapısı [8]

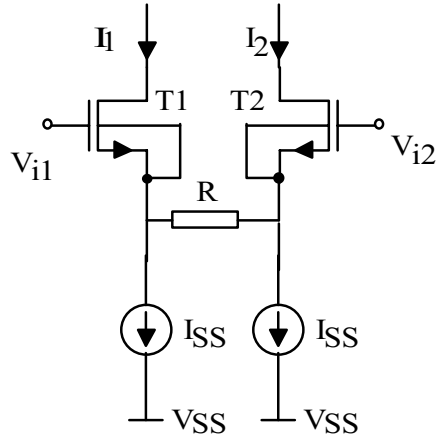
CMOS analog tümdevre tasarımında fark kuvvetlendiricilerin ve geçiş iletkenliği kuvvetlendiricilerinin lineer çalışma bölgesinin genişliğini arttırmak üzere yararlanılabilecek bir diğer yöntem de, Şekil-4.14'de gösterilen fark kuvvetlendirici yapısından yararlanmaktır.

Şekil-4.14'deki  $I_1$  ve  $I_2$  akımlarının farkının akım aynaları yardımıyla alınması durumunda, bu fark kuvvetlendirici yapısı OTA olarak kullanılabilir. Devredeki R direnci, kaynak bağlamalı kuvvetlendirici yapısında belirlenmiş olan lineer çalışma bölgesinin genişliğini arttırmak üzere kullanılmıştır. Şekil 4.14'deki devrede  $T_1$  ve  $T_2$  tranzistorlarının bipolar npn tranzistor olarak da gerçekleştirilmesi mümkündür. Bipolar tranzistorlardan oluşan bir emetör bağlamalı kuvvetlendiricinin lineer çalışma bölgesinin genişliği  $V_T = k.T/q$  ısı gerilimi mertebesindedir. Bu mertebedeki oldukça dar lineer çalışma bölgesinin

4.26



Şekil-4.13. Çapraz Bağlamalı OTA



Şekil 4.14. Lineer OTA yapısı

genişliğini arttırmak üzere, bipolar tranzistorlu fark kuvvetlendiricilerinde Şekil-4.14'deki gibi bir lineerleştirme direnci kullanılır. CMOS kaynak bağlamalı kuvvetlendirici yapısı için lineer çalışma bölgesi

$$V_{üst} = \sqrt{\frac{2I_{SS}}{\beta}} \quad , \quad V_{alt} = -\sqrt{\frac{2I_{SS}}{\beta}} \quad (4.69)$$

alt ve üst sınırları arasında yer alır. Bu sınırlar,  $I_{SS}$  kutuplama akımına ve tranzistorların  $\beta$  eğim parametresine bağlıdır; bölgenin genişliği bu parametrelere verilecek değerlere bağlı olarak ayarlanabilir. Ancak lineer çalışma bölgesinin genişliğini arttırmak için  $I_{SS}$  akımının değerinin artırılması halinde, sürücü tranzistorların  $V_{GS}$  gerilimlerinin büyümesi nedeniyle,  $I_{SS}$  akımını sağlayan tranzistorun doymasız bölgeye girmesi sorununun ortaya çıkarabilir. Aynı şekilde lineer çalışma bölgesinin genişliğini arttırmak için  $\beta$  eğim parametresinin değerinin küçültülmesi durumunda, OTA'nın eğimi azalacaktır. Bütün bunlardan anlaşılacağı gibi, OTA'nın eğimi ve lineer çalışma bölgesinin genişliği arasında bir optimizasyon problemi bulunmaktadır.

Şekil-4.14'deki devrede R direncinin kullanılması ile oluşan devrenin analizi yapılacak olursa, basit kaynak bağlamalı kuvvetlendirici yapısında olduğu gibi, genel bir  $\Delta I_D - \Delta V_i$  geçiş fonksiyonu elde edilemeyeceği kolayca fark edilebilir. Bu tür bir inceleme, daha çok sayısal analiz ya da grafiksel gösterimler için yapılabilir.

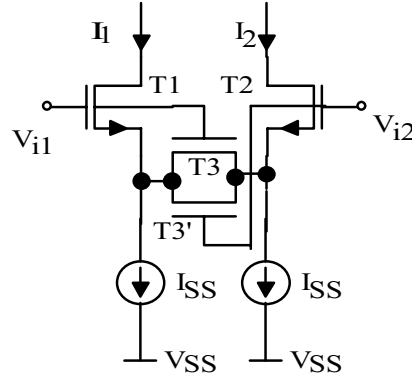
Şekil-4.14'de verilen devredeki R direnci, CMOS analog tümdevre teknolojisinde MOS tranzistorlarla gerçekleştirilir ve devre yapısı Şekil-4.15'deki biçimi alır. Devredeki  $T_3$  ve  $T_3'$  tranzistorlarının her ikisi de NMOS tranzistordur.

Şekil-4.15'deki devrenin analizi yapılırken,  $V_1=V_2=0$  için  $T_1$  ve  $T_2$  tranzistorlarının iletimde oldukları kabulü şartı altında

$$(V_1 > V_{S1}), (V_1 - V_{S1} > V_{Tn}), (V_2 > V_{S2}), (V_2 - V_{S2} > V_{Tn})$$

eşitsizliklerinin her biri ayrı ayrı sağlanmalıdır. Aynı şekilde  $V_1 > V_2$  olması durumunda,  $V_{S1} > V_{S2}$  olduğu gösterilebilir.  $T_3$  ve  $T_3'$  tranzistorlarının  $V_1 > V_2$

## 4.28



Şekil-4.15. Direnç eşdeğeri ile lineer OTA Yapısı

koşulu altında hangi ucunun kaynak, hangi ucunun savak ucu olduğu ise  $V_{S1} > V_{S2}$  olmasından kolayca anlaşılabilir. Buna göre  $V_1 > V_2$  için  $T_3$  tranzistorunun savak ucu  $V_{S1}$  de, kaynak ucu  $V_{S2}$  geriliminde olmalıdır.  $V_1 > V_2$  ve  $V_2 > V_1$  için  $T_3$  ve  $T_3'$  tranzistorlarının kaynak ve savak uçları ve bu durumdaki gerilimleri

$$\begin{array}{ll}
 V_1 > V_2 & V_2 > V_1 \\
 V_{GS3} = V_1 - V_{S2} & V_{GS3} = V_1 - V_{S1} \\
 V_{GS3'} = V_2 - V_{S2} & V_{GS3'} = V_2 - V_{S1} \\
 V_{DS3(3')} = V_{S1} - V_{S2} & V_{DS3(3')} = V_{S2} - V_{S1}
 \end{array} \quad (a) \quad (b) \quad (4.70)$$

bağıntılarıyla verilebilir.

$T_3$  ve  $T_3'$  tranzistorlarının doymada çalıştıkları bölgelerinin sınırları ise  $V_1 > V_2$  iken  $T_3$  tranzistoru için

$$V_{S1} - V_{S2} \geq V_1 - V_{S2} - V_{Tn} \quad (4.71)$$

olacaktır.  $T_3'$  tranzistoru için aynı koşul

$$V_{S1} - V_{S2} \geq V_2 - V_{S2} - V_{Tn} \quad (4.72)$$

şeklinde de gösterilebilir. İlgili bağıntıların düzenlenmesi halinde

$$V_1 - V_{S1} \leq +V_{Tn} \quad , \quad V_2 - V_{S1} \leq +V_{Tn} \quad (4.73)$$

elde edilir. (4.73) eşitsizliklerine göre,  $T_3$  ve  $T_3'$  tranzistorlarının doymada çalışması varsayımı altında,  $T_1$  tranzistoru kesimdedir. Bu, başta yapılmış olan

## 4.29

kabule ters düşmektedir. Bu durumda  $T_3$  ve  $T_3'$  tranzistorlarının doymasız bölgede çalışmaları kabul edilebilir. Böylece

$$V_1 - V_{S1} > V_{Tn} \quad (4.74)$$

yazılabilir. Doymasız bölgede çalışan bir NMOS tranzistorun akım-gerilim bağıntısı

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4.75)$$

şeklindedir.  $K = \mu_n \cdot C_{ox} \cdot (W/L)$  olarak tanımlanır ve Şekil-4.15'deki  $I_{D3}$  ve  $I_{D3}'$  akımları (4.75) bağıntısı dikkate alınarak yazılacak olursa

$$I_{D3} = K \left[ (V_1 - V_{S2} - V_T)(V_{S1} - V_{S2}) - \frac{(V_{S1} - V_{S2})^2}{2} \right] \quad (4.76)$$

$$I_{D3}' = K \left[ (V_2 - V_{S2} - V_T)(V_{S1} - V_{S2}) - \frac{(V_{S1} - V_{S2})^2}{2} \right]$$

elde edilir. Şekil-4.15'deki devreden  $I = I_{D3} + I_{D3}'$  olarak tanımlanırsa, bu durumda  $I$  akımını veren bağıntı

$$I = K \left[ (V_1 + V_2 - 2V_{S2} - 2V_T)(V_{S1} - V_{S2}) - (V_{S1} - V_{S2})^2 \right] \quad (4.77)$$

biçiminde yazılabilir. Şekil 3.4.2 den hareket edilirse

$$\begin{aligned} I_1 - I - I_{SS} &= 0 \\ I_2 + I - I_{SS} &= 0 \end{aligned} \quad (4.78)$$

uyarınca  $\Delta I_D = I_1 - I_2 = 2I$  olduğu kolayca görülebilir.  $T_1$  ve  $T_2$  tranzistorlarının iletimde ve doymada çalışmaları durumunda, bunların sağlayacakları akım-gerilim ilişkisi

$$I_1 = K_1 (V_1 - V_{S1} - V_T)^2, \quad I_2 = K_1 (V_2 - V_{S2} - V_T)^2 \quad (4.79)$$

olur.

Buna göre  $\Delta I_D = I_1 - I_2$  olarak tanımlanırsa,  $\Delta I_D$  için, (4.79) denklemleri yardımıyla

$$\Delta I_D = I_1 - I_2 = K_1 (\Delta V_i + V_{S2} - V_{S1})(V_1 + V_2 - V_{S1} - V_{S2} - 2V_T) \quad (4.80)$$

yazılabilir. Buna göre

$$\Delta I_D = 2I \quad (4.81)$$

uyarınca, bu eşitlik (4.77) ve (4.80) eşitliklerinin yerine konulması ile

$$\begin{aligned}
& K[(V_1 + V_2 - 2V_{S2} - 2V_T)(V_{S1} - V_{S2}) - (V_{S1} - V_{S2})^2] \\
& = \frac{K_1}{2}(\Delta V + V_{S2} - V_{S1})(V_1 + V_2 - V_{S1} - V_{S2} - 2V_T)
\end{aligned} \tag{4.82}$$

biçiminde yazılabilir. Denklemnin düzenlenmesi sonucunda  $V_{S1}$ - $V_{S2}$  gerilimi için

$$V_{S1} - V_{S2} = \frac{K_1 \Delta V}{2K + K_1} \tag{4.83}$$

bağıntısı elde edilir. Benzer şekilde, (4.78) denklemlerinden hareketle

$$I_1 + I_2 = 2I_{SS} \tag{4.84}$$

bulunur. Buna göre (4.79) daki  $I_1$  ve  $I_2$  ifadeleri ve (4.83) deki  $V_{S1}$ - $V_{S2}$  ifadeleri yerine konursa  $V_{S1}$  ve  $V_{S2}$  gerilimleri için

$$\begin{aligned}
V_{S1} &= \frac{(K + K_1)V_1 + KV_2}{2K + K_1} - V_T \pm \frac{K}{2K + K_1} \sqrt{-\Delta V^2 + \frac{(2K + K_1)^2}{2K^2 K_1} I_{SS}} \\
V_{S2} &= \frac{(K + K_1)V_2 + KV_1}{2K + K_1} - V_T \pm \frac{K}{2K + K_1} \sqrt{-\Delta V^2 + \frac{(2K + K_1)^2}{2K^2 K_1} I_{SS}}
\end{aligned} \tag{4.85}$$

yazılabilir. Bu durumda  $\Delta I_D$  akımı

$$\Delta I_D = \pm \frac{2K}{2K + K_1} \Delta V \sqrt{-\left(\frac{2KK_1 \Delta V}{2K + K_1}\right)^2 + 2K_1 I_{SS}} \tag{4.86}$$

olur. Burada  $a=1+\beta_1/4\beta_2$ ,  $v=g_{m0}$ .  $\Delta V_i/I_{SS}$ ,  $i=\Delta I_D/I_{SS}$ ,  $g_{m0}=\partial \Delta I_D/\partial \Delta V_i$  olarak tanımlanırsa  $i$  için

$$i = v \sqrt{1 - \frac{v^2}{4}} \tag{4.87}$$

$g_{m0}$  için de

$$g_{m0} = \left. \frac{\partial \Delta I_D}{\partial \Delta V_i} \right|_{\Delta V_i=0} = \frac{I_{SS}}{a(V_{GS} - V_T)_{M1}} \tag{4.88}$$

yazılabilir. (4.87) den görülebileceği gibi, Şekil-4.15'deki devrede  $T_3$  ve  $T_3'$  tranzistorlarının doymasız çalıştıkları bölge içinde, kaynak bağlamalı kuvvetlendirici yapısının akım-gerilim ilişkisine benzer bir ilişki elde edileceği

### 4.31

açıktır. Bu ilişkinin bozulduğu durum,  $T_3$  ya da  $T_3'$  tranzistorunun doymasız bölgeden çıkıp, doymalı bölgede çalışması ile değişir. Bu durum

$$|V| = \left| \frac{g_{m0} \Delta V_i}{I_{SS}} \right| > V_1 = \sqrt{\frac{a^2 + a + 0.5}{a^4 + 0.25}} \quad (4.89)$$

eşitsizliğinin sağlanması durumunda gerçekleşir. 3.4.22 koşulu altında akım-gerilim ilişkisi ise

$$i = \pm \frac{\left[ av\sqrt{4a-2} \pm \sqrt{4a-1-a^2v^2} \right]^2}{(4a-1)^2} \quad (4.90)$$

olacaktır. Buradaki artı-eksi işareti, giriş geriliminin artı veya eksi olmasına göre belirlenen işarettir.

Çıkış akımının maksimum değeri ise

$$|v| = \left| \frac{g_{m0} \Delta V_i}{I_{SS}} \right| = V_2 = \frac{\sqrt{4a-2}}{a} \quad (4.91)$$

bağıntısı yardımıyla hesaplanabilir.

### KAYNAKLAR

- [1] H. Kuntman, Analog tümdevre tasarımı, Sistem yayınları, İstanbul, 1992.
- [2] H. Kuntman, Analog MOS tümdevre tasarımı (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), Uygulamaya özgü tümdevre teknolojileri yaz okulu notları, İstanbul, 1993.
- [3] H. Kuntman, İleri analog tümdevre tasarımı: Analog devreler, (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), İstanbul, 1994.
- [4] P.R. Gray, R.G. Meyer, Analysis and design of analog integrated circuits, John Wiley, 1984.
- [5] F. Riedel, MOS Analogtechnik, Oldenburg Verlag, Wien, 1988.
- [6] P.E. Allen and D.R. Holberg, CMOS analog circuit design, Holt, Rinehart and Winston Inc., New York, 1987.
- [7] C.Acar, F.Anday, H. Kuntman, On the realization of OTA-C filters, Int. Journal of Circuit Theory and Applications, Vol 21, pp.331-341, 1993.
- [8] F.Krummenacher, N. Joehl, A 4 MHz CMOS continuous-time filter on-chip

- automatic tuning, IEEE J. Solid-State Circuits, Vol. 23, pp. 750-757, 1988.
- [9] L. Ögdüm, Aktif OTA-C filtrelerinde uygun OTA problemi, Yüksek Lisans Tezi, İTÜ Fen Bilimleri Enstitüsü, 1995.
- [10] W. Sansen, Advanced Analog Design, Notes of Intensive Summer Course on CMOS VLSI Design, Swiss Federal Institute of Technology, Lausanne, 1989.
- [11] E. Seevinck and R.W. Wassenaar, A versatile CMOS linear transconductor/square-law function circuit', IEEE J. Solid-State Circuits, Vol. SC-22, pp. 366-377.
- [12] G. Wilson and P.K.Chan, Comparison of four transconductors for fully integrated filter applications, IEE Proceedings, Pt-G, Vol. 138, No.6, pp.638-688, 1991.
- [13] H. Kuntman, Simple and accurate nonlinear OTA macromodel for simulation of CMOS OTA-C filters, Int. Journal of Electronics, 77, pp.993-1006, 1994.
- [14] L. Ögdüm, H. Kuntman, Aktif OTA-C süzgeçlerinde uygun OTA problemi, IX. Mühendislik Sempozyumu Bildiri Kitabı, Elektronik Mühendisliği, 71-76, Süleyman Demirel Üniversitesi, Isparta, Mayıs 1996.