

# 1. ANALOG MOS TMDEVRE TEKNİĐİ

## 1.1. Giriş, Analog tmdevrelerde MOS teknolojisinin yeri

Son zamanlara kadar daha ok dijital sistemlerin gerekleřtirilmesinde kullanılan MOS teknolojisine, gnmzde, analog tmdevre yapı bloklarının oluřturulmasında gittike yaygınlařarak kullanılmakta, literatrde srekli olarak bu alanda yapılan yeni alıřmaları ve geliřtirilen yeni devre bloklarını yansıtan yazılarla karřılařılmaktadır. Bunun bařlıca nedeni, gn getike analog ve dijital sistemlerin iie girmesidir. Dijital sistemlerde MOS teknolojisine yaygın olarak kullanıldıĐından, analog sistemler iin de aynı teknolojinin kullanılabilir olması, ekonomik aıdan byk yararlar saĐlamaktadır. oĐunlukla, iřaretin analogdan dijitale evrilmesi yahut bunun tersinin gerekleřtirilmesi iin gerekli olan presizyonlu kuvvetlendirme, szme, rnekleme ve tutma, gerilim karřılařtırma, presizyonlu ikili kod aĐırlıklı gerilim ve akım retme vb. analog fonksiyonların gerekleřtirilmesine gereksinime duyulmaktadır. Alt sistemlerin eski teknolojide olduĐu gibi, ayrı ayrı bipolar analog ve MOS dijital blmlere ayrılması ise, birok durumda kılıflama maliyeti, baskılı devre zerinde kaplanan yer gibi nedenlerle, istenen bir zellik olmamaktadır. Bunun yanısıra, MOS teknolojisi ile bipolar tranzistorlara gre %30-%50 oranında daha az kırmık alanı kullanılmaktadır.

Bipolar teknolojisine ile karřılařtırıldıĐında, MOS teknolojisinin analog fonksiyonların gerekleřtirilmesi aısından yararlı yanları olduĐu kadar yetmez kalan zellikleri bulunduĐu sylenebilir. MOS teknolojisinin bipolar tranzistorlara gre nemli sayılabilecek sakıncaları řyle zetlenebilir :

1. Aynı kolektr akımı iin bipolar tranzistorların  $g_m$  geiř iletkenliĐi MOS tranzistorlara gre kıyaslanamayacak kadar yksektir.
2. Geiř iletkenliĐinden ileri gelen bu sakıncayı gidermek zere, kazanç katlarında byk deĐerli direner kullanılabilir. Ancak, MOS teknolojisi ile byk deĐerli direner elde etmek olduka gtr. Bu direneri elde etmek iin kullanılan kırmık alanı da o kadar fazla olmaya bařlar ki, bunların kullanılması pratik olmaktan ıkar. Bu yzden, MOS' larla alıřılırken byk kazanç deĐerleri elde etmek zere aktif elemanlardan yararlanma zorunluluĐu bulunmaktadır.
3. MOS tranzistorların frekans cevabı bipolar tranzistorlarınkine gre daha ktdr.

4. İmalat sırasında meydana gelen eşleştirme sorunu yüzünden, işlemsel kuvvetlendiricilerin giriş dengesizlik gerilimi daha fazladır.

5. 1/f gürültüsü daha yüksek olmaktadır.

Bütün bu sakıncalara rağmen, günümüzde MOS teknolojisi analog devrelerde gittikçe yaygınlaşmaktadır. Bunun nedeni, daha önce de belirtildiği gibi, analog ve dijital sistemlerin gün geçtikçe içiçe girmesidir.

Dijital sistemlerde MOS teknolojisinin kullanılması, analog sistemlerde de aynı teknolojinin kullanılabilir olması, ekonomik açıdan büyük yararlar sağlamaktadır. Bunun yanı sıra, yüksek giriş direnci, çekilen akımın düşük olması gibi nedenlerden ötürü, MOS yapılar yarar sağlamaktadır.

### 1.2. MOS tranzistoru karakterize eden temel bağıntılar

Analog tümdevrelerin analizinde kullanılacak temel bağıntılara kısaca değinmekte yarar vardır. MOS tranzistorun elektriksel özellikleri aşağıdaki bağıntılarla verilmektedir:

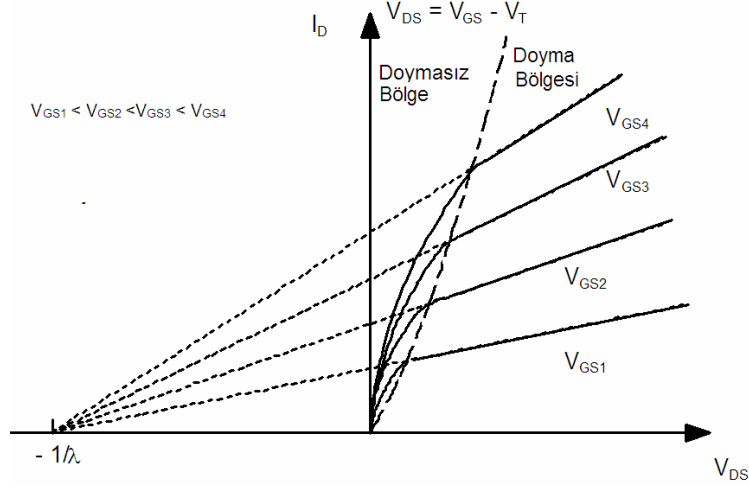
Doymalı bölgede  $V_{GS} - V_T \leq V_{DS}$  için

$$I_D = \frac{1}{2} \frac{W}{L} \mu \cdot C_{OX} [V_{GS} - V_T]^2 [1 + \lambda V_{DS}] \quad (1.1)$$

Doymasız bölgede  $V_{GS} - V_T \geq V_{DS}$  için

$$I_D = \frac{1}{2} \frac{W}{L} \mu \cdot C_{OX} [2 \cdot (V_{GS} - V_T) \cdot V_{DS} - V_{DS}^2] [1 + \lambda V_{DS}] \quad (1.2)$$

Bu bağıntılarda yer alan  $\lambda$  büyüklüğü, kanal boyu modülasyonu parametresi olarak isimlendirilir.  $\lambda$  büyüklüğü, BJT'deki Early olayını modelleyen Early gerilimine benzer biçimde tanımlanan bir büyüklüktür. Bu açıdan bakıldığında, MOS tranzistor için bir Early gerilimi tanımlanması halinde kanal boyu modülasyonu parametresinin  $\lambda=1/V_A$  biçiminde ifade edilebileceği açıktır. Bu parametrenin geometrik tanımı Şekil-1.1' de görülmektedir .



Şekil-1.1. Bir NMOS tranzistorun çıkış özdeşleri üzerinde  $\lambda$  kanal boyu modülasyonu parametresinin geometrik tanımı.

### Gövde-Etkisi

MOS tranzistorlarda etkili olan diğer bir özellik de gövde etkisidir. Bir NMOS da kaynak ile savak arasındaki n tipi kanal ile p tipi katkılı gövde bir pn jonksiyonu gibi düşünülebilir. Kaynak-gövde ve savak-gövde jonksiyonlarından hiçbirinin iletim yönünde kutuplanmaması için, gövde ucu en düşük potansiyele bağlanmalıdır. Dolayısıyla, kanal ve gövde arasındaki jonksiyon tıkama yönünde kutuplanmış olur. Tıkama yönünde kutuplanmış bir jonksiyonun iki yanında oluşan fakirleşmiş bölge artan tıkama yönü gerilimiyle genişler. Buna göre, sabit geçit gerilimi altında akan  $I_D$  akımı, gövde potansiyelinin değiştirilmesiyle kontrol edilebilir. Bu olay, JFET lerde savak akımının geçit gerilimiyle kontrol edilmesine benzemekle birlikte, MOS tranzistorlar için istenmeyen bir durumdur. Zira, gövde etkisi  $I_D$  akımını azaltacak yönde etki etmektedir. Akımdaki bu azalmayı dengelemek üzere, geçit gerilimini arttırmak gerekir. Bu açıdan bakıldığında, gövde etkisinin  $V_T$  eşik gerilimini arttırdığı söylenebilir. Eşik gerilimindeki bu artma,  $V_{SB}$  kaynak-gövde gerilimi ve  $C$  de değeri 0.5 ile 2 arasında değişen, gövde katkılama oranına bağlı bir sabit olmak üzere

$$\Delta V_T = C\sqrt{V_{SB}} \quad (1.3)$$

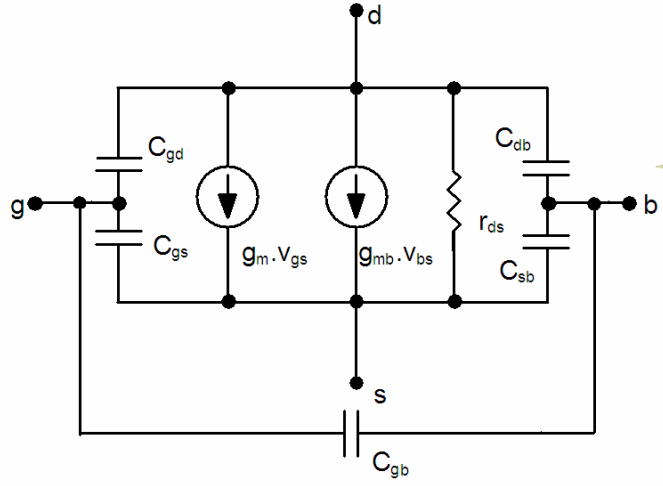
bağıntısı ile verilmektedir.

Gövde etkisinin MOS tranzistorun eşik gerilimine etkisi

$$V_T = V_{T0} + \gamma \left[ \sqrt{-V_{BS} + 2\phi_F} - \sqrt{2\phi_F} \right] \quad (1.4)$$

bağıntısıyla verilir. Bu bağıntıda  $\gamma$  büyüklüğü gövde etkisi faktörü,  $V_{T0}$  büyüklüğü  $V_{BS} = 0$  ikenki eşik gerilimi,  $\phi_F$  de Fermi potansiyelidir.

### MOS küçük işaret modeli



Şekil-1.2. MOS tranzistorun küçük işaret modeli

MOS tranzistorun küçük işaret modeli Şekil-1.2'de görülmektedir. Analog uygulamalarda MOS tranzistorlar hemen hemen sadece doyma kullandıklarından, verilen model doyma bölgesi için geçerlidir. Modeldeki  $g_m$  geçiş iletkenliği (1.1) bağıntısından türev alınarak bulunabilir. Böylece

$$g_m = \mu \cdot C_{OX} \frac{W}{L} (V_{GS} - V_T) \quad (1.5)$$

yahut

$$g_m = \sqrt{2\mu \cdot C_{OX} \frac{W}{L} I_D} \quad (1.6)$$

$$g_m = \frac{2I_D}{V_{GS} - V_T} \quad (1.7)$$

olur. Bu bağıntılardan yararlanılarak MOS ile bipolar tranzistorlar karşılaştırılabilir. Bipolar tranzistorlarda kolektör akımı belli olduktan sonra

$$g_m = \frac{I_C}{\left(\frac{kT}{q}\right)} \quad (1.8)$$

bağıntısıyla mutlak olarak belirlenmiş olur. MOS tranzistorlarda ise eğim  $I_D$  doyma bölgesi savak akımı dışında tranzistorun geometrisine, yani (W/L) oranına da bağlı olmaktadır.  $g_{mb}$  iletkenliği gövde etkisini gösteren bir büyüklüktür ve gövde etkisi  $V_{BS}$  gerilimi ile arttığından,  $\partial I_D / \partial V_{BS}$  şeklinde ifade edilir. Bu türev alındığında

$$\lambda_b = \frac{\gamma}{2\sqrt{[-V_{BS} + 2\phi_F]}} \quad (1.9)$$

olmak üzere

$$g_{mb} = \lambda_b \cdot g_m \quad (1.10)$$

bağıntısı elde edilir.

Devre hesaplarında  $\lambda_b$  katsayısından çok

$$\alpha_b = \frac{1}{1 + \lambda_b} \quad (1.11)$$

bağıntısıyla tanımlanan gövde etkisi faktörü kullanılmaktadır. Bağıntının çıkartılışına daha sonra değinilecektir.

$r_{ds}$  (yahut  $r_o$ ) çıkış direnci kanal boyu modülasyonundan ileri gelmekte ve

$$r_{ds} = \left. \frac{\partial V_{DS}}{\partial I_D} \right|_{V_{GS}=\text{sabit}} = \frac{1}{\lambda \cdot I_D} \quad (1.12)$$

bağıntısıyla verilmektedir.  $r_{ds}$  direncinin değeri megaohmlardan birkaç kiloohm mertebesine kadar değişebilir.

$C_{gs}$  geçitten kaynağa ve kanalın kısılmamış kısmına ilişkin kapasitedir. Bu kapasitenin değeri birim yüzey kapasitesi  $C_{OX}$  ile geçit oksidi ile kaynak ve kanal arasında kalan alanın çarpıma bağlıdır ve

$$C_{gs} = \frac{2}{3} WLC_{OX} \quad (1.13)$$

bağıntısıyla tanımlanır. Bu bileşenin yanısıra,  $C_{gs}$  kapasitesinin geçitin kaynak bölgesine ilişkin bindirme kapasitesi nedeniyle sabit değerli bir parazitik bileşeni daha bulunmaktadır. Bu bileşenin de (1.13) bağıntısıyla verilen bileşene eklenmesi gerekir.

$C_{gd}$  büyüklüğü, geçit ile savak arasında kalan bölgeden ileri gelen kapasitedir. Diğer kapasiteler için de benzer düşünceler ileri sürülebilir. Doyma bölgesinde çalışmada bu kapasite geçitin savak bölgesine ilişkin bindirme kapasitesinden oluşur ve çok küçük değerlidir. Ancak, kuvvetlendirici devrelerinde Miller etkisi nedeniyle bu küçük değerli  $C_{gd}$  kapasitesi en önemli kapasite olmaktadır.

Eşdeğer devrede yer alan  $C_{sb}$  ve  $C_{db}$  kapasiteleri, savak ve kaynak bölgeleri ile taban arasındaki tıkama yönünde kutuplanmış jonksiyonlara ilişkin kapasitelerdir. Bu jonksiyon kapasiteleri

$$C_{sb} = \frac{C_{sbo}}{\left(1 + \frac{V_{SB}}{\phi_0}\right)^{1/2}} \quad (1.14)$$

$$C_{db} = \frac{C_{dbo}}{\left(1 + \frac{V_{DB}}{\phi_0}\right)^{1/2}} \quad (1.15)$$

şeklinde tanımlanmışlardır. Bu bağıntılarda  $C_{sbo}$  ve  $C_{dbo}$  büyüklükleri ilgili jonksiyonlara ilişkin sıfır kutuplama kapasiteleri,  $V_{SB}$  kaynak taban gerilimi,  $V_{DB}$  savak taban gerilimi,  $\phi_0$  büyüklüğü de jonksiyonlara ilişkin potansiyel seddidir.

Geçit ve taban arasında yer alan  $C_{gb}$  kapasitesi geçit malzemesi ile tabanın aktif eleman bölgesi dışında kalan kısmı arasında oluşan parazitik oksit kapasitesidir.

**KAYNAKLAR**

- [1] H. Kuntman, Analog tümdevre tasarımı, Sistem yayınları, İstanbul, 1992.
- [2] H. Kuntman, Analog MOS tümdevre tasarımı (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), Uygulamaya özgü tümdevre teknolojileri yaz okulu notları, İstanbul,1993.
- [3] H. Kuntman, İleri analog tümdevre tasarımı: Analog devreler, (Endüstri Semineri Notu), İTÜ İleri Elektronik Teknolojileri Araştırma Geliştirme Vakfı (ETA), İstanbul,1994.
- [4] P.R. Gray, R.G. Meyer, Analysis and design of analog integrated circuits, John Wiley, 1984.
- [5] R. Gregorian, G.C. Temes, Analog MOS integrated circuits for signal processing, John Wiley, 1986.
- [6] A.B. Grebene, Bipolar and MOS analog integrated circuit design, John Wiley, 1984.
- [7] F. Riedel, MOS Analogtechnik, Oldenburg Verlag, Wien, 1988.
- [8] P.E. Allen and D.R. Holberg, CMOS analog circuit design, Holt, Rinehart and Winston Inc., New York, 1987.
- [9] P. Antognetti, G. Massobrio, Semiconductor device modeling with SPICE, Mc Graw Hill, 1988.