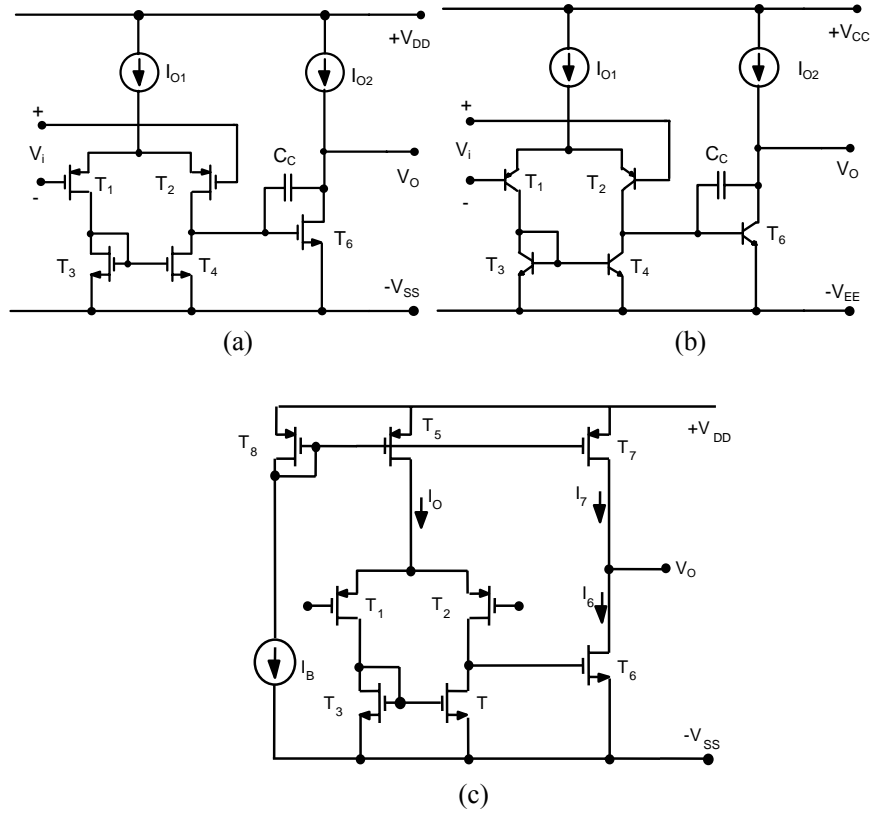


3.2

1. Kazancın sonlu olması,
 2. Lineerlik bölgesinin sonlu olması,
 3. dengesizlik gerilimi,
 4. frekans eğrisi,
 5. gürültü
- alt başlıkları altında sıralanabilir.



Şekil-3.1. a) İki kazanç katlı CMOS işlemsel kuvvetlendirici, b) yapının bipolar tekniğindeki karşılığı, c) gerçekleştirme devresi

Devrenin açık çevrim kazancı, kazanç katları için verilen yöntemle kolayca hesaplanabilir. MOS tranzistorun giriş direncinin çok yüksek olması nedeniyle ilk kat ikinci kat tarafından yüklenmez. Gerilim kazancı iki katın kazançları ayrı ayrı hesaplanarak bulunabilir. İlk katın gerilim kazancı hesaplanırsa

3.4

MOS işlemsel kuvvetlendiricilerde kat başına sağlanan gerilim kazancı düşüktür, dolayısıyla ikinci kat da dengesizlik üzerine etkilidir. İlk katın girişleri Şekil-3.2'de gösterilen biçimde referans noktasına bağlansın, yani topraklansın. $T_1 - T_5$ transistörleri ile kurulmuş olan giriş fark kuvvetlendiricisi asimetrik çıkışlı, yapının T_6-T_7 transistörleriyle kurulmuş bulunan çıkış katı da yine asimetrik çıkışlıdır ve T_7 transistörü aktif yük görevini üstlenmektedir. İdeal durumda her iki giriş ucunun da toprak potansiyelinde bulunması nedeniyle, V_O çıkış geriliminin ve buna bağlı olarak I_G akımının sıfır, dolayısıyla da T_6 ve T_7 transistörlerinin savak akımlarının $I_6 = I_7$ olması gerekir.

Yapıda, aynı geçit-kaynak gerilimi altında aynı savak akımı aktığından, T_4 transistörünün savağındaki gerilim T_3 transistörünün savak gerilimine eşit olur. Dolayısıyla her iki transistörün V_{DS} gerilimleri aynıdır. Bu gerilim ise T_6 transistörünün V_{GS} geçit-kaynak gerilimine eşittir. Oysa, T_6 transistörünün çıkış gerilimini sıfır yapmak üzere gereksinme gösterdiği geçit gerilimi bundan farklı olabilir. Bu nedenle, T_3 , T_4 ve T_6 nin akım yoğunlukları, bu üç elemanda aynı olacak biçimde W/L oranlarının seçilmesi zorunlu olur.

Devrede denge durumunda

$$(W/L)_1 = (W/L)_2 \text{ ve } (W/L)_3 = (W/L)_4$$

$$V_{DS3} = V_{DS4}$$

olduğundan tüm akım ve gerilimler simetriktir.

$$V_{GS3} = V_{GS6}$$

ise

$$I_6 = I_7, I_G = 0 \text{ ve } V_{DS6} = 0 - (-V_{SS}) = V_{SS}$$

olur. Bu şart yerine gelmiyorsa

$$I_G \neq 0$$

olur ve bir dengesizlik oluşur. Bu dengesizlik sistematik dengesizlik olarak isimlendirilir. V_{GS6} 'nın çıkışı sıfıra getiren değerini V_{GS6M} ile gösterelim. Böylece giriş dengesizlik gerilimi

3.5

$$V_{OS} = \frac{V_{GS6} - V_{GS6M}}{K_d} = \frac{V_{GS3} - V_{GS6M}}{K_d}$$

biçiminde ifade edilebilir. Bu bağıntıda K_d giriş katının fark işaret kazancını göstermektedir. Elemanların doymada oldukları varsayılır ve kanal boyu modülasyonu da ihmal edilirse

$$V_{GS3} = V_{DS3} = V_{GS4} = V_{DS4} = V_{TN} + \sqrt{\frac{2 \cdot \left(\frac{I_O}{2}\right)}{k_n' \cdot (W/L)_3}}$$

yazılabilir. Benzer şekilde T_6 için

$$V_{GS6} = V_{TN} + \sqrt{\frac{2 \cdot I_6}{k_n' \cdot (W/L)_6}}$$

elde edilir. $I_6 = I_7$ ve $V_{GS6} = V_{GS3}$ olması gerektiğinden

$$V_{GS3} = V_{TN} + \sqrt{\frac{2 \cdot I_7}{k_n' \cdot (W/L)_6}}$$

olur. Böylece

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(I_O/2)}{I_7}$$

şartı elde edilir. T_5 ve T_7 tranzistorlarının geçit-kaynak gerilimleri birbirine eşittir. Kanal boyu modülasyonunun da ihmal edilebileceği gözönünde tutulursa

$$\frac{(W/L)_5}{(W/L)_7} = \frac{I_O}{I_7}$$

bulunur. Bütün bunların biraraya getirilmesiyle

$$\frac{(W/L)_3}{(W/L)_6} = \frac{(W/L)_4}{(W/L)_6} = \frac{1}{2} \cdot \frac{(W/L)_5}{(W/L)_7} = \frac{I_O}{2 \cdot I_7} \quad (3.3)$$

şartı elde edilir.

3.6

Rastgele dengesizlik

Rastgele dengesizlik. tranzistorların eşik gerilimleri ve W/L oranları arasında imalat toleransları nedeniyle ortaya çıkan farklılıktan ileri gelir. $T_1 - T_2$ giriş tranzistorlarının ve $T_3 - T_4$ yük tranzistorlarının geometrisindeki (W/L oranlarındaki) toleranslar nedeniyle aynı kutuplama şartları altında bu tranzistorların savak akımları, yahut prosetteki farklılıklar nedeniyle aynı savak akımı için gereken kutuplama gerilimleri, dolayısıyla eşik gerilimleri farklı olabilir.

İlk önce T_3-T_4 yük tranzistorlarının akımlarının aynı kutuplama şartları altında farklı oldukları varsayalım. Bu durumda, tranzistorların akımları

$$I_3 = \frac{I}{2}(1 - \varepsilon_1).I_0 \neq I_4 = \frac{I}{2} \cdot (1 + \varepsilon_1).I_0$$

olur. Bu dengesizliği düzeltmek için devrenin girişine uygulanması gereken fark giriş gerilimi

$$V_{OS1} = \frac{\varepsilon_1 \cdot I_0}{g_{mi}} \quad (3.4)$$

değerindedir. Giriş dengesizlik geriliminin V_{OS1} bileşenini azaltmak üzere giriş tranzistorlarının eğimlerinin artırılması yahut I_0 kutuplama akımının azaltılması gerekir.

İkinci adımda giriş elemanlarının boyutları ve eşik gerilimleri dengesiz, yük elemanları ise dengeli olsun. Buna göre

$$(W/L)_1 = (1 - \varepsilon_2) \cdot (W/L)_2$$

$$V_{T1} = V_{T2} - \Delta V_T$$

yazılabilir. Eşik gerilimlerinin dengesizliğini gidermek üzere ΔV_T farkı kadar bir dengesizlik geriliminin girişe uygulanması gerekli olur. Böylece giriş dengesizlik geriliminin bu ikinci bileşeni

$$V_{OS2} = \Delta V_{Ti} \quad (3.5)$$

biçiminde ifade edilebilir. Giriş tranzistorlarındaki geometrik dengesizlikten ileri gelen dengesizlik için

3.7

$$\Delta I_1 = -\varepsilon_2 \cdot I_1 = -\varepsilon_2 \cdot \frac{k_1}{2} \cdot (V_{GS1} - V_{T1})^2$$

$$V_{OS3} = \frac{\varepsilon_2 \cdot I_0}{g_{mi}} \quad (3.6)$$

yazılabilir. Bağıntıdan fark edilebileceği gibi, V_{OS3} bileşeni, V_{OS1} bileşeninde olduğu gibi, $(W/L)_1$ oranı artırılarak veya I_0 kutuplama akımı azaltılarak küçültülebilir. Her iki etken de $(V_{GS1} - V_{T1})$ farkını azaltacak yönde etkisini gösterir. ΔV_T farkı ise I_0 kutuplama akımı ve $(W/L)_1$ oranından bağımsızdır.

Yük tranzistorlarının eşik gerilimleri arasında oluşacak bir fark da giriş dengesizlik gerilimi üzerine etkili olur. Bu dengesizliği düzeltmek için giriş uygulanacak dengesizlik bileşeni

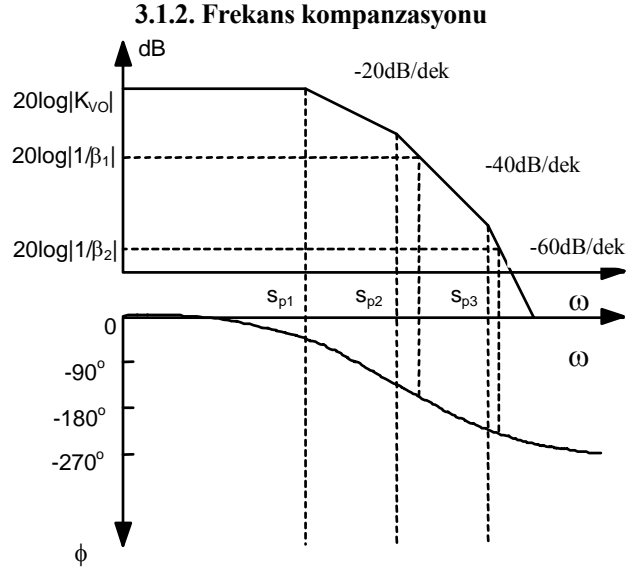
$$V_{OS4} = \frac{\Delta V_{T3-4}}{K_{d1}} = \Delta V_{T3-4} \cdot \left(\frac{g_{m3}}{g_{m1}} \right) \quad (3.7)$$

şeklinde ifade edilebilir.

Bütün bunların biraraya getirilip düzenlenmesiyle rastgele dengesizliğe ilişkin dengesizlik gerilimi için

$$V_{OS} = \Delta V_{T1-2} + \Delta V_{T3-4} \cdot \left(\frac{g_{m3}}{g_{m1}} \right) + \frac{(V_{GS} - V_T)_{1-2}}{2} \cdot \left[\frac{\Delta(W/L)_{1-2}}{W/L_{1-2}} - \frac{\Delta(W/L)_{3-4}}{W/L_{3-4}} \right] \quad (3.8)$$

bağıntısı elde edilir. Bu bağıntıda ilk terim giriş tranzistorları eşik gerilimleri arasındaki dengesizliği, ikinci terim yük elemanları eşik gerilimleri arasındaki dengesizliği vermektedir. W/L oranlarının uygun seçilip yük tranzistorlarının eğimleri giriş tranzistorlarının eğimlerinden küçük tutulursa, yük elemanlarının eşik gerilimlerinden ileri gelen dengesizlik terimi minimize edilebilir. Üçüncü terim ise giriş tranzistorları ve yük tranzistorlarına ilişkin W/L oranları arasındaki dengesizliğini vermektedir. Giriş tranzistorlarının düşük bir $(V_{GS} - V_T)$ farkı ile çalıştırılmasıyla, bu terimi minimize etmek mümkündür. Pratikte $(V_{GS} - V_T)$ farkı 50mV ile 100mV mertebesinde tutulur.



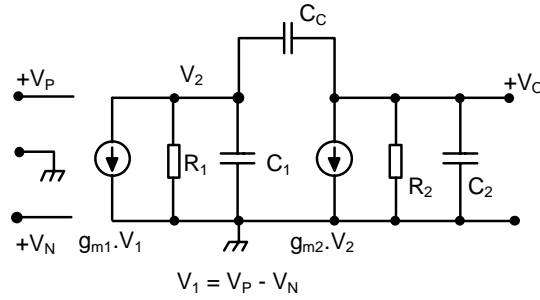
Şekil-3.3. İşlemsel kuvvetlendiricinin açık çevrim kazanç-frekans ve faz-frekans karakteristiği.

İşlemsel kuvvetlendiriciler, genellikle, negatif geribesleme uygulanarak çalıştırılırlar. Negatif geribesleme ile çalışmada en önemli sorun **kararlılık** sorunudur. İdeal işlemsel kuvvetlendiricide band genişliğinin sonsuz ve bu nedenle kuvvetlendiriciye osilasyon tehlikesi olmaksızın istenildiği kadar negatif geribesleme uygulanabilmesine karşılık, gerçek bir işlemsel kuvvetlendiricide durum değişiktir. Gerçek işlemsel kuvvetlendiricinin frekans band genişliği sonsuz değildir ve açık çevrimde çalışmada transfer fonksiyonunun yüksek frekanslar bölgesinde kutupları vardır. Gerçek işlemsel kuvvetlendiricinin genlik-frekans ve faz frekans eğrileri Şekil-3.3'de görülmektedir.

Uygulanan bir negatif geribeslemenin frekans eğrisini ne şekilde etkileyeceği, yine Şekil-3.3 üzerinde gösterilmiştir. β_1 kadar bir geribesleme uygulanması durumunda $\beta.K \gg 1$ ise geribeslemeli durumdaki kazanç $1/\beta_1$ olur. Devrenin kararlı kalabilmesi için uygulanan negatif geribeslemenin hiçbir şekilde pozitif dönmemesi, başka bir deyişle kazanç 0 dB değerine ulaşana kadar hiç bir frekansta faz dönmesinin 180° olmaması gereklidir. Kazanç 0 dB değerini aldığı anda faz dönmesini 180° değerine tamamlayan değere faz payı adı verilir. Faz dönmesinin 180° olduğu frekansta kazancın 0dB ile olan farkına da kazanç payı

3. 12

Genel amaçlı kullanılmada frekans kompanzasyonu için başvurulan en yaygın yol, frekans eğrisinin en düşük açık çevrim kutbuna kadar -20dB/dek'lük eğimle düşmesini sağlamaktır. Bunun için genellikle ikinci kazanç katının giriş ve çıkış uçları arasına bir kompanzasyon kapasitesi bağlanır. Böylece, negatif kazançlı bu ikinci kazanç katı bir integratöre dönüştürülmüş olur. Yapı Miller integratörü oluşturduğundan, bu kompanzasyon Miller kompanzasyonu olarak isimlendirilmektedir.



Şekil-3.7. İki kazanç katlı işlemsel kuvvetlendiricinin küçük işaret eşdeğer devresi.

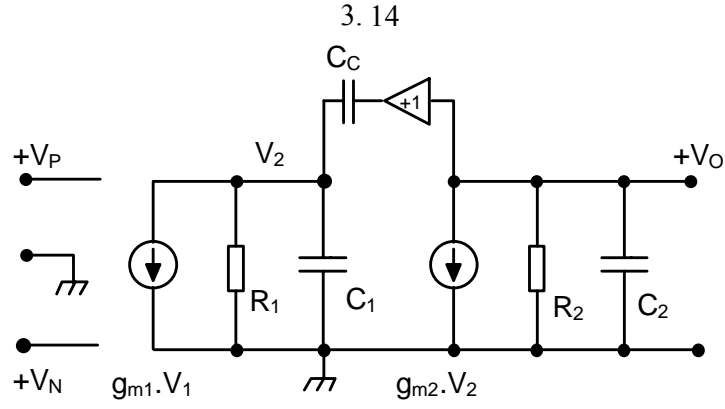
Ele alınan iki katlı işlemsel kuvvetlendirici yapısının frekans analizi küçük işaret eşdeğer devresi yardımıyla yapılabilir. Küçük işaret eşdeğer devresi Şekil-3.7' de verilmiştir. Devrenin yüksek frekanslar bölgesinde iki kutbu ve sağ yarı düzlemde bir sıfırı vardır. Sıfır ve kutuplar

$$s_0 = \frac{g_{m2}}{C_C} \quad (3.10)$$

$$s_1 = \frac{-I}{(I + g_{m2} \cdot R_2) \cdot C_C \cdot R_1} \quad (3.11)$$

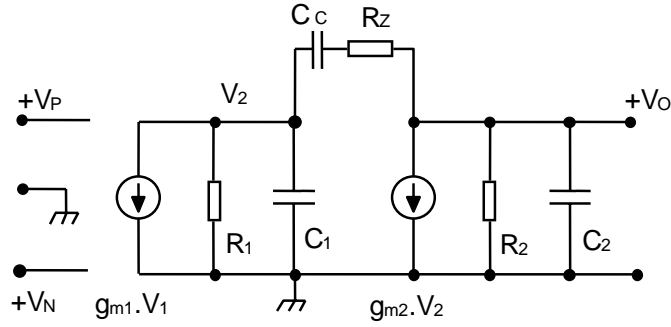
$$s_2 = \frac{-g_{m2} C_C}{C_2 C_1 + C_2 C_C + C_C C_1} \quad (3.12)$$

şeklinde. Bu sonuç bipolar tranzistorlu devreler için de geçerlidir. Ancak, eleman özellikleri açısından ele alındığında, iki yapı arasında belirgin farklar ortaya çıkar. Bipolar yapıda s_{p2} ve s_0 nun değerleri, eğimin yüksek olmasının bir sonucu olarak, yüksektir ve bunların getirdiği faz kayması işlemsel kuvvetlendiricinin birim kazanç band genişliği frekansında ihmal edilebilir. MOS tranzistorlu devrelerde ise böyle



Şekil-3.8. Kompanzasyon yolu üzerine kaynak izleyici yerleştirilmesi.

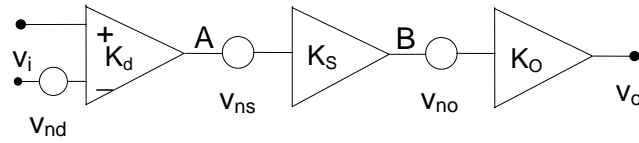
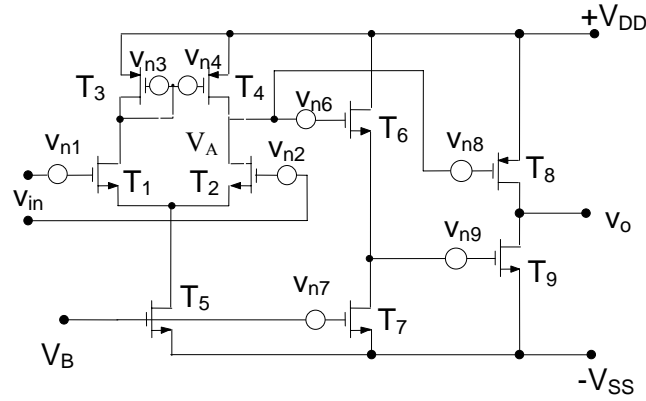
Diğer bir sorun kapasitif yüklenme sorunudur. Bu durumda baskın olmayan kutup ikinci katın eğiminin ilk katın eğimine oranına ve yük kapasitesinin kompanzasyon kapasitesine oranına bağlıdır. İlk ve ikinci kat eğimleri benzer ve yük kapasitesi ile kompanzasyon kapasitesi aynı mertebede ise, birim kazançta faz payı azalır.



Şekil-3.9a. Sıfırlama direnci.

3.1.4. CMOS işlemsel kuvvetlendiricilerde gürültü

CMOS işlemsel kuvvetlendiricilerde gürültü, yapıda işaret yolu üzerindeki transistörlerin her biri için gürültü gerilimi kaynağı da dikkate alınarak incelenebilir. İki kazanç katlı işlemsel kuvvetlendirici yapısı için elde edilen gürültü eşdeğeri Şekil-3.15'de verilmiştir. Böyle bir yapıda, gürültü, eşdeğer bipolar yapıdakine göre 10 kat daha yüksektir. Yapıda yer alan üç kat, kat girişine indirgenmiş eşdeğer gürültü gerilimi yaknağı ve gürültüsüz kuvvetlendirici cinsinden ayrı ayrı modellenmiştir. T_5 akım kaynağı transistöründen ileri gelen gürültü ise, işlemsel kuvvetlendiricinin CMRR ortak işareti bastırma miktarı oranında bastırılır ve etkisiz kılınır.



Şekil-3.15. İki kazanç katlı işlemsel kuvvetlendiricide gürültü eşdeğeri.

3. 23

Giriş tranzistorlarına ilişkin v_{n1} ve v_{n2} gürültü kaynaklarından A noktasına yansıyan gürültü,

$$K_d = \frac{v_A}{v_{n1}} = \frac{v_A}{v_{n2}} = \frac{g_m}{g_{o2} + g_{o4}} \quad (3.26)$$

gürültü kazancı ile ifade edilebilir. Benzer şekilde hareket edilerek, T_3 ve T_4 tranzistorlarına ilişkin v_{n3} ve v_{n4} gürültü kaynaklarından A noktasına kadar gürültü kazancı da tanımlanabilir. v_{n3} gürültü geriliminden yansıyan akım bileşeni

$$i = g_{m3} \cdot v_{n3}$$

olur. Bu bileşen T_4 tranzistoru ile aynalanır. Böylece

$$v_A = \frac{g_{m3} \cdot v_{n3}}{g_{o2} + g_{o4}}$$

elde edilir. Benzer şekilde, T_4 tranzistoruna ilişkin v_{n4} gürültü gerilimi için

$$K_v = \frac{v_A}{v_{n3}} = \frac{v_A}{v_{n4}} = \frac{g_{m3}}{g_{o2} + g_{o4}} \quad (3.27)$$

yazılabilir. Bütün bu gürültü kaynaklarının A noktasında oluşturacağı gürültü gücü dikkate alınır ve bu gürültüyü oluşturan gerilim fark kuvvetlendiricisinin girişine indirgenirse

$$\overline{v_A^2} = K_d^2 \cdot (\overline{v_{n1}^2} + \overline{v_{n2}^2}) + K_v^2 \cdot (\overline{v_{n3}^2} + \overline{v_{n4}^2})$$

olduğundan

$$\overline{v_{nd}^2} = \overline{v_{n1}^2} + \overline{v_{n2}^2} + \left(\frac{g_{m4}}{g_{m1}} \right)^2 \cdot (\overline{v_{n3}^2} + \overline{v_{n4}^2}) \quad (3.28)$$

elde edilir. Bağıntıdan fark edilebileceği gibi, v_{nd}^2 'yi minimize etmek için v_{n1} ve v_{n2} 'nin etkilerinin düşük tutulması, ve $g_{m4} \ll g_{m1}$ şartının sağlanması gerekli olmaktadır. Bu şartlardan ilkinin yerine gelebilmesi için T_1 - T_2 çiftini oluşturan tranzistorların W.L yüzeyi ile bunların g_m eğiminin büyük tutulması gerekir. Bu ise kırmık üzerinde yer kaybı ve ek güç harcaması anlamına gelmektedir. $g_{m4} \ll$

3. 24

g_{m1} şarının sağlanması için kutuplamanın elverdiği oranda yük tranzistorlarının L kanal boyu arttırılmalıdır. Bu ise, giriş ve yük tranzistorları için ayrılan yüzeyin belli olduğu varsayımı altında, $T_1 - T_2$ çiftine ayrılan alan büyük, T_3-T_4 çiftine ayrılan alanın küçük tutulacağı anlamına gelir.

Bir NMOS tranzistordaki $1/f$ gürültüsü, bir p kanallı tranzistordakine göre 3 defa kadar daha yüksek olur.

İki kazanç katı arasında seviye öteleme amacıyla yerleştirilmiş olan ve T_6-T_7 tranzistorları ile kurulan kaynak izleyici için benzer yoldan hareket edilerek eşdeğer gürültü gerilimi hesaplanırsa

$$\overline{v_{ns}^2} = \overline{v_{n6}^2} + \left(\frac{g_{m7}}{g_{m6}} \right)^2 \cdot \overline{v_{n7}^2} \quad (3.29)$$

elde edilir. Bu eşdeğer gerilim, aşağıdaki biçimde işlemsel kuvvetlendiricinin girişine de indirgenebilir:

$$\overline{v_n^2} = \overline{v_{nd}^2} + \frac{\overline{v_{ns}^2}}{K_d^2}$$

olduğundan

$$\overline{v_{nd}^2} = \overline{v_{n1}^2} + \overline{v_{n2}^2} + \left(\frac{g_{m4}}{g_{m1}} \right)^2 \cdot (\overline{v_{n3}^2} + \overline{v_{n4}^2}) + \frac{\left[\overline{v_{n6}^2} + \left(\frac{g_{m7}}{g_{m6}} \right)^2 \cdot \overline{v_{n7}^2} \right]}{K_d^2} \quad (3.30)$$

elde edilir. Bağlıtından kolayca fark edilebileceği gibi, $K_d^2 \gg 1$ şartının sağlandığı alçak frekanslarda v_{ns} kolayca ihmal edilebilir. Kazancın düştüğü yüksek frekanslarda ise durum böyle değildir. Bu gürültü etkisini düşük düzeyde tutabilmek üzere g_{m6} eğiminin büyük tutulması gerekeceği kolayca fark edilebilir.

İkinci kazanç katından ileri gelen gürültü ise önemli değildir ve eşdeğer giriş gürültü gerilimine katkısı ihmal edilebilir.

3. 28

T_{10} - T_{11} tranzistorları V_{K1} gerilimi ile I_o' akımını akıtacak biçimde kutuplanırlar. Böylece, I akımı

$$I = I_o' - \frac{I}{2} I_o$$

olur. Girişe bir ΔV_m gerilimi uygulansın. Bu durumda savak akımları $+\Delta I_o = g_{m1} \cdot \Delta V_m / 2$ kadar değişir. I_o' akımı sabit kalır. Bu nedenle, I akımları da $\pm \Delta I$ kadar değişir. T_3 - T_6 tranzistorları kaskod bir akım aynası oluştururlar. Böylece, T_3 - T_5 deki değişim, T_4 - T_6 koluna yansıtılmış olur. Böylece, işlemsel kuvvetlendiricinin çıkış gerilimi değişimi

$$\Delta v_o = g_{m1} \cdot R_o \cdot \Delta v_{in}$$

ve kazancı da

$$K_v = - g_{m1} \cdot R_o \quad (3.31)$$

olur. Yapının çıkış direnci ise

$$R_o = \frac{I}{\frac{g_{o2}}{g_{m6} \cdot r_{o6}} + \frac{(g_{o2} + g_{o11})}{g_{m8} \cdot r_{o8}}} \quad (3.32)$$

biçiminde ifade edilebilir. $R_o \cdot C_L$ zaman sabiti transfer fonksiyonunun baskın kutbunu belirler:

$$|s_{p1}| = \frac{1}{C_L R_o} = \frac{\frac{g_{o2}}{g_{m6} \cdot r_{o6}} + \frac{(g_{o2} + g_{o11})}{g_{m8} \cdot r_{o8}}}{C_L} \quad (3.33)$$

Baskın olmayan kutuplar, A, B, C düğümlerindeki düşük empedans değerlerinin dağılmış kapasitelerle yüklenmeleriyle belirlenir.

A düğümündeki etkin direnç $1/g_{m7}$, B düğümündeki etkin direnç $1/g_{m8}$, C düğümündeki etkin direnç ise $1/g_{m6} + 1/g_{m4}$ değerindedir. Buna göre

$$|s_{p2}|, |s_{p3}|, |s_{p4}| \gg |s_{p1}|$$

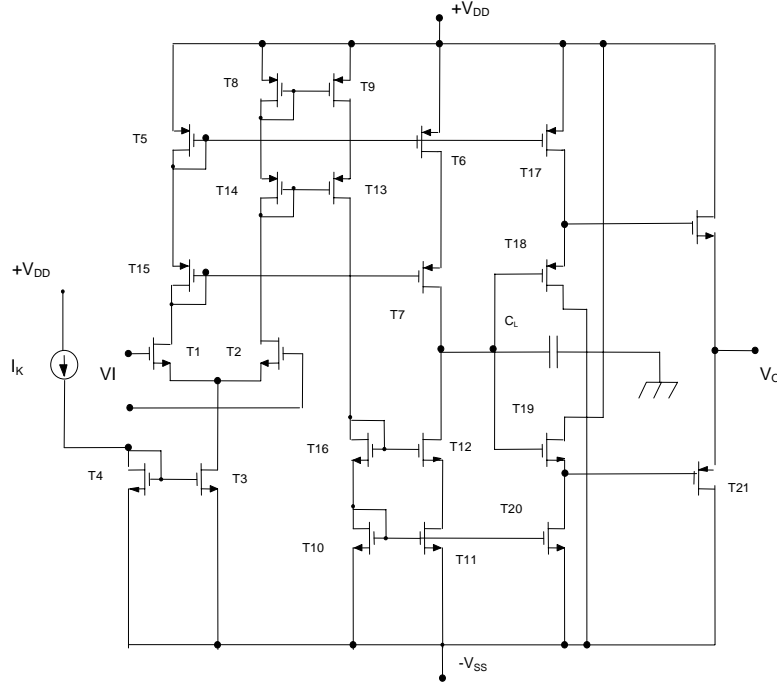
olur. s_{p1} ve K_{VO} açık çevrim kazancına bağlı olarak işlemsel kuvvetlendirici kararsız olabilir.

3.38

düğümdeki yüksek direnç değeri ile sağlanır. Tamponlanmamış kuvvetlendiricinin frekans cevabı oldukça iyidir; çünkü yukarıda sözü edilen düğüm dışındaki tüm düğümler düşük empedanslıdır. C_L yük kapasitesi ek bir kutup oluşturarak kuvvetlendiricinin kompanze edilmesini sağlar. Çıkış katı, düşük çıkış direnci elde etmek üzere kullanılmaktadır. Devrenin küçük işaret çıkış direnci

$$R_o = \frac{1}{g_{m21} + g_{m22}} \quad (3.39)$$

şeklinde dir. Çıkış katındaki elemanların boyutlarına ve kutuplama akımına bağlı olarak, çıkış direnci için 1 kOHM'dan küçük değerler elde edilebilir.



Şekil-3.27. Düşük çıkış dirençli bir CMOS işlemsel kuvvetlendirici yapısı.

T_{17} ve T_{20} transistörleri, T_{18} ve T_{19} transistörlerini kutuplarlar ve bunlar T_{21} ve T_{22} transistörlerinin eşlenik transistörleridir. İdealde T_{18} ve T_{22} ile T_{19} ve T_{21} transistörlerinin geçit gerilimleri birbirlerini kompanze ederler; dolayısıyla sıfır giriş gerilimi için çıkış gerilimi sıfır olur.

