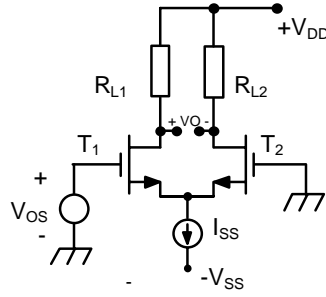


Şekil-2.20. MOS fark kuvvetlendiricisinin geçiş karakteristiği.



Şekil-2.21. MOS fark kuvvetlendiricisinde dengesizlik.

Kaynak bağlamalı çiftin incelenmesi gereken diğer bir özelliği de giriş dengesizlik gerilimidir. İncelemede basitlik sağlamak amacıyla devrede yük olarak R_L dirençlerinin kullanıldığı varsayalım (Şekil-2.21). Giriş dengesizlik gerilimine neden olan başlıca etkenlerin yük dirençlerinin, transistörlerin W/L oranlarının ve eşik gerilimlerinin değerleri arasındaki dengesizlikler olduğu kabul edilirse, dengesizlik gerilimi

$$V_{OS} = V_{GS1} - V_{GS2}$$

$$V_{OS} = V_{T1} + \sqrt{\frac{2 \cdot I_{D1}}{\mu \cdot C_{OX} (W/L)_1}} - V_{T2} - \sqrt{\frac{2 \cdot I_{D2}}{\mu \cdot C_{OX} (W/L)_2}} \quad (2.52)$$

biçiminde ifade edilebilir. Daha önce de yapıldığı gibi, fark ve ortalama büyüklükler tanımlanırsa

$$\begin{aligned}
\Delta I_D &= I_{D1} - I_{D2} \\
I_D &= \frac{I_{D1} + I_{D2}}{2} \\
\Delta \left(\frac{W}{L} \right) &= \left(\frac{W}{L} \right)_1 - \left(\frac{W}{L} \right)_2 \\
\left(\frac{W}{L} \right) &= \frac{\left(\frac{W}{L} \right)_1 + \left(\frac{W}{L} \right)_2}{2} \\
\Delta V_T &= V_{T1} - V_{T2} \\
V_T &= \frac{V_{T1} + V_{T2}}{2} \\
\Delta R_L &= R_{L1} - R_{L2} \\
R_L &= \frac{R_{L1} + R_{L2}}{2}
\end{aligned} \tag{2.53}$$

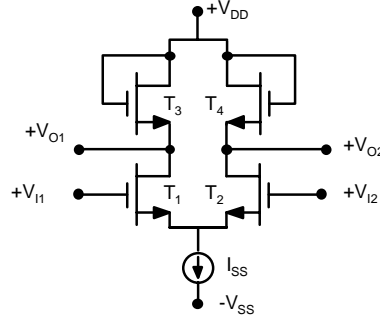
elde edilir. V_{OS} giriş dengesizlik gerilimi, tanım olarak, eleman toleransları nedeniyle ortaya çıkacak fark çıkış gerilimini tam olarak sıfır yapan giriş gerilimidir ve $I_{D1} \cdot R_{L1} = I_{D2} \cdot R_{L2}$ şartını gerektirmektedir. Bu şart ve yukarıda tanımlanan büyüklükler V_{OS} için elde edilen bağıntıya götürülür ve yüksek dereceden terimler ihmal edilirse, giriş dengesizlik gerilimi

$$V_{OS} = \Delta V_T + \frac{V_{GS} - V_T}{2} \left[\left(\frac{-\Delta R_L}{R_L} \right) - \left(\frac{\Delta(W/L)}{(W/L)} \right) \right] \tag{2.54}$$

bağıntısıyla verilebilir. Bu bağıntıda ΔR_L , ΔV_T , $\Delta(W/L)$ iki eleman arasındaki fark bileşenlerini, R_L , V_T ve (W/L) de ortalama değerleri gösterirler. Bağıntıdan fark edilebileceği gibi, yük elemanları arasındaki bir dengesizlik veya W/L oranlarındaki bir dengesizlik gerilimi doğrudan doğruya $V_{GS} - V_T$ ile çarpılmaktadır. $V_{GS} - V_T$ büyüklüğü tipik olarak birkaç yüz milivolt mertebesinde olur. Bipolar emetör bağlamalı çiftlerde aynı dengesizlik terimleri kT/q ile, yani çok daha küçük değerli bir çarpanla çarpılır. Bu nedenle, MOS kaynak bağlamalı çift bipolar emetör bağlamalı çifte göre, aynı orandaki geometrik dengesizlikler için daha yüksek bir giriş dengesizliği gösterir.

Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi

Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi Şekil-2.22'de verilmiştir.



Şekil-2.22. Doymalı kanal oluşturmali yüklü fark kuvvetlendiricisi.

Küçük işaret eşdeğer devresinden yararlanılırsa, devrenin fark gerilim kazancı

$$K_d = -\alpha_{b3} \frac{g_{m1}}{g_{m3}} \quad (2.55)$$

ortak işaret kazancı

$$K_C = -\frac{\alpha_{b1} \alpha_{b3}}{2 \cdot R_S \cdot g_{m3}} \quad (2.56)$$

ortak işareti zayıflatma oranı da

$$CMRR = \frac{K_d}{K_C} = \frac{2g_{m1} \cdot R_S}{\alpha_{b1}} \quad (2.57)$$

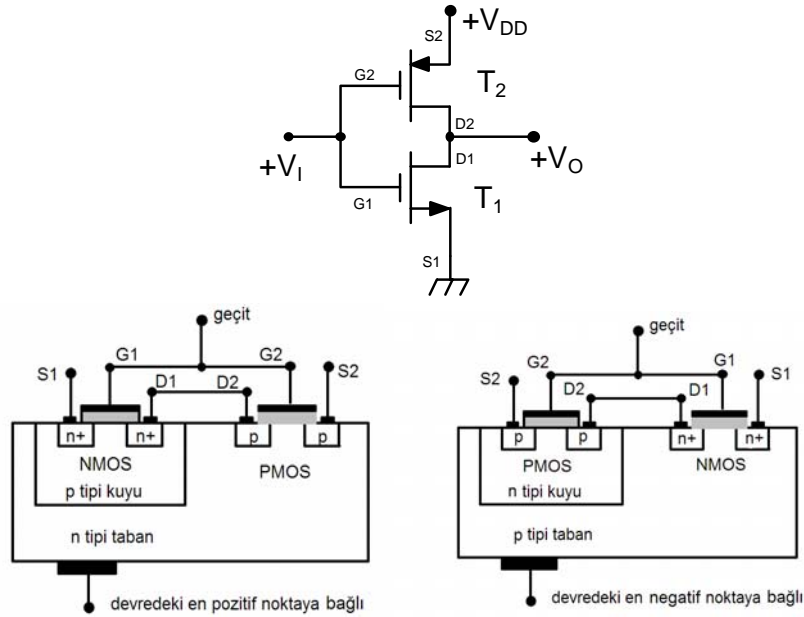
olur. Fark işaret kazancını veren (2.55) bağıntısında g_{m1} ve g_{m3} büyüklükleri (W/L) oranları cinsinden yerlerine konursa

$$K_d = -\alpha_{b3} \frac{g_{m1}}{g_{m3}} = -\alpha_{b3} \sqrt{\frac{(W/L)_1}{(W/L)_3}} \quad (2.58)$$

bağıntısı elde edilir. Daha önce tek katlı doymalı kanal oluşturmali yüklü kuvvetlendirici için elde edilen sonuçlarla karşılaştırılırsa, bu bağıntının önceki bağıntı ile aynı olduğu kolayca fark edilebilir.

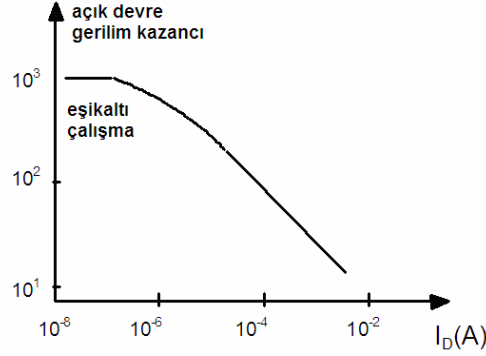
gerilim öteleyici katlara gerek bulunmamaktadır. Hem eşlenik tranzistorun bulunmasının sağladığı yararlar, hem de yüksek kazanç sağlamaları nedeniyle, CMOS devreler birçok uygulama alanında NMOS devrelere tercih edilmektedir.

CMOS evirici



Şekil-2.28. CMOS evirici ve evirici yapısının kesiti.

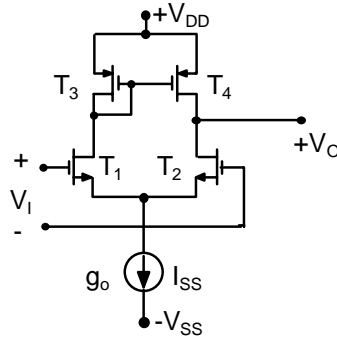
En basit şekliyle bir CMOS evirici Şekil-2.28'de görülmektedir. Bu yapı, dijital devre tekniğinden bilinen evirici yapısından başka bir şey değildir. Devreyi oluşturan tranzistorların yapı kesiti de yine şekilde görülmektedir. Bir n kanallı tranzistor ile bir p kanallı tranzistor seri olarak savak uçlarından birbirlerine bağlanmışlardır. V_I giriş gerilimi her iki tranzistorun $geçit$ uçlarına birlikte uygulanır. Dijital devrelerdekinden farklı olarak yapı $geçiş$ bölgesinde, her iki tranzistor da doymada olacak şekilde çalıştırılır. Bu bölgede $geçiş$ eğrisinin eğimi çok yüksektir ve bu nedenle yüksek kazanç değerleri elde edilebilir.



Şekil-2.31. CMOS kuvvetlendiricide kazancın akıma bağımlılığı.

Elde edilen kazanç bağıntısının geçerlilik sınırlarının araştırılması gerekir. (2.74) bağıntısı $I_D \rightarrow 0$ için $K_V \rightarrow \infty$ sonucunu verir. Gerçekte ise böyle değildir. Çıkartılan bağıntı kuvvetli evirtim doyma bölgesi için geçerlidir. Düşük akımlarda çalışma durumunda zayıf evirtim bölgesine girilir (Bkz: Bölüm-9). Bu bölgede $g_m \sim I_D$ ve $r \sim 1/I_D$ olur; diğer bir deyişle eğim ve çıkış direncinin savak akımına bağımlılığı bipolar tranzistordaki gibidir, dolayısıyla K_V gerilim kazancı akımdan bağımsız olur. Kazancın akıma bağımlılığı Şekil-2.31’de verilmiştir. Verilen bir kutuplama akımı için W/L oranı değiştirilerek kazanç artırılabilir.

CMOS fark kuvvetlendirici



Şekil-2.32. CMOS aktif yüklü fark kuvvetlendiricisi.

Eşlenik tranzistorun bulunması, bipolar tranzistorlu aktif yüklü kuvvetlendirici benzeri bir yapıyı mümkün kılar. Yapı Şekil-2.32'de verilmiştir. giriş tranzistorlarının eğimleri ve çıkış iletkenlikleri g_{mi} ve g_{di} , yük tranzistorlarının eğimleri ve çıkış iletkenlikleri g_{ml} ve g_{dl} ile gösterilirse, devrenin fark, ortak işaret kazançları ile ortak işareti zayıflatma oranı, g_{mi} , g_{ml} $\gg g_{di}$ ve g_{dl} şartı altında

$$K_d = \frac{v_o}{v_i} = \frac{g_{mi}}{g_{di} + g_{dl}} \quad (2.75)$$

$$K_C = -\frac{g_o \cdot g_{di}}{2 \cdot g_{mi} (g_{di} + g_{dl})} \quad (2.76)$$

$$CMRR = 2 \frac{g_{mi} \cdot g_{ml}}{g_o \cdot g_{di}} \quad (2.77)$$

olarak elde edilir.

Puşpul kazanç katları

Asimetrik giriş ve çıkışlı, yüksek kazançlı kat gerçekleştiriminin bir yolu, puşpul kazanç katı gerçekleştirmektir. Bu tür bir devre yapısı, Şekil-2.33'de verilmiştir. Bu devrede n kanallı T_1 ve p kanallı T_2 tranzistorları kaynak izleyici olarak çalışmaktadır; T_3 ve T_4 tranzistorları ise ortak geçitli kat işlevini yerine getirirler. Ortak geçitli katlar, T_1 ve T_2 üzerinden sürülmektedir. Ortak geçitli katların yükü olarak T_5 - T_6 ve T_7 - T_8 akım aynaları kullanılmıştır. Ortak geçitli katlar, $\pm V_B$ simetrik gerilimleriyle kutuplanmışlardır. Bu kutuplama gerilimlerinin değeri

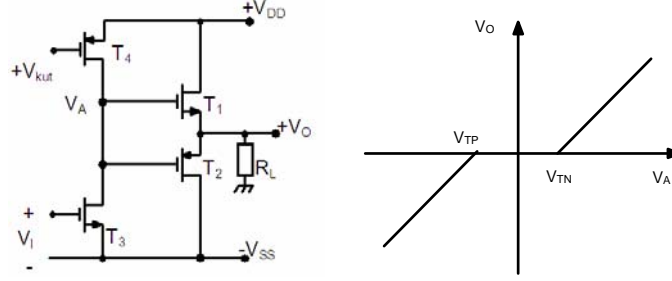
$$V_B = V_{TN} + |V_{TP}|$$

olacak biçimde seçilmiş ve geçiş distorsiyonu oluşması önlenmiştir.

$V_1 = 0$ olması durumunda, dört giriş elemanından da küçük bir sükunet akımı akar.

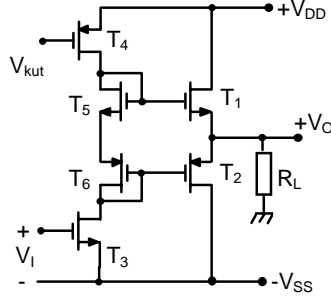
$V_1 > 0$ ise I_X akımı azalırken I_Y akımı artar.

$V_1 < 0$ ise I_Y akımı azalırken I_X akımı artar.



Şekil-2.34. CMOS çıkış katı ve geçiş eğrisi.

Geçiş eğrisinden fark edilebileceği gibi, eşik gerilimlerinin büyük olması nedeniyle devrenin geçiş distorsiyonu da oldukça fazladır. Ayrıca g_m eğiminin düşük olması da çıkış direncinin büyük olmasına neden olur. Yine, bipolar tranzistordakine benzer bir yol izleyerek, geçiş distorsiyonunu azaltmak mümkündür. Bu yapı Şekil-2.35’de gösterilmiştir. Burada T_5 ve T_6 tranzistorları diyot bağlamalı olarak devreye iki sürücü tranzistorun geçitleri arasına yerleştirilmişlerdir ve bipolar tranzistorlu devrelerde kullanılan diyotlara karşı düşerler.



Şekil-2.35. AB sınıfı CMOS çıkış katı.

CMOS teknolojisi ile gerçekleştirilen devreler, yapıları gereği bipolar tranzistorları da içerirler. Şekil-2.28’deki gibi p kuyulu bir yapıda, n tipi